

65 nm FDSOI プロセスのトランジスタモデルの違いによる フリップフロップのソフトエラー耐性の実測と評価

榎原 光則[†] 丸岡 晴喜[†] 山田 晃大[†] 古田 潤[†] 小林 和淑[†]

[†] 京都工芸繊維大学 工学科学研究科

あらまし ムーアの法則に従い、集積回路 (LSI) が微細化することで、PC やスマートフォンといった高性能な製品を作れるようになり、用途の異なったトランジスタの性能が要求されるようになった。しかし、微細化が進むにつれ、ソフトエラーによる信頼性の低下が問題視されている。ソフトエラーとは一過性のエラーであり再起動することで回復可能であるが、人命に関わる機器では深刻な問題となっているため、ソフトエラーの研究は重要である。今までも注目されていたが、特に近年、Internet of Things (IoT) 社会においてリーク電流が問題視されている。本研究では、65 nm FDSOI プロセスの低しきい値低消費電力 (LP: Low Power) モデルのチップと高しきい値低スタンバイ電力 (LSTP: Low Standby Power) モデルのチップを Ar と Kr の 2 種類の重イオンを用いてソフトエラー耐性の比較を行った。その結果、LP モデルに比べ、LSTP モデルのチップのほうがソフトエラー耐性が約 2 倍高いことが判明した。

キーワード ソフトエラー、フリップフロップ、FDSOI、重イオン、しきい値

Evaluation of Soft Error Tolerance on Flip-Flop depending on 65 nm FDSOI Transistor Threshold-Voltage

Mitsunori EBARA[†], Haruki MARUOKA[†], Kodai YAMADA[†], Jun FURUTA[†], and Kazutoshi KOBAYASHI[†]

[†] Graduate School of Science and Technology, Kyoto Institute of Technology

Abstract Moore's Law has been miniaturizing integrated circuits, which can make a lot of high performance devices such as PCs and mobile phones. However, reliability issues have become a significant concern due to a soft error caused by radiation. The device can recover from the soft error by restarting because the soft error is a transient error. However, it is a serious problem especially for several devices related to human life. Thus, the research of the soft error is very important. Leakage current is one of problems in the Internet of Things (IoT) society in recent years. We evaluated a soft error tolerance of two difference chips with low-power (LP) and low-standby-power (LSTP) transistors respectively. In 65 nm FDSOI process using Ar and Kr ions. The measurement results show that the chip with LSTP transistors is 2X stronger against soft errors than that with LP transistors.

Key words soft error, flip-flop, FDSOI, heavy ion, threshold voltage

1. 序 論

近年、集積回路 (LSI) に使われる半導体素子が微細化、高集積化することで、PC やスマートフォンといった高性能な製品を作れるようになった [1]。しかし、微細化が進むにつれ、ソフトエラーによる信頼性の低下が問題視されている。ソフトエラーとは α 線や中性子線などの粒子線が集積回路内を通過または衝突することによって SRAM やフリップフロップといったメモリの保持値が一時的に反転する現象のことである。ソフトエラーは、一時故障であるため、再起動をすることで修復が可能

である。ソフトエラーの耐性指標として FIT (Failure In Time) が使われる。1FIT とは 1 チップが 10^9 時間に 1 回エラーが発生することである。チップは基本的に 1000FIT 以下、約 100 年に 1 回のソフトエラーであれば使用するのに問題はない [2]。しかし、高い信頼性が要求される自動車や飛行機、医療機器など、人命に関わる機器では一度のエラーが深刻な問題となるため、高い信頼性が不可欠となる [3]。

近年、IoT 社会が進むにつれて漏れ電流 (リーク電流) が問題視されてきたため、リーク電流を抑えるトランジスタが検討されている。本稿では、重イオンを用いて従来使用していた 65

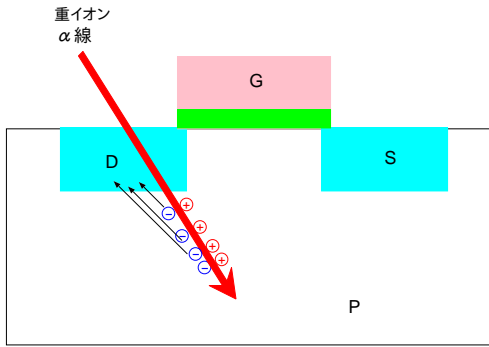


図 1 ソフトエラー発生原理

nm FDSOI プロセスの低消費電力 (LP : Low Power) 向け低い値トランジスタのチップ (LP チップ) と低スタンバイ電力 (LSTP : Lower Standby Power) 向け高しきい値トランジスタのチップ (LSTP チップ) をデバイスレベルでのソフトエラー耐性の実測評価を検証する。

2. ソフトエラー

ソフトエラーとは、ハード故障などの永久故障とは異なり、SRAM やフリップフロップの保持値が一時的に反転する一時故障のことである。地上ではチップのパッケージ材料に含まれる α 線や高エネルギー中性子が原因であり、宇宙では重イオンが原因となっている。本稿では、重イオンによるソフトエラー耐性について述べる。

2.1 重イオンによるソフトエラー

荷電粒子が LSI 内を通過することによって電子正孔対が生成され、その発生したキャリアがドレインに収集されることによってソフトエラーが引き起こされる [2]。ソフトエラー発生原理を図 1 に示す。

重イオンとは He よりも重い元素のイオンのことである。重イオンが LSI 内の拡散領域近傍を通過することで電子正孔対が生成される。宇宙に存在する重イオンの LET (Linear Energy Transfer) 分布を図 2 に示す [4]。LET とは荷電粒子の通過によって物質に与えるエネルギーのことである。縦軸の flux とはある断面を単位時間あたりに通過する流量のことである。図 2 からわかるように、LET=30 ~ 40 MeV-cm²/mg 付近で flux 量が 2 桁ほど減少している。40 MeV-cm²/mg 以下のエネルギーの放射線が高密度に存在している。マージンを考え、宇宙空間で使用する機器は 60 MeV-cm²/mg の耐性が求められる。重イオンは地球の大気により遮断されるため、地上では影響しないが、宇宙空間の機器では問題視されている。

2.2 SEE (Single Event Effect)

トランジスタに 1 つの荷電粒子が突入することにより一時的な故障が起こる。その種類として、データ保持部以外の組み合わせ回路で粒子線により電子正孔対が生じ、電気パルスが発生する SET (Single Event Transient) と、ラッチや SRAM などの保持部に電子正孔対が発生する SEU (Single Event Upset) の 2 種類がある。

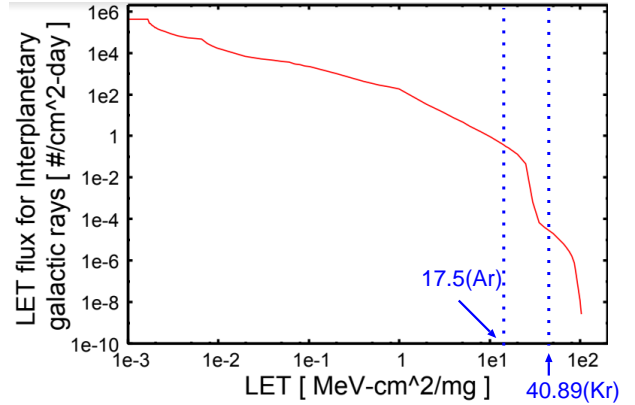


図 2 宇宙における重イオンエネルギースペクトラム。

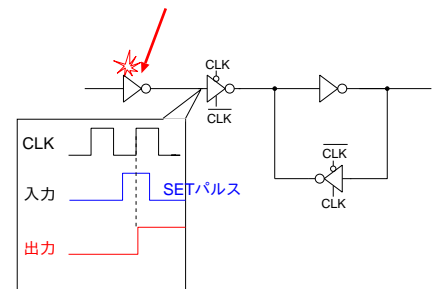


図 3 SET によるソフトエラー発生機構

2.2.1 SET

組み合わせ回路部に粒子線が衝突することで電子正孔対が生じ、出力が反転する。しかし、粒子線が衝突したトランジスタの入力値が固定されていれば元の値に戻る。その反転していた時間幅のノイズが生じる。このノイズを SET パルスという。この SET パルスがラッチやフリップフロップといった記憶素子の入力として取り込まれ、そのときに、CLK が立ち上がることでラッチやフリップフロップの保持値が反転する。SET の発生機構を図 3 に示す。クロック周波数が高ければ高いほど SET パルスがより取り込まれやすくなる [5]。

2.2.2 SEU

SEU とは SRAM やラッチなどの保持部に荷電粒子が通過することで電子正孔対が発生し、保持値が反転するソフトエラーのことである。SEU の発生機構を図 4 に示す。N1 のインバータの NMOS に粒子線が衝突したとき、インバータの出力が一時的に HIGH から LOW に反転する。その反転した値が元の値に回復する前に、次のトリステートインバータ (N2) が変化すると、保持値が反転する。NMOS に粒子線が衝突したときは、そのトランジスタの出力が HIGH から LOW に反転し、PMOS に粒子線が衝突したときは、そのトランジスタの出力が LOW から HIGH に反転する。電子は正孔と比べて移動度が大きいいため、PMOS トランジスタに比べ、NMOS トランジスタのほうが電荷が収集されやすい [6]。そのため、PMOS トランジスタに比べて NMOS トランジスタで発生する電圧パルスの振幅は大きく、ソフトエラーが生じやすい。

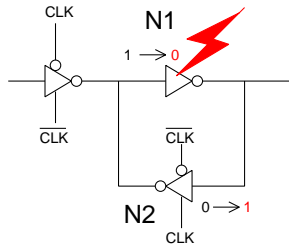


図 4 SEU によるソフトエラー発生機構

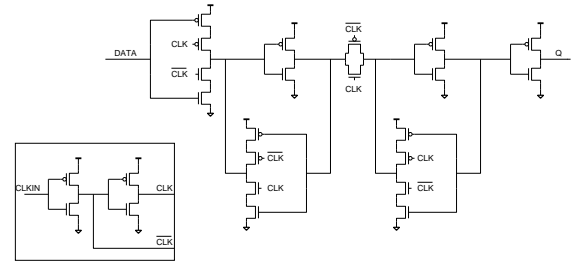


図 7 TGFF

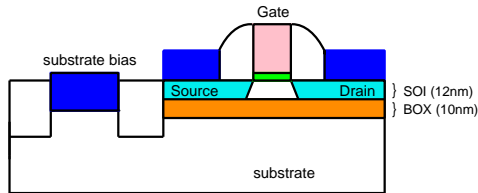


図 5 Thin BOX の断面図

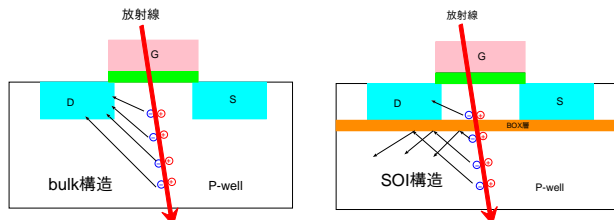


図 6 デバイス構造の違いによるソフトエラー発生機構

表 1 LP, LSTP の特徴

	LP	LSTP
しきい値	小	大
リーク電流	大	小
動作速度	速	遅
FF の遅延時間 (規格化)	1	1.64

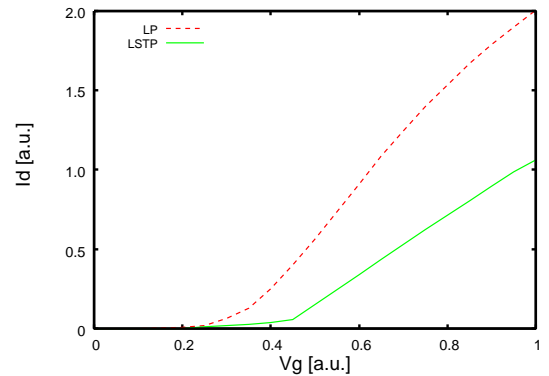


図 8 LP と LSTP の I_d, V_g 特性

2.3 デバイスレベルのソフトエラー対策

デバイスレベルでの対策として、SOI 構造がある [7]. SOI の中でも完全空乏型 SOI (FDSOI: Fully Depleted Silicon On Insulator) の 65 nm Thin BOX FDSOI プロセスをここで使用する。

SOI 構造とはシリコン基板とトランジスタの間に、絶縁物の層 (BOX 層: Buried Oxide layer) を挿入した構造である。Bulk 構造と違い基板部で発生した電荷が BOX 層により拡散領域に収集されない構造となっている [8]. BOX 層には主に SiO_2 が用いられる。今回使用した 65 nm Thin BOX FDSOI プロセスを図 5 に示す。荷電粒子が突入したときの bulk 構造と SOI 構造の様子を図 6 に示す。Thin BOX 構造にすることで、bulk 構造と比べ、トランジスタの寄生容量が小さく、高速動作、低消費電力での動作が可能となり、ソフトエラー耐性が高いという利点を持つが、生産コストが高いため大量生産が難しいという欠点もある。

3. 重イオンによるソフトエラー耐性のトランジスタ評価手法

LP のチップと LSTP のチップのソフトエラー耐性を実測で評価する。今回使用するフリップフロップはソフトエラー対策を一切施していない TGFF (Transmission Gate Flip-Flop) を用いる。TGFF の回路図を図 7 に示す。

3.1 LP と LSTP の比較

LP と LSTP トランジスタの特徴について表 1 にまとめる。HSPICE を用いてシミュレーションにより LP, LSTP ドレ

イン電流-ゲート電圧 (I_d-V_g) 特性を図 8 に示す。図 8 のように LP は LSTP に比べしきい値が低いため、標準電圧 ($V_g = 0.8$ V) において LP のほうがドレイン-ソース間電流 I_d が約 2 倍大きい。つまり、粒子線によりトランジスタの出力の値が反転してから元の値に戻る時間は LP のほうが速く、LP のほうがソフトエラー耐性が高いと考えられる。

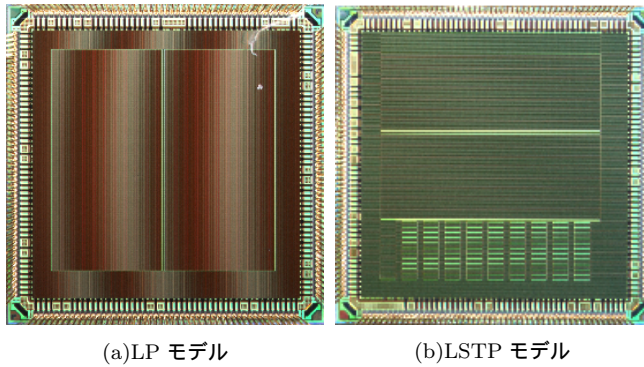
3.2 重イオンによるソフトエラー耐性の評価方法

ソフトエラー耐性の評価方法には実測とシミュレーションがある。ここでは、実測による評価について述べる。テストチップの内部構造と、衝突断面積 (CS: Cross Section) の算出方法について述べる。

3.2.1 テストチップの内部構造

LP チップと LSTP チップを 65 nm Thin BOX FDSOI プロセスで試作した。使用する試作チップを図 9 に示す。図 9 (a) が LP のチップ、図 9 (b) が LSTP のチップである。LP のチップには TGFF が 83,520 bit, LSTP には 20,160 bit 搭載されている。

テストチップのソフトエラー耐性評価を行うために、図 10 のようなフリップフロップのデータの出力と入力を数珠つなぎにした回路であるシフトレジスタを設計する。ホールド違反を防ぐために、データバスとクロックバスの向きを逆向きにする。ホールド違反とは、クロックバスよりもデータバスのほうが速



(a)LP モデル (b)LSTP モデル

図 9 試作チップの写真

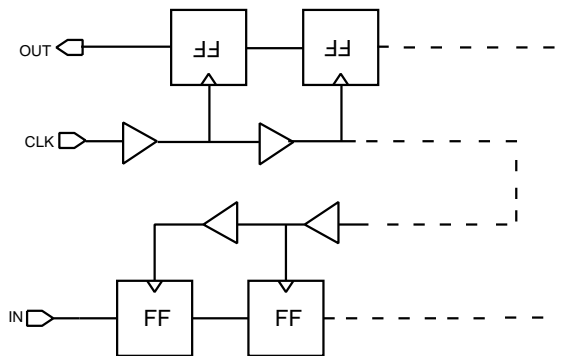


図 10 シフトレジスタ

く読み込まれてしまい、フリップフロップの値が書き換わらないことである。

3.2.2 衝突断面積 (CS : Cross Section)

CS とは、粒子が通過するとソフトエラーを引き起こす面積のことであり、CS の値が小さいほどソフトエラー耐性が高いことを示す。通常、地上でソフトエラーの要因となる α 線や中性子線では FIT 値を用いてソフトエラー率を求める。しかし、宇宙でソフトエラーの主要因となる重イオンの場合は地上と違い宇宙空間ではエネルギースペクトラムが一定でないため FIT 値を用いてソフトエラー率を求めることができない。そのため、CS を用いて評価している。この CS に単位面積当たりの粒子数をかけることでソフトエラー率に換算することができる。式 (1) に CS の計算式を示す [9]。

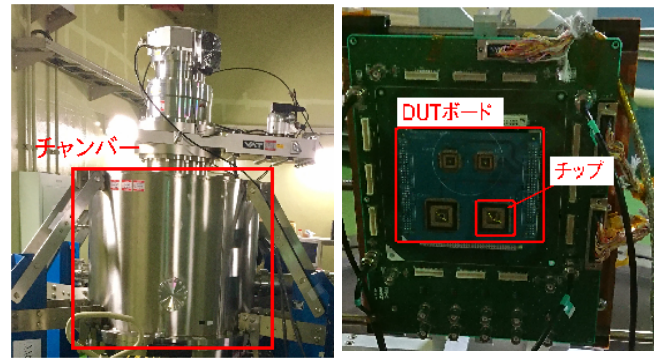
$$CS[\text{cm}^2/\text{bit}] = \frac{N_{\text{error}}}{N_{\text{ion}} \times N_{\text{FF}}} \quad (1)$$

N_{error} は重イオン照射によって発生するエラー数、 N_{ion} は 1cm^2 あたりに照射される重イオンの総数、 N_{FF} はフリップフロップ数である。

3.3 重イオン照射実験

3.3.1 測定場所

重イオン照射試験場は量子科学技術研究開発機構 (QST: Quantum and Radiological Science and Technology) の施設である群馬県の高崎量子応用研究所 (TIARA: Takasaki Ion accelerators for Advanced Radiation Application) で実施した。図 11 で TIARA で使用した機材を示す。この施設には直径



(a) チャンバー

(b)DUT ボードとチップ

図 11 使用機材

表 2 重イオンの LET 値とエネルギーとフルエンス

	Ar	Kr
LET 値 [MeV-cm ² /mg]	17.5	40.9
エネルギー [MeV]	107	230
LP 測定時のフルエンス [個/cm ²]	2.62×10^6	2.44×10^6
LSTP 測定時のフルエンス [個/cm ²]	2.75×10^6	2.88×10^6

900 mm の円筒型チャンバ (図 11 (a)) とサイクロトロン加速器がある。測定時は、図 11 (b) のようなチップを搭載した DUT (Device Under Test) ボードをチャンバ内に固定し、重イオンは大気によってエネルギーが減衰するためチャンバ内を真空状態にして測定する。地上から 500 km 離れた宇宙空間では重イオンの中でも Fe が主な要因となるが、実測では、比較的安定かつ気体の Ne, Ar, Kr などの希ガスをを用いる。

3.3.2 測定の評価方法

試作チップを用いて、実測を以下の手順で行う。

- (1) 図 10 のシフトレジスタのフリップフロップ全段に同じ値を書き込み初期化する。
- (2) クロック信号を 0 or 1 で停止し、チップに重イオンを照射する。
- (3) 重イオン照射後、シフトレジスタの値を読み出し、期待値と異なった値のフリップフロップの個数を計算する。
- (4) (1) ~ (3) を各条件ごとに繰り返す。

3.3.3 測定条件

今回使用する重イオンは Ar と図 2 から 40 MeV-cm²/mg 付近である Kr である。それぞれの LET 値、エネルギー、フルエンスを表 2 に示す。フルエンスとは単位面積当たりの粒子数である。測定条件を以下にまとめる。

- 電源電圧: 0.8V
- 重イオン照射時間: 30 秒
- 動作状態: (DATA, CLK)=(0,1), (1,1), (0,0), (1,0)
- 測定回数: 各 5 回

4. 重イオン照射結果

LP, LSTP のチップに重イオンを照射したさいの実測結果を

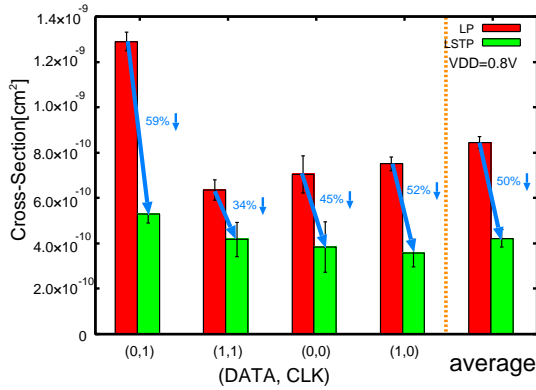


図 12 Ar 照射時の実測結果

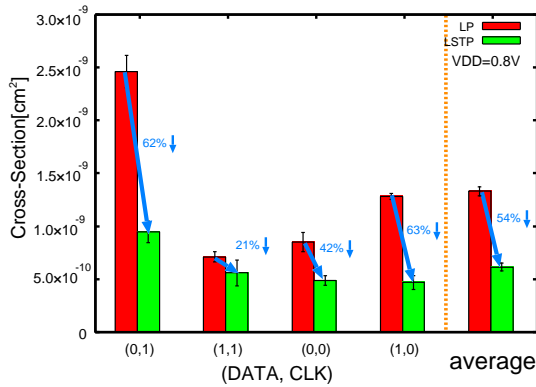


図 13 Kr 照射時の実測結果

図 12, 13 に示す。エラーは標準偏差 2σ を用いる。

この結果から、Ar 照射、Kr 照射どちらの重イオンでも (DATA, CLK) 全条件において LSTP チップの TGFF のほうが CS が小さいことがわかる。LSTP チップの TGFF のほうが LP チップの TGFF に比べ、Ar 照射時は平均で 2.0 倍、Kr 照射時は平均で 2.2 倍ソフトエラー耐性が高いことが判明した。

シミュレーション結果から LP のほうがソフトエラー耐性が高いことが判明したが、実測結果とは異なった。その理由としては、保護膜の厚さの違いとドレインとソースの拡散層の不純物密度の違いが考えられる。保護膜の違いを確認するために LSTP チップの保護膜を発煙硝酸を用いて剥がし、図 14 のように LET 値の小さい α 線を照射した。しかし、LSTP チップ内の TGFF でエラーが出なかったことから、LSTP チップの保護膜の厚さによってソフトエラー耐性が向上したわけではなかった。

次にドレインとソースの拡散層の不純物密度の違いについて考える。式 (2) にオージェ再結合の式を示す [10]。

$$R_{\text{auger}} = C_n n(np - n_i^2) + C_p p(np - n_i^2) \quad (2)$$

n は電子密度、 p は正孔密度、 n_i は真性キャリア密度、 C_n 、 C_p はそれぞれ電子と正孔のオージェ定数である。拡散層で発生した電荷が再結合する確率は不純物密度の 3 乗に比例する。LSTP モデルの不純物密度が LP モデルより大きければ、発生した電子正孔対が再結合し、電子がドレインの拡散層に収集されないためソフトエラー耐性が高いことがわかる。これを検証するために、シミュレーションで濃度を変えてソフトエラー耐性を評価する予定である。

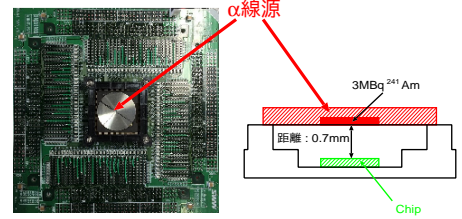


図 14 α 線照射

5. 結 論

IoT 社会が進むにつれ問題となっているリーク電流を抑制するためのトランジスタである LSTP チップの TGFF と従来使用してきた LP チップの TGFF を Ar と Kr の重イオンを用いてソフトエラー耐性を評価した。実測を行う前に、HSPICE を用いてシミュレーションによりそれぞれトランジスタの電流量を評価したところ、LP トランジスタの電流量のほうが大きいことからソフトエラーが発生しても回復する時間が速い。つまり、LP チップ内の TGFF のほうがソフトエラー耐性が高い。しかし、実測結果は LSTP チップ内の TGFF のほうがソフトエラー耐性が Ar 照射時は平均で 2.0 倍、Kr 照射時は平均で 2.2 倍高い。この理由として保護膜の厚さではなく、トランジスタの拡散領域の濃度が原因ではないかと考えられる。そのため、シミュレーションにより拡散領域の濃度を変えて衝突断面積を評価する予定である。

謝辞 本研究は、JSPS 科研費 15H02677 および、NEC スペーステクノロジー (株) の助成を受けたものである。また、シミュレーション用の EDA 及びパラメータは、東京大学大規模集積システム設計教育研究センターを通し、シノプシス、ルネサスエレクトロニクスの提供で行われたものである。重イオン照射実験は量子科学技術研究開発機構の施設共用制度にて行われたものである。

文 献

- [1] A. Makihara, T. Yamaguchi, H. Asai, Y. Tsuchiya, Y. Amano, M. Midorikawa, H. Shindou, S. Onoda, T. Hirao, Y. Nakajima, T. Takahashi, K. Ohnishi, and S. Kuboyama, "Optimization for SEU/SET immunity on 0.15 μm fully depleted CMOS/SOI digital logic devices," IEEE Transactions on Nuclear Science, vol.53, no.6, pp.3422–3427, Dec 2006.
- [2] 戸坂義春, "知っておきたいソフト・エラーの実態," 日経エレクトロニクス, vol.2005 年 7 月 25 日号, pp.145–156, 2005.
- [3] "ソフト・エラー対策, 待たなし SRAM や理論回路が狙上に," 日経エレクトロニクス, no.903, pp.63–70, 2005.
- [4] J.L.B. et al The Radiation Environment for the Next Generation Space Telescope, pp.A8–A12, Sep. 2000.
- [5] N.N. Mahatme, N.J. Gaspard, S. Jagannathan, T.D. Lovelless, B.L. Bhuvra, W.H. Robinson, L.W. Massengill, S.J. Wen, and R. Wong, "Impact of supply voltage and frequency on the soft error rate of logic circuits," IEEE Trans. Nucl. Sci., vol.60, no.6, pp.4200–4206, Dec 2013.
- [6] P. Hazucha and C. Svensson, "Impact of CMOS technology scaling on the atmospheric neutron soft error rate," IEEE Trans. Nucl. Sci., vol.47, no.6, pp.2586–2594, 2000.
- [7] P. Roche, J.L. Autran, G. Gasiot, and D. Munteanu, "Technology downscaling worsening radiation effects in bulk: SOI to the rescue," 2013 IEEE International Electron Devices

- Meeting, pp.31.1.1–31.1.4, Dec 2013.
- [8] D. Kobayashi, K. Hirose, H. Ikeda, and H. Saito, “Radiation-induced pulse noise in SOI CMOS logic,” Int’l Symposium on Advanced Semiconductor-on-insulator Technology and Related Physics (in 219th ECS Meeting), May. 2011.
 - [9] J.S. Kauppila, T.D. Loveless, R.C. Quinn, J.A. Maharrey, M.L. Alles, M.W. McCurdy, R.A. Reed, B.L. Bhuvu, L.W. Massengill, and K. Lilja, “Utilizing device stacking for area efficient hardened SOI flip-flop designs,” 2014 IEEE International Reliability Physics Symposium, pp.SE.4.1–SE.4.7, June 2014.
 - [10] 小川真人, “半導体電子工学 II.” http://www2.kobe-u.ac.jp/ler12/SE-II_10_10_06.pdf, 2010.