

スケーラブルな高集積量子誤り訂正システムの開発

Development of Scalable Highly Integrated Quantum Bit Error Correction System

京都工芸繊維大学 小林和淑

Kyoto Institute of Technology

E-mail: kazutoshi.kobayashi@kit.ac.jp

1 概要

ムーンショット目標6のプロジェクト(PJ)の中で、本PJは誤り耐性型汎用量子コンピュータの実現に不可欠な、古典制御・読み出し回路の超高集積化とスケーラビリティの確保。物理量子ビットそのものの開発ではなく、それを制御・管理するエレクトロニクスアーキテクチャの開発に特化している。

2 主要な研究開発課題(4つの柱)

本PJは、量子ビット(Qubit)の「脳」と「神経」となる制御システムを、従来のスーパーコンピュータ並みの規模から、最終的にチップレベルまで集積化・小型化することを目指し、以下の4つの主要な課題に取り組んでいる。

課題1：古典-量子インターフェース 量子誤り訂正(QEC)を実現するためには、極低温(Cryo)環境にあるQubitと常温側にある制御回路との間の膨大な信号線と電力消費がボトルネックとなる。この課題を解決するため古典制御回路(LSI)をQubitの近くに配置する。

Cryo CMOS 集積回路の開発 極低温(4K~70K)で動作するCryo CMOS LSIを開発し、量子ビット制御回路(フロントエンド, FE)の大部分をCryo環境下に集積し、配線数の削減と低消費電力化を図る。

光/Cryo CMOS インターフェース 古典情報(制御信号やデータ)を高速で送受信するため、光集積回路をCryo環境下で動作させ、Cryo CMOS回路と連携させるスケーラブルな古典-量子インターフェースを開発する。

課題2：量子誤り訂正BE Qubitのエラーを検出し訂正する処理(シンドローム測定とデコーディング)は、量子状態が壊れる前に(デコヒーレンス時間内)に完了させる必要がある。

ハードウェア向けQECアルゴリズムの開発 特定のQubitハードウェア(例：超伝導、シ

リコン)の特性に最適化されたQECアルゴリズムを開発する。

FPGAベースのBE 開発したアルゴリズムに基づき、誤り訂正のデコーディングを超高速度で実行するためのFPGAを活用したバックエンドシステムを構築する。これにより、リアルタイムな誤り訂正処理を実現する。

課題3：Qubit制御フロントエンド Qubitの操作と読み出しを行うアナログ・RF(高周波)制御回路は、信号の忠実度(精度)が量子コンピュータの性能に直結する。

フロントエンドの先鋭化 Qubitを正確に操作するためのアナログRF制御回路について、ノイズや遅延を極限まで低減し、ゲート操作の忠実度を高める改良を行う。

常温動作部のLSI化 Qubit制御に必要なDAC(D/A変換器)などのアナログRF回路のうち、常温で動作する部分をLSI(大規模集積回路)化し、制御システムの全体的な小型化、低コスト化と高い再現性を実現する。

課題4：制御アーキテクチャの統合と検証 開発した各要素技術(フロントエンド, バックエンド, Cryo CMOS インターフェース)を統合し、実機環境でそのスケーラビリティと実用性を検証する。このプロジェクトで開発される制御システムは、特定のQubit方式に依存せず、超伝導方式やシリコン量子ドット方式など、複数の方式に対応可能な汎用的な制御プラットフォームとなることを目指す。

謝辞: 本研究はJSTムーンショット型研究開発事業 Grant 番号 JPMJMS226A の支援を受けたものである。

参考文献

[1] 「スケーラブルな高集積量子誤り訂正システムの開発」ホームページ, <https://www.greenlab.kit.ac.jp/qubecs>