

22 nm バルクプロセスにおける動的ソフトエラー測定回路の設計

Design of a Dynamic Soft Error Measurement Circuit in a 22 nm Bulk Process

中岡優作¹
Yusaku Nakaoka
中島隆一¹
Ryuichi Nakajima

万代周平¹
Shuhe Mandai
古田潤²
Jun Furuta

松本新大¹
Arata Matsumoto
小林和淑¹
Kazutoshi Kobayashi

京都工芸繊維大学¹
Kyoto Institute of Technology

岡山県立大学²
Okayama Prefectural University

1 はじめに

ソフトエラーとは、放射線が集積回路内のトランジスタに突入することによってラッチ回路やフリップフロップ (FF) の保持値が反転するエラーのことである。ソフトエラーは一時的な故障であり再起動により修復可能であるが、高い信頼性を要する分野では対策が必要となる。

ソフトエラーには、組み合わせ回路内で発生し周波数に依存する SET (Single Event Transient) と、記憶素子内で発生し周波数に依存しない SEU (Single Event Upset) の 2 種類が存在し、それぞれエラー対策手法が異なる。微細化が進むにつれて動作周波数が向上するため、ソフトエラー全体に占める SET の割合は増加する [1]。最適なエラー対策方法を考えるには SET によるエラー率を知ることが重要である。

本稿では、先行研究 [2] で提案された SET によるエラー率を測定する動的エラー測定回路を 22 nm バルクプロセスにおいて改良し、回路シミュレーションを用いて性能評価を行う。

2 提案回路

今回提案する動的エラー測定回路を図 1 に示す。先行研究 [2] では 1 unit 当たりの SET 測定上限は 1 回であったが、動作周波数向上に伴う SET 増加に対応するため、提案回路では 2 bit のカウンタ回路とし、1 unit 当たり最大 3 回まで SET を測定可能にした。各 unit の 1 bit 目に接続された 100 段のインバータへ放射線が突入することにより生じる SET パルスが 1 bit 目の FF が取り込むことによって測定する。FF のラッチは全て DICE 構造 [3] であり、SEU 発生率は低減され、SET のみを正確に測定できる。2 bit 目における SET 発生は誤差要因となるため、2 bit 目に接続された NOR を二重化することで当該箇所での SET 発生率を低減した。

3 クロック伝送方法

本研究におけるクロック伝送回路を図 2 に示す。先行研究 [2] では、バッファを通過するごとにパルス幅が変動するパルス幅変動現象によって、クロック供給源から離れた FF に入力されるクロックが消失することが問題となった。クロック周波数が高いほどパルス幅は短く、パルス幅変動現象の影響は大きくなるため対策が必要となる。本研究では対策としてクロック経路を 50 unit ごとに分離する構造にし、1つのクロックが通るバッファ数を先行研究 [2] より大幅に少なくした。

パルス幅変動現象が最も影響するクロック供給源から最遠端の FF に入力されるクロックの Duty 比をシミュレーションした結果を表 1 に示す。Duty 比の変動は 2.5% 以内に抑えられ、測定回路は問題なく動作した。

4 まとめ

本稿では、1 unit 当たり最大 3 回まで SET を測定可能な動的エラー測定回路を提案した。また、パルス幅変動現象への対策のため、クロック伝送回路を改良した。今後は、提案回路を用いて、5 GHz までの周波数ごとの SET によるエラー率を実測評価する予定である。

参考文献

- [1] N. N. Mahatme, et al, IEEE IRPS, 2010.
- [2] H. Sugisaki, et al, IEICE ELEX, 2024.
- [3] F. Mori, et al, IEEE TNS, 2021.

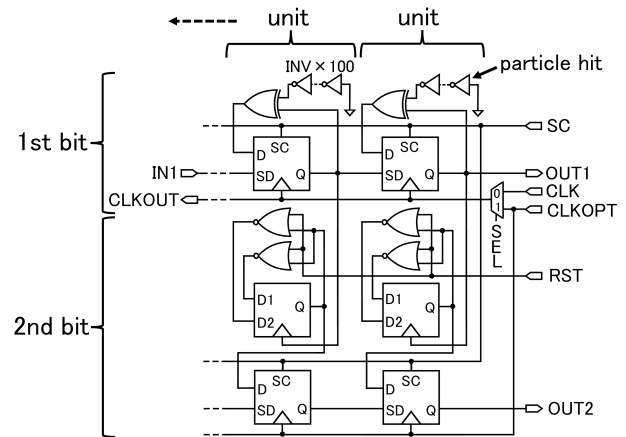


図 1: 動的エラー測定回路

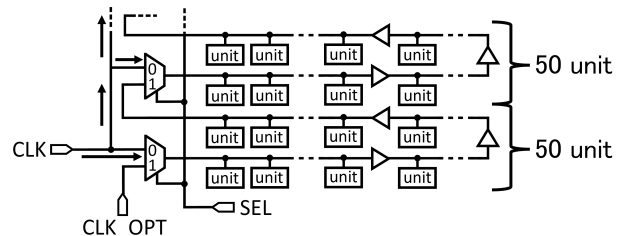


図 2: クロック伝送回路

表 1: クロックの Duty 比

| クロック周波数 [GHz] | Duty 比 [%] |
|---------------|------------|
| 1.25 | 50.6 |
| 2.50 | 51.0 |
| 5.00 | 52.5 |