

第82回 HAB研セミナー (2026/02/26)

誤り耐性量子コンピュータに向けたスケールラブルな 高集積量子誤り訂正システムの開発

小林 和淑

京都工芸繊維大学 電気電子工学系 教授

京都グリーンラボ（4月から京都半導体共創ラボ）長

ムーンショット目標6 プロジェクトマネージャ

<https://www.greenlab.kit.ac.jp/qubecs/>



Agenda

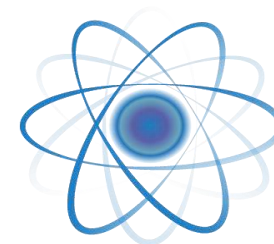


- 自己紹介

- はじめに

- ✓ 量子コンピュータおよびその他の政府資金プロジェクトのためのムーンショット目標6

- ✓ 集積回路(古典電子工学)および量子コンピュータ



QUBECS
Quantum Bit Error Correction System
Moonshot Goal 6

- QUBECS

- ✓ FTQC(フォールトトレラント量子コンピュータ)開発プロジェクト

- 結論

経歴その1

- 1987年3月 京都府立嵯峨野高校卒業

- ✓ 吉岡里帆さんも嵯峨野高校です。

- 1987年4月京都大学電気系入学

- ✓ A, B日程で京大と東大を受験できた最初の年。

- ✓ 1次試験の前に出願させられた唯一の年

- 1990年4月京大田丸研に所属

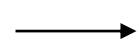
- ✓ 院試まではアナログ回路設計。院試後はFMPP（今でいうComputing in Memory (CiM))を

- 1993年3月電子工学専攻修士卒

- 1993年4月田丸研助手

- ✓ 博士課程いかずに助手に。最初は修士卒で日立製作所に行くはずが途中で翻意。

- 1999年1月博士号取得



2001年京大情報学研究科助教授, 2003年東大VDEC助教授を経て
2009年から現職

- ✓ FMPPを仕上げたD論に。



A Study of
the Functional Memory Type
Parallel Processor

FMPP

<http://www.tamaru.kuee.kyoto-u.ac.jp/fmpp/>

Kazutoshi Kobayashi

Kyoto University

September 1998

D論表紙

経歴その2

- FMPPはD論を仕上げて中止

- ✓ 当時はプロセッサの性能が毎年倍程度に向上。「CPUより10倍速いが、すぐに陳腐化」

- その後の研究テーマ

- ✓ 動画圧縮用DSP, ジャイロセンサーを使った動き補償
 - FMPPをベクトル量子化を使った画像圧縮に応用した経験より

- ✓ VLIWプロセッサ, 低電力設計, SystemC 等

- ✓ Variation-aware Reconfiguration

- ばらつきを使ったFPGAの歩留まりと速度の最適化

FPGAの研究時の人脈が量子コンピュータ研究の源泉に！

- ✓ 信頼性(2008~)

- JST CRESTのDependable VLSIの支援で開始.
- Soft Error, Aging Degradation
- 日本の第一人者に

- ✓ パワーエレクトロニクス(2012~)

- ✓ 量子コンピュータ(2022~)

量子コンピュータは素人からようやく少しはわかるようになったかも.

Agenda

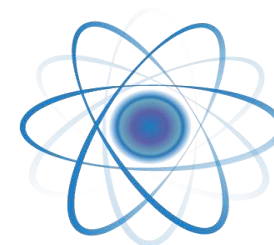


- 自己紹介

- はじめに

- ✓ 量子コンピュータおよびその他の政府資金プロジェクトのためのムーンショット目標6

- ✓ 集積回路(古典電子工学)および量子コンピュータ



QUBECs
Quantum Bit Error Correction System
Moonshot Goal 6

- QUBECs

- ✓ FTQC(フォールトトレラント量子コンピュータ)開発プロジェクト

- 結論

QCを支援する政府資金およびプロジェクト

- Q-LEAP (2018-2028) <https://www.q-leap.org/>

世界の量子専門家100人
4月から京大へ



- ✓ 量子コンピュータを含む幅広い量子技術分野を扱う

- ✓ 中村教授(理研)と藤井教授(大阪大学)がハードウェアおよびソフトウェアのプロジェクトリーダー

- Q-STAR(量子戦略産業革命アライアンス) (2021年創設) <https://qstar.jp/>

- ✓ 産業・政府・学界の協力を通じて量子技術への移行を加速させる

- ✓ 特別会員企業17社:京セラ、キヤノン、NEC、日立、富士通、フィックススター、トヨタなど。多くの企業やスタートアップのメンバー

- ムーンショット目標6 (2020-2030) https://www.jst.go.jp/moonshot/en/program/Goal_6/

- ✓ FTQCの実現にフォーカス



- ポスト5G情報通信システム基盤強化研究開発事業 (2025-)

- ✓ https://www.nedo.go.jp/koubo/CD3_100396.html

- ✓ 「量子コンピュータの産業化に向けた開発の加速」として個別テーマの公募

ムーンショット目標6 “2050年までに、経済・産業・安全保障を飛躍的に発展させる誤り耐性型汎用量子コンピュータを実現

プロジェクトマネージャー一覧（前半5年）

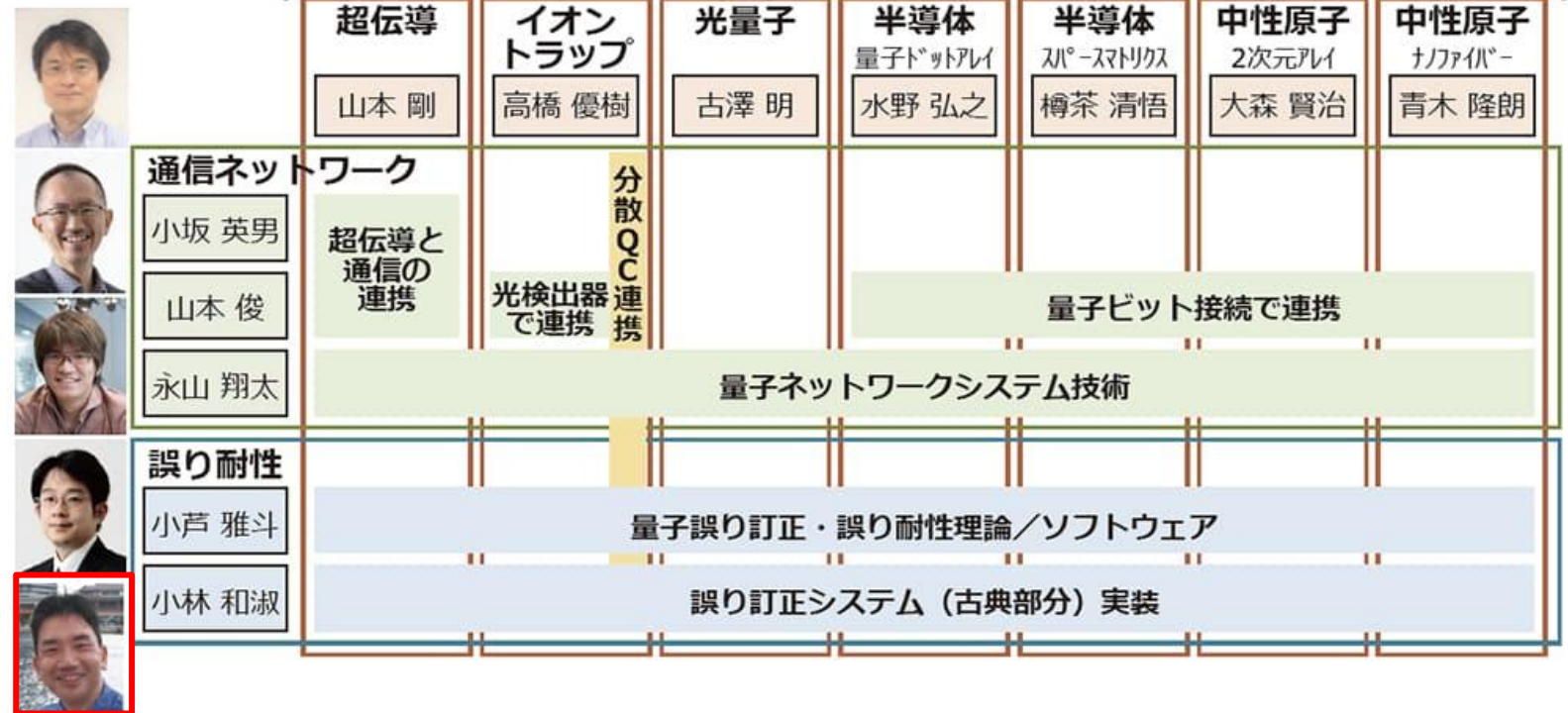


プログラムディレクター 北川教授(QIQB、大阪大学、)

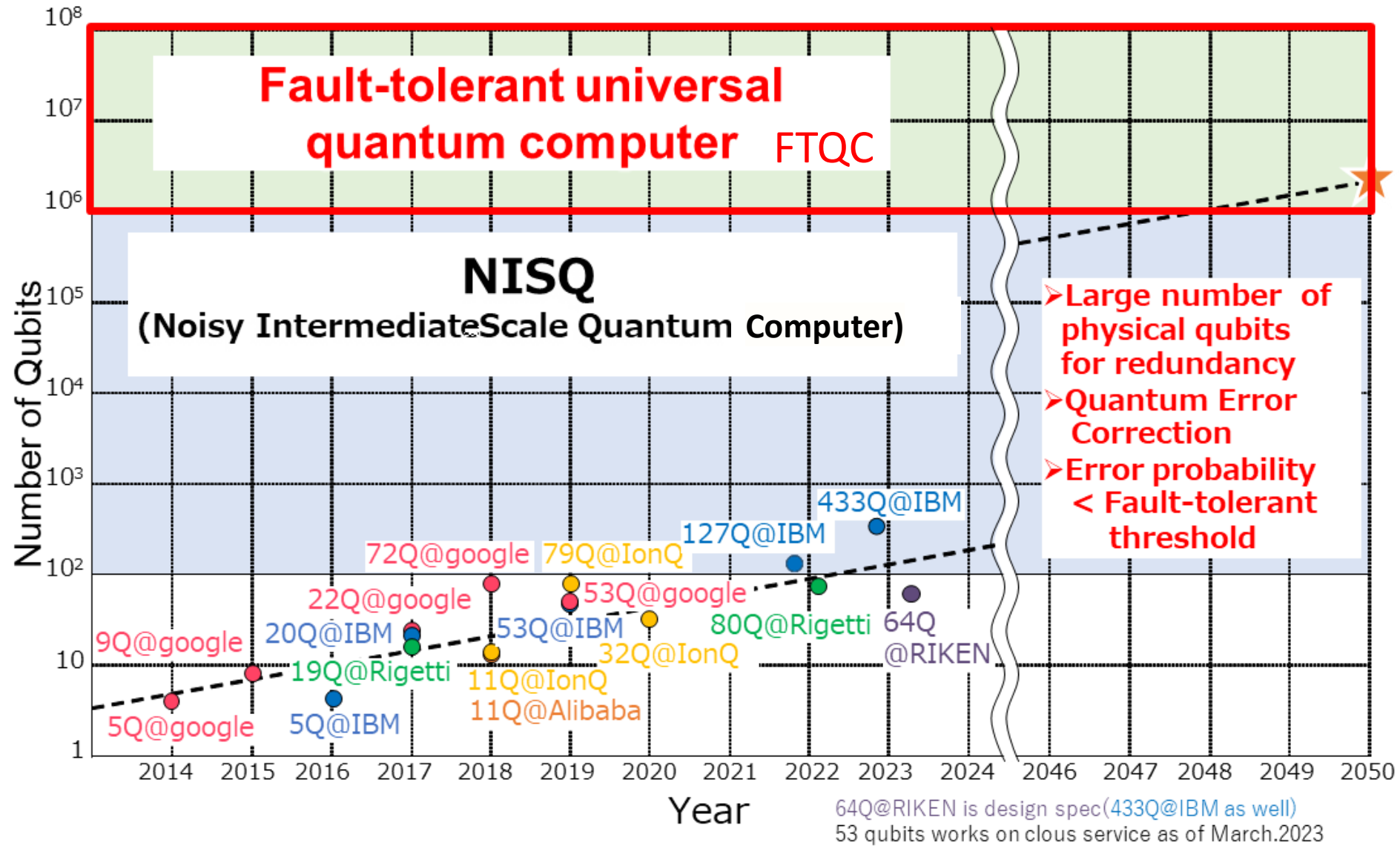
- 2020-2030
- 小林は2022年から参加
- 前半5年は12名のPM、後半5年は9名
- ✓ 1PM/Qubit種x5 + 誤り耐性 + 理論/ソフト + ネットワーク + アプリに再編



ハードウェア



ムーンショット目標 6



量子コンピュータの立ち位置

- **CPU : Central Processing Unit**

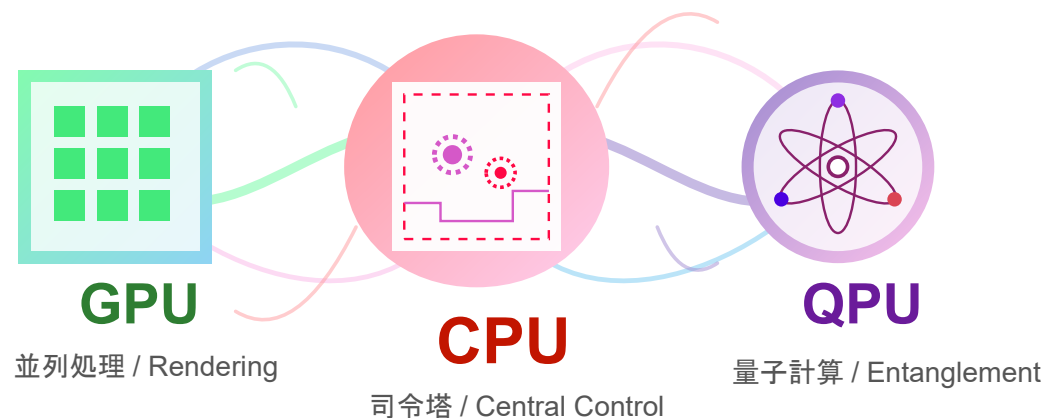
- ✓ PCやスマホの頭脳. OS (Windows, Android), アプリ(ブラウザ, 動画アプリ)などが動作
- ✓ 何でもできるが**並列**処理は苦手

- **GPU : Graphic Processing Unit**

- ✓ 同じ命令を実行する小さな演算ユニットの集合体(SIMD型)
- ✓ 元々は画面描画の高速化 (ゲーム, CAD)
- ✓ NvidiaのGPUは, 2006年発表のCUDAにより容易にプログラム可能となり**並列計算**への応用が進む
- ✓ ChatGPTに代表されるAI計算の要となり, クラウドサーバに大量に導入.

- **QPU: Quantum Processing Unit**

- ✓ 量子ビット(Qubit)とそれを制御, エラー訂正する集積回路からなる
- ✓ 2^{32} の組み合わせを32個のQubitで表現可能
- ✓ 組み合わせが爆発する問題を高速に解ける
 - 暗号解読, 新材料, 創薬



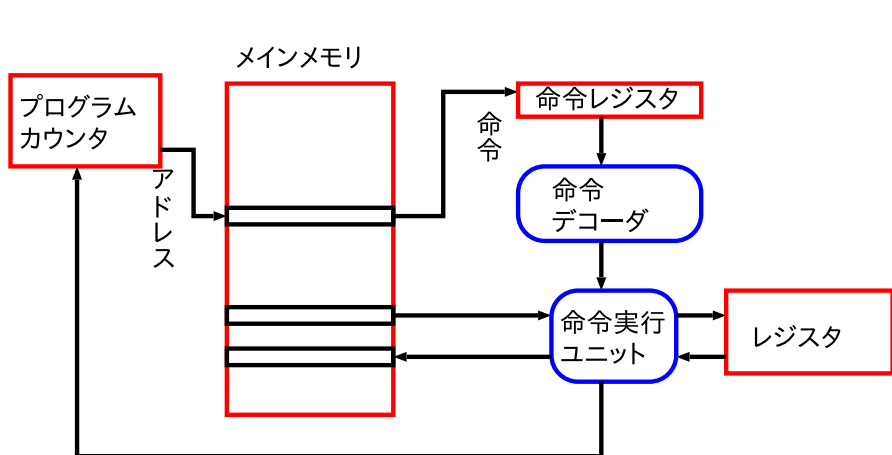
QPUはGPUと同じく, CPUなしでは何もできない

SIMD: Single Instruction Multiple Data Stream

古典コンピュータと量子コンピュータ上での演算

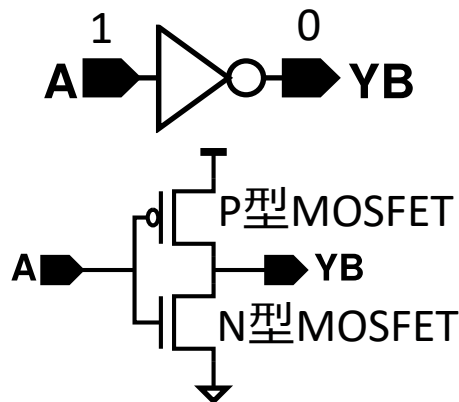
● 古典コンピュータ

- ✓ 古典ビットを格納したメモリ内のデータを読みだして論理ゲートに入力して処理し、再びメモリに格納
 - 「古典ビットは動く」 by 田渕さん



単純化したノイマン型古典コンピュータ

- ✓ 赤枠が「メモリ」 青枠が「論理ゲート」



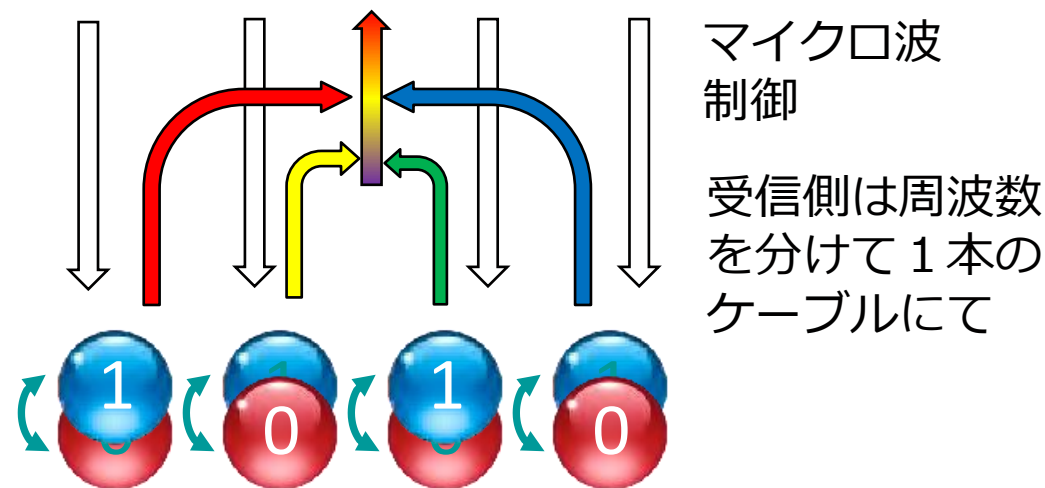
論理ゲート(NOT)のシンボルと回路図

● 量子コンピュータ

- ✓ 量子ビットに直接操作（ゲート操作）を行い、量子ビットの状態を変化させる
 - ただし、量子の人は単に「ゲート」と呼ぶ
 - 「量子ビットは動かない」 by 田渕さん



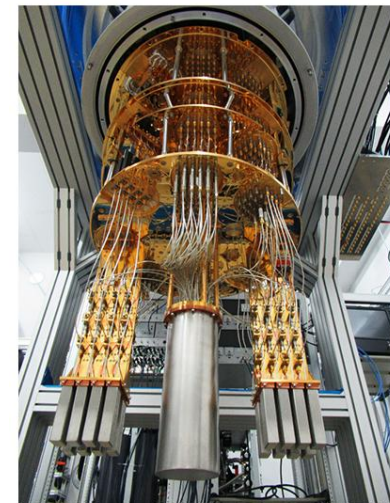
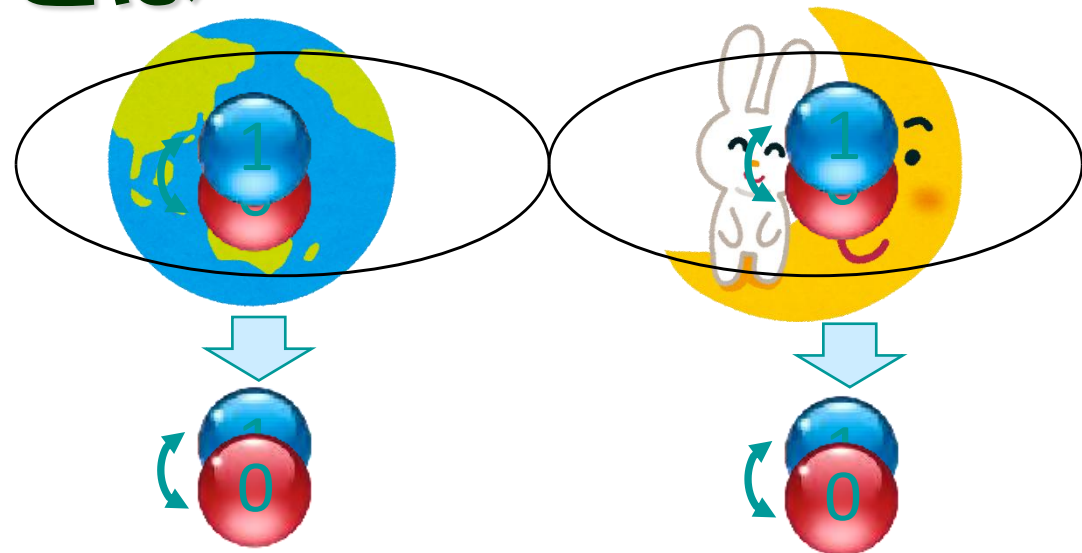
多数の論理ゲート等からなる集積回路



理研の超伝導Qubitのゲート操作と読み出し方法

エンタングルメント（もつれ）とは

- もつれた量子ビットは分離できない
 - ✓ たとえ地球と月で別々に存在しても。
 - ✓ 一方の量子ビットの状態が変わると、もう一方も状態を変える。
 - ✓ もつれていないと複数の量子ビットで一つの状態は作れない。
- 超伝導量子ビットは、極低温(極冷)環境（数 mK）環境で量子状態を保つ
- 希釈冷凍機を用いて超伝導量子コンピュータを構築



理研の叡 (64Qubit)

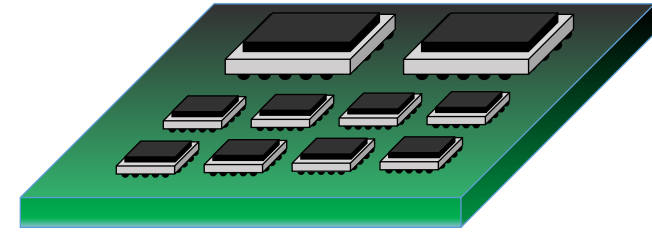
量子ビットの操作とエラー

- 複数の物理量子ビットで1ビットの論理量子ビットを構成

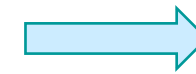
- ✓ エラーを訂正してゲート演算を継続
- ✓ 論理量子ビットのエラー率 < 物理量子ビットのエラー率

- ゲート操作とは量子ビットの状態をブロッホ球上で動かすこと

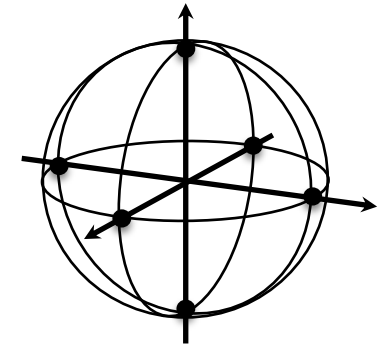
- ✓ 位相を任意に変化させるTゲート操作はエラー率大
- ✓ 現状はQubitのばらつきが大きく、高性能なAWG（任意波形発生器）によるデリケートな制御が必須。
 - 「 10^{-6} のエラー率で超伝導Qubitの制御は大幅に簡素化可」
by 田淵さん
 - 制御の簡素化は電力削減のためにも必須



項目 1 : エラー訂正



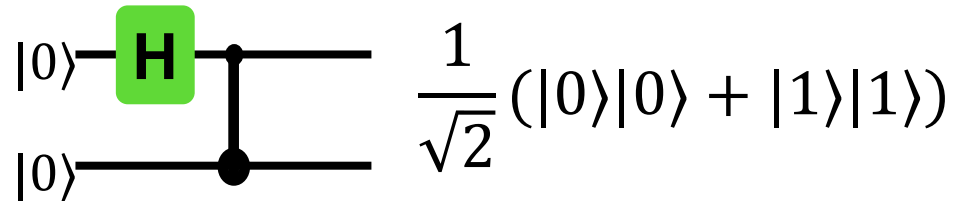
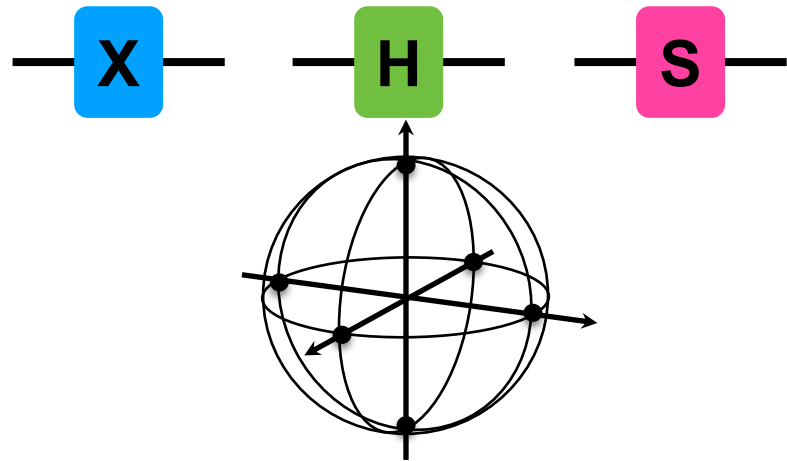
ブレイクイーブン



ブロッホ球

クリフォードゲート操作とノックリフォードゲート操作

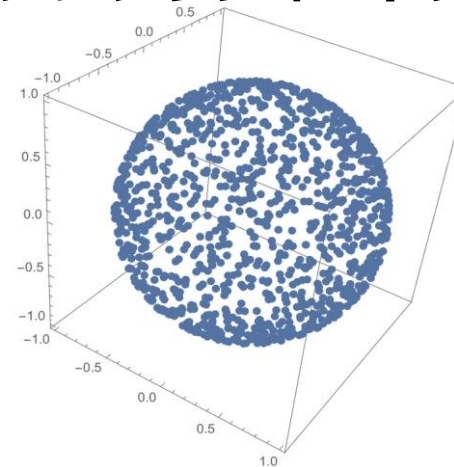
クリフォードゲート: X, Y, Z, H, S, CNOT, CZ



北極, 南極, 赤道上の経度0, 90, 180,
270度の移動のみ

エラーが起こっても記録しておけばOK

ノックリフォードゲート: T, トフォリゲート



$$T = e^{-i(\pi/8)Z}$$

位相をずらす

ノックリフォードゲート操作の前には, それまでのエラーを訂正する必要あり

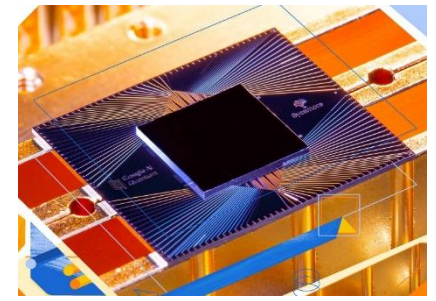
NISQ と FTQC

- **NISQ: Noisy Intermediate-Scale Quantum Computer**

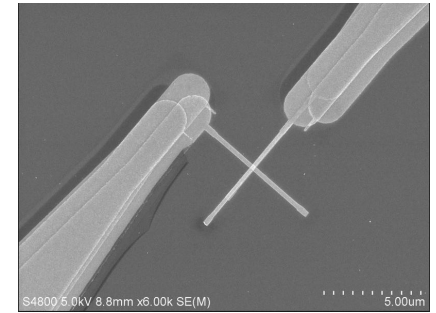
- ✓ 量子ビットのエラー率は 10^{-2} あたり
- ✓ <100Qubit 程度
- ✓ Google Sycamore: 54 Qubit
- ✓ 理研叡: 64Qubit
- ✓ エラーレートを $\ll 10^{-5}$ にしないとまともな計算はできない
- ✓ エラー訂正は必須

- **Early FTQC: [<https://arxiv.org/abs/2303.13181>]**

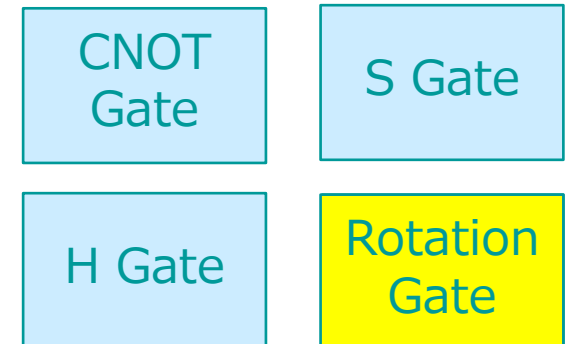
- ✓ 10^{-4} 程度のエラー率のQubitを使う
- ✓ Tゲート操作の代わりにRotate演算を使って演算量を減らす



Google Sycamore



Josephson Junction of
RIKEN superconductor qubit



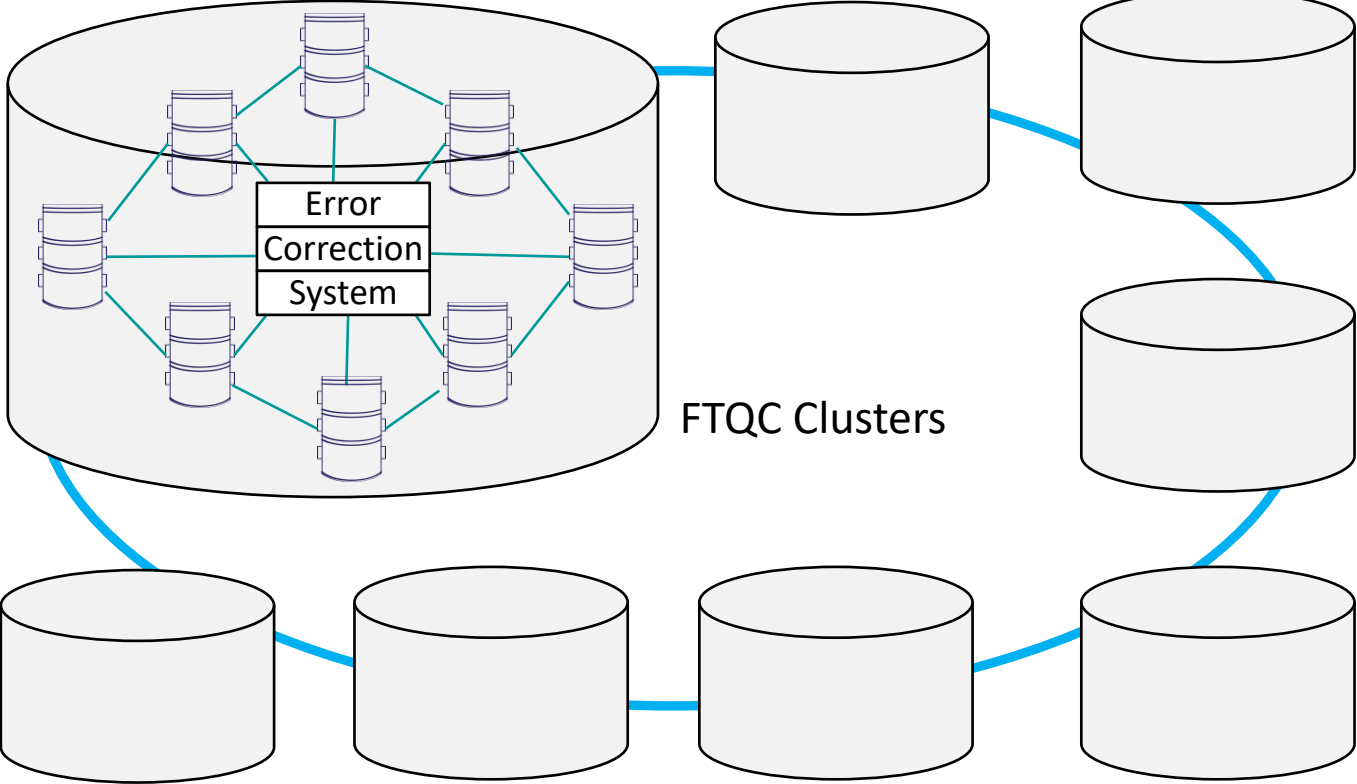
Early FTQC

現状と将来の量子コンピュータ構成



理研の叡

64 Qubits **without** error correction



FTQCの構成例

> 1,000,000 Qubits **with** error correction

Scalable FTQC Structure

- **1M物理量子ビットFTQCには複数希釈冷凍機必要**

- ✓ 粒子加速器程度の規模か

- **9 kW/冷凍機の電力量**

- ✓ Assume 1,000 qubit/fridge

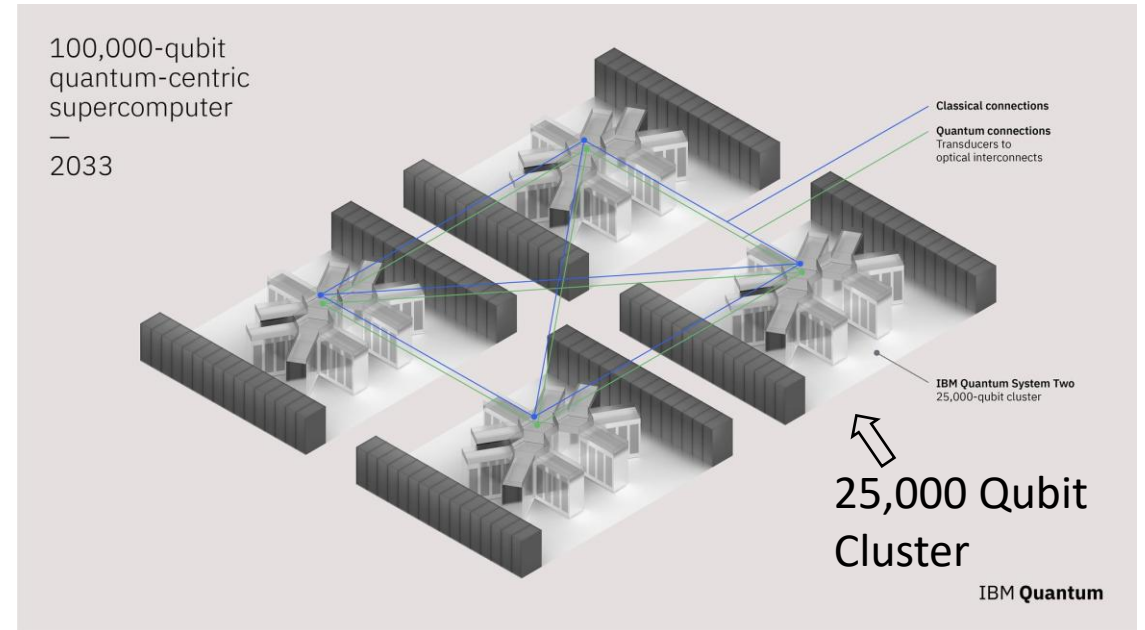
- ✓ 1 M qubit requires 1,000 fridge→9 MW

- ✓ KEK の加速器は40 MW

- ✓ それでもQCにより電力量は下がる？

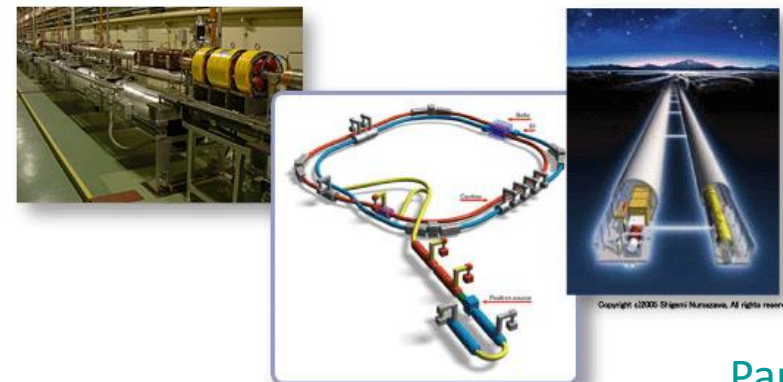
- 国内のデータセンターの電力は 90TWh @ 2030

- <https://www.jst.go.jp/lcs/pdf/fy2020-pp-03-gaiyou.pdf>



IBM's scalable quantum computer

<https://x.gd/u1VPk>



Particle Accelerator

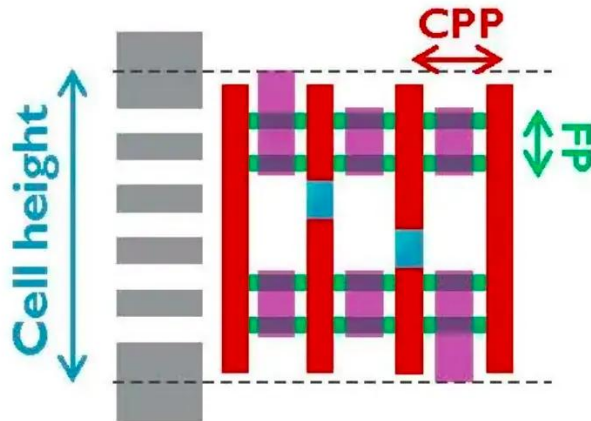
Silicon集積回路の現状

内閣府「先端ロジック半導体の最新動向」より



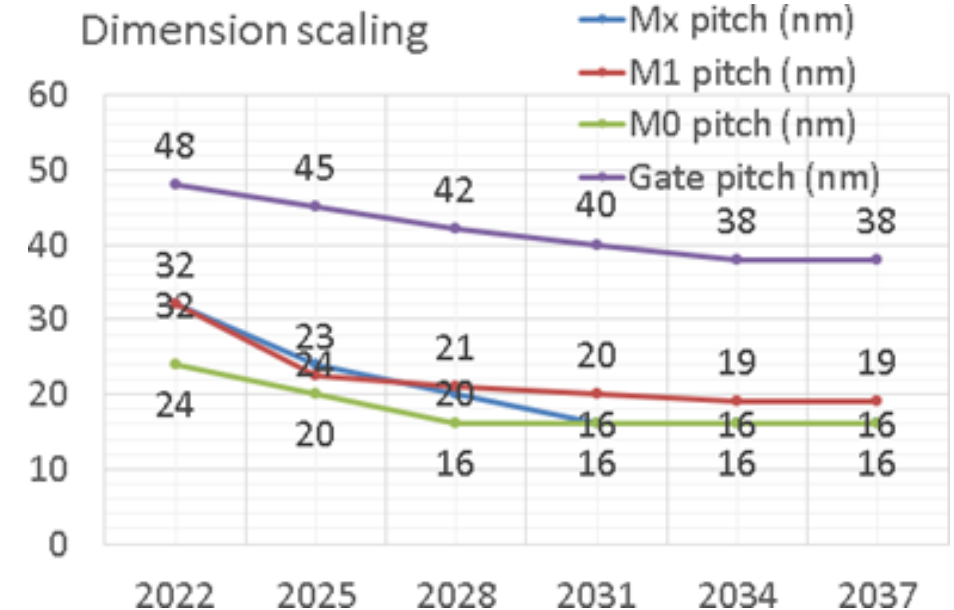
NHKニュースでは
「3nmは回路の幅」

- “2nm世代のチップに2nmの箇所はどこにもない” 東大平本先生
- EUV (Extremely ultra-violet) の波長は**13.5 nm**
- 7nm, 5nm, 3nm は単なるコード名
 - ✓ 近年の集積度の向上はスタンダードセル高さの低減による
ところが多い



FinFETでのスタンダードセル高さ:
CPP (Contacted poly pitch), FP (Fin pitch)

<https://www.angstromonics.com/p/the-truth-of-tsmc-5nm>



From IRDS (International roadmap for devices and systems): Gate pitch = CPP

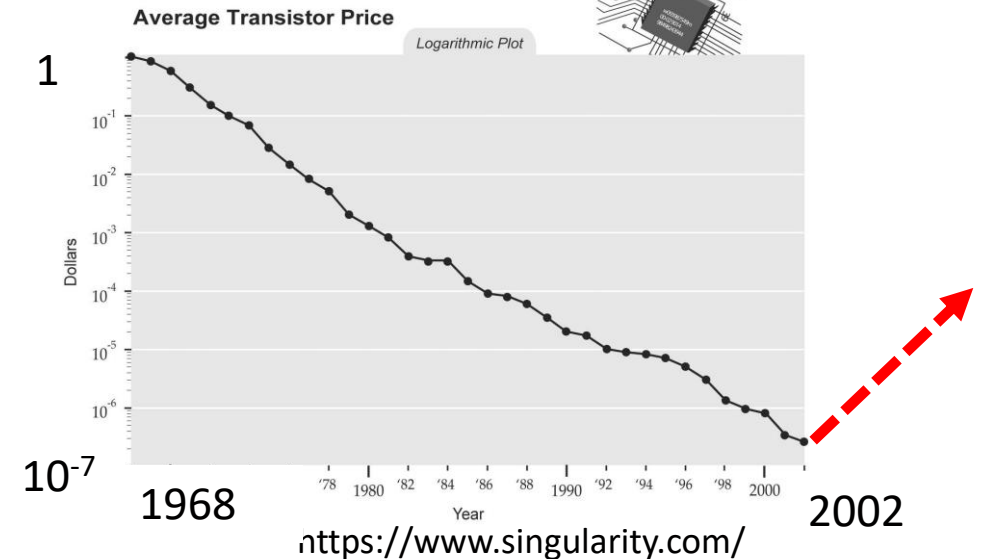
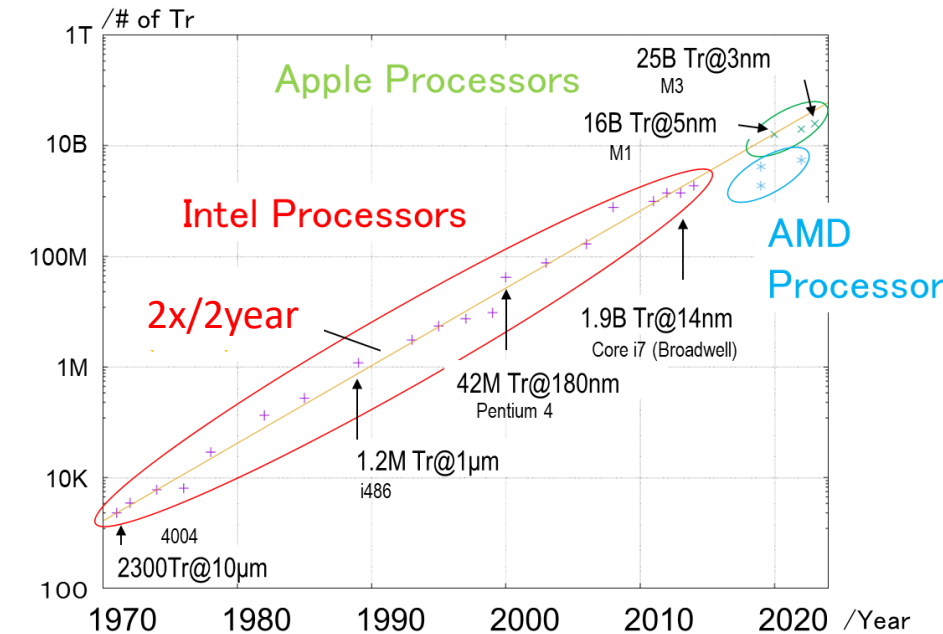
集積回路と量子コンピュータの今後

● ムーアの法則: Moore氏の予測

- ✓ The number of transistors on an integrated circuit will double every two years with **minimal rise** in cost
 - 「最小のコスト上昇で」
- ✓ ここ数年の集積度の向上はEUV等の高コストな製造法による

● 電力と価格は信じられないほどに上がっている

- ✓ iPhone 5: \$199 (2012) vs iPhone 15 Plus: \$899 (2023)
- ✓ AIに関連した計算機が莫大な電力を食っている
 - 人間の脳に匹敵する古典コンピュータは24億W (= 3基の原発)
- ✓ **Rapidusが本格稼働すると北海道の10%の電力を食う**
- ✓ 2nmチップの設計でだけで100億円以上かかる!
 - [<https://www.tomshardware.com/news/firm-estimates-a-2nm-chip-now-costs-dollar725-million-to-design>]



皆さんAIへと.

● AIに関連した企業のみが発展？

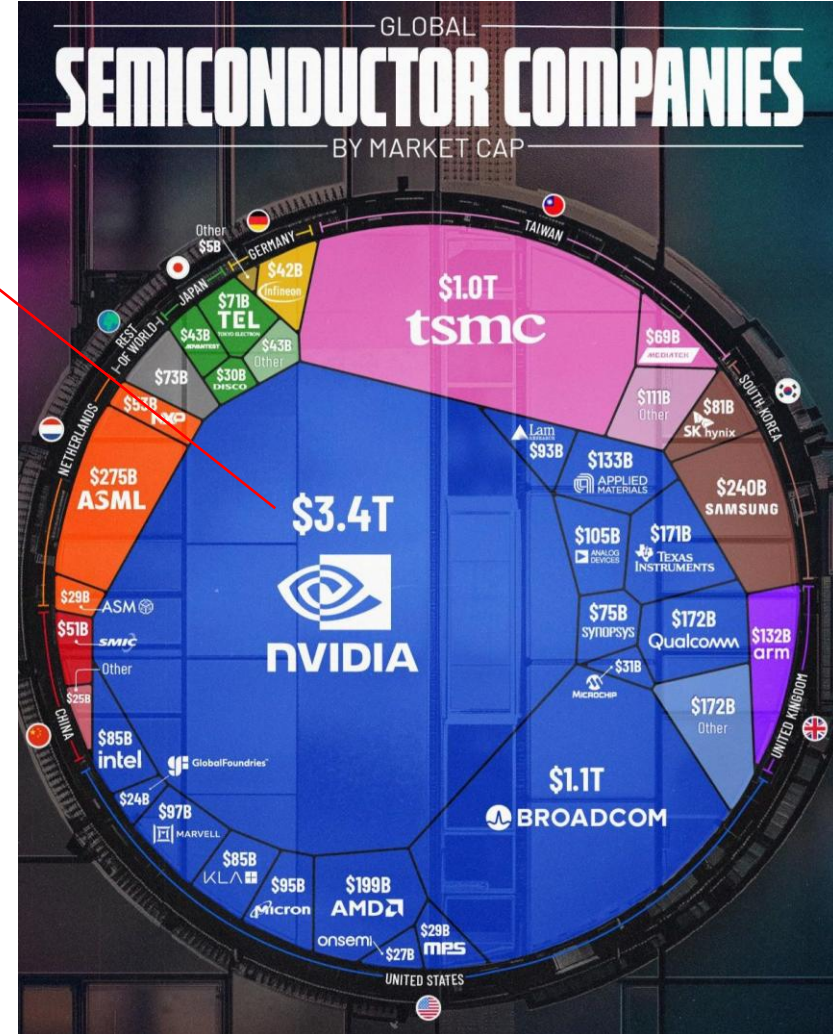
- ✓ NVIDIA, TSMC, Broadcom, SK Hynix...+Kioxia, HDD関連会社
- ✓ DRAM/SSD/HDDの価格が暴騰

● ムーアの法則に反するプロセススケールリングはいつか破綻？..

- ✓ Nvidiaの "Blackwell" オーバーヒート問題でオーダー停止に
 - Power density of 120-132kW per rack (72 chips).
 - ▣ 200V x 600A.
- ✓ AMD's GPUは低電力志向
 - "Advancing AI with **Energy-Efficient Architectures**: Innovations in Fab Process, Packaging, and System Integration" (IEDM 2024 keynote by AMD)

● 量子コンピュータがAIによる電力危機の救世主に？

Nvidia寡占？



Nvidiaの株価



Intelの株価

<https://www.visualcapitalist.com/the-value-of-the-global-semiconductor-industry-in-one-giant-chart/>

集積回路の関係者が量子コンピュータへ続々と！

- Prof. Edoardo Charbon (EPFL)

- ✓ IEEE Xplore上での最初の論文は“Single Photon Imaging in CMOS” in 2006
- ✓ 故小野寺先生と旧知の仲 (UCB滞在時にCharbon先生が学生)



Prof. Charbon



小野寺先生/安浦先生

- Prof. Tibor Grasser (TU Wien) (集積回路の信頼性の専門家, IEDM元GC)

- ✓ 小林にメールが来て「誰か専門家を紹介してと」“We have entered this field a little while ago and are working on DFT calculations of SiGe spin qubits”



Prof. Grasser

- 益一哉先生(元東工大学長)

- ✓ 学長退任後すぐに, 産総研G-QuAT(量子・AI融合技術ビジネス開発グローバル研究センター)のセンター長に
 - 産総研で初の「ビジネス」付きのセンター



益先生

Agenda

- 自己紹介



- はじめに

- ✓ 量子コンピュータおよびその他の政府資金プロジェクトのためのムーンショット目標6

- ✓ 集積回路(古典電子工学)および量子コンピュータ



- QUBECs

- ✓ FTQC(フォールトトレラント量子コンピュータ)開発プロジェクト

- 結論

QUBECS: Quantum Bit Error Correction System

- 小林プロジェクトの略称

- ✓ 正式な名は「誤り耐性量子コンピュータに向けたスケールラブルな高集積量子誤り訂正システムの開発」

- FTQCにフォーカス

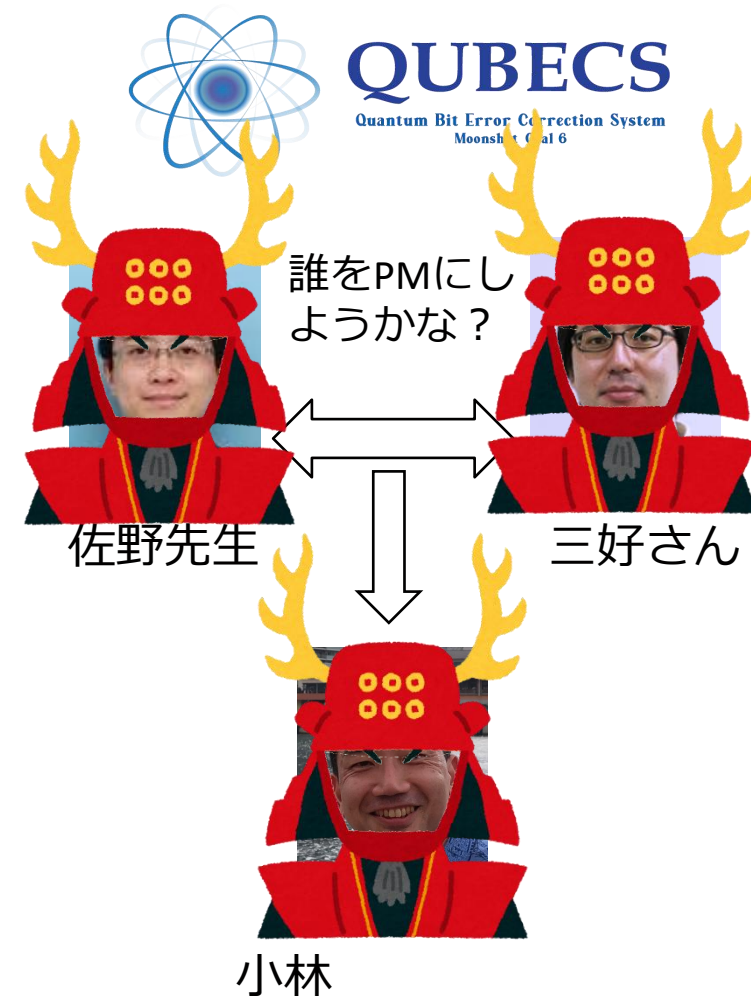
- ✓ 量子ビットより上を取り扱う
 - 古典エレクトロニクス (集積回路)をQubitの制御とエラー訂正に使う

- 2人のキーパーソン

- ✓ 佐野先生(理研) : 元MS6アドバイザー
- ✓ 三好さん(キュエル): Qubit制御器を開発中

FPGA関係の研究で知り合う

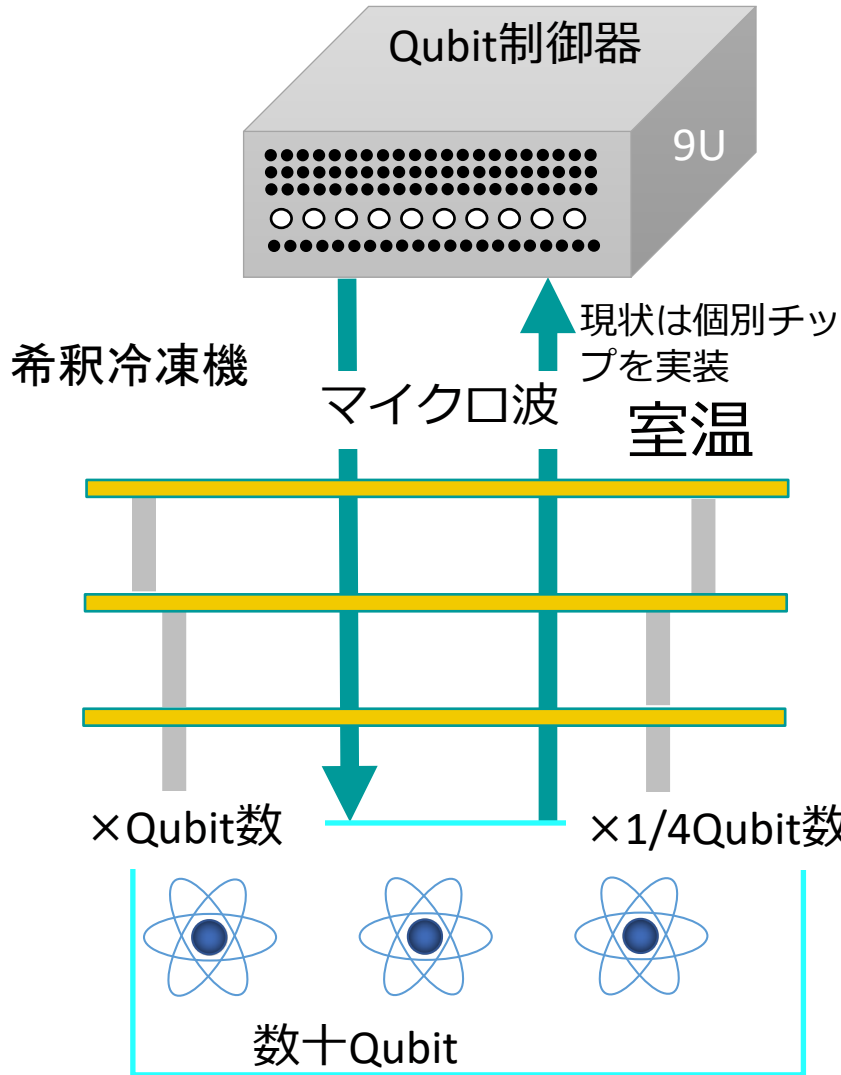
- 2022/3始動⇒2022/5応募完了⇒2022/7採択



研究概要

エラー訂正なしのNISQからエラー訂正ありのFTQCへ

NISQ=Noisy Intermediate-Scale Quantum, FTQC=Fault Tolerant Quantum Computer



現状の量子コンピュータ

項目1: エラー訂正用バックエンド

項目2: Qubit制御用フロントエンド

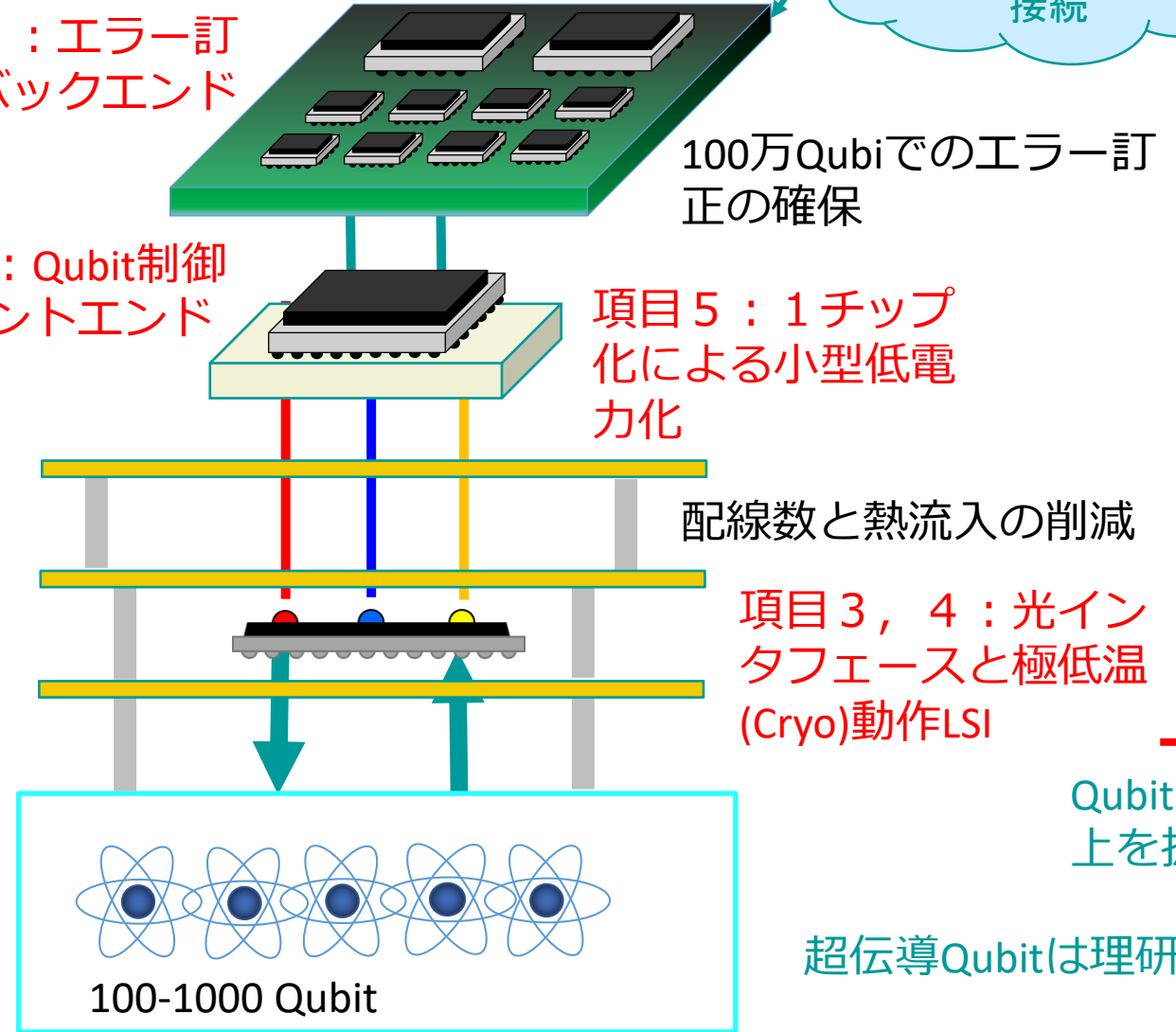
項目5: 1チップ化による小型低電力化

配線数と熱流入の削減

項目3, 4: 光インタフェースと極低温(Cryo)動作LSI

Qubitより上を扱う

超伝導Qubitは理研より



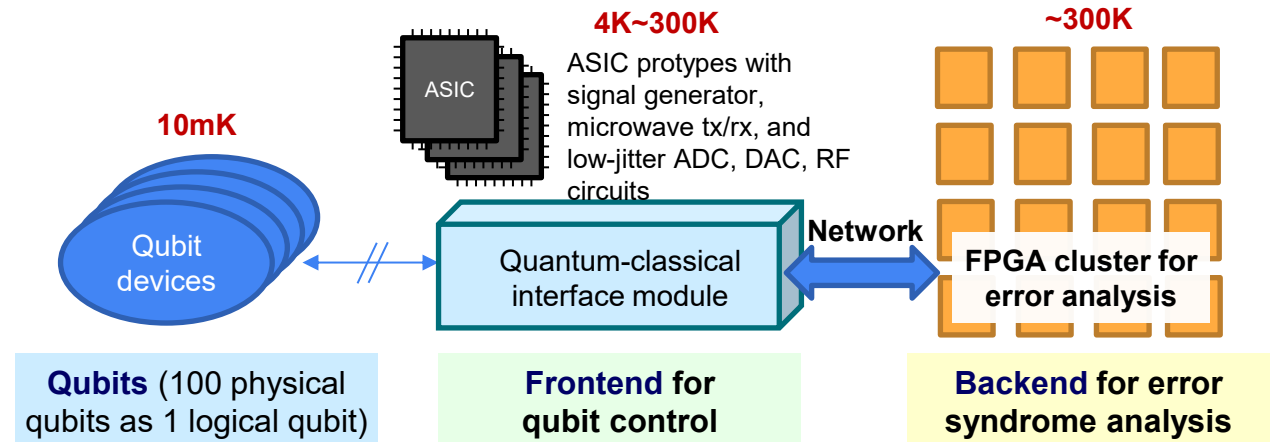
ターゲットとする量子コンピュータ

本研究領域

2025年と2030年の研究ゴール

● 2025

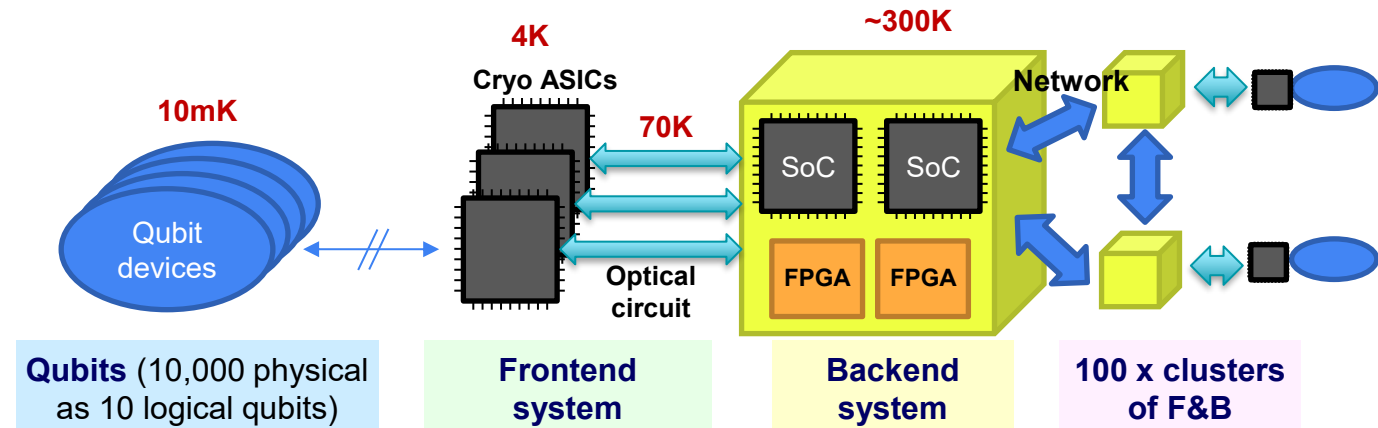
- ✓ 100物理Qubitまでに対応したFTQCに向けたプロトタイプシステムを構築



2025: Prototype system for FTQC with ~100 physical qubits

● 2030

- ✓ 100万物理Qubitまでスケールアップ可能なFTQCに向けたシステムを構築



2030: System for FTQC scalable up to 1,000,000 physical qubits

前半3年のPI

赤字は項目リーダー



佐野
(理研)



門本
(東大)



長名
(熊本大)

項目 1 : エラー訂正用バックエンド



三好
(キュエル)

項目 2 : 量子ビット制御フロントエンドの先鋭化



Quel-1: Qubit制御器



塩見
(阪大)



新谷
(工繊大)



佐藤
(京大)



松尾
(東大)

項目 3: 光/Cryo CMOS集積回路によるスケラブルな古典-量子インターフェース



五十嵐
(ソシオネクスト)

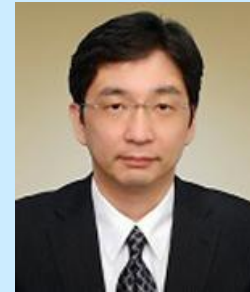
項目 5: 常温で動作するフロントエンドアナログRF部のLSI化



小林
(工繊大)



土谷
(滋賀県立大)



高井
(工繊大)



宮原
(高エネ機構)



今川
(明治大)



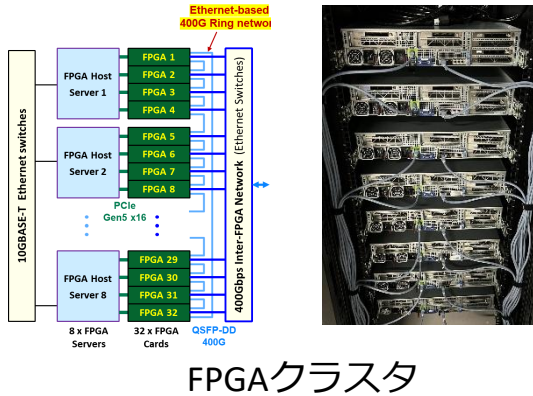
岸田
(富山県立大)

項目 4: フロントエンド・バックエンドのCryo CMOS化

集積回路, 古典コンピュータ関係中心の15人のPIと153名の研究者(学生を含む)

2022-2025の推進体制

項目1：エラー訂正バックエンド



佐野(理研)他2名

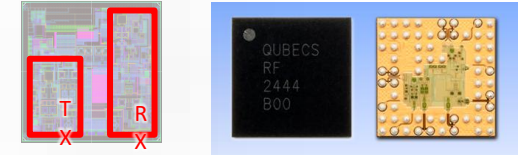
情報共有

項目2：量子ビット制御 フロントエンドの先鋭化

三好(キュエル)

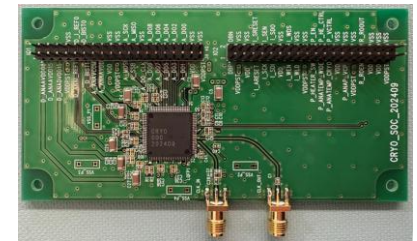


項目5：常温で動作するフロントエンドアナログRF部のLSI化



五十嵐(ソシオネクスト)

項目4：フロントエンド・バックエンドのCryo CMOS化



小林(京都工繊大)他5名

協調設計

協調設計

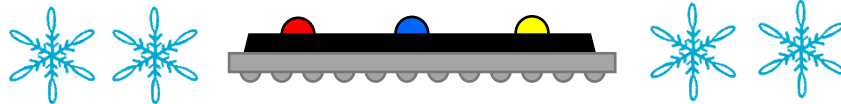
協調設計

協調設計

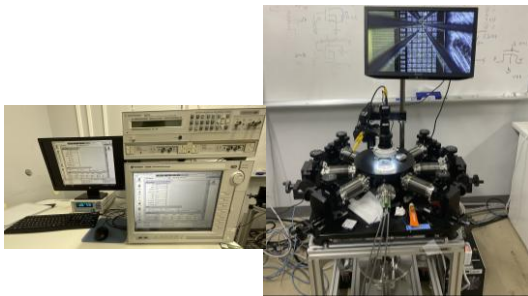
試験環境
設計環境

極低温環境

項目3：光/Cryo CMOS集積回路による スケーラブルな古典-量子インターフェース



塩見(阪大)他3名



極低温プローバ@工繊大

後半5年のPI

赤は項目リーダー
マゼンタは新規PI



佐野
(理研)



門本
(東大)



長名
(熊本大)



川久保*
(QunaSys)



若林
(東大)



天野
(東大)

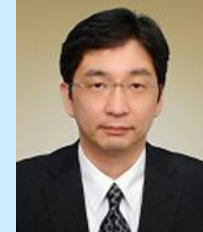
項目 1 : エラー訂正用スケーラブルバックエンド



小林
(工織大)



土谷
(滋賀県立大)



高井
(工織大)



宮原
(高エネ機構)



今川
(福井大)



岸田
(富山県立大)

項目 4: Cryo CMOSによるQubit制御SoC



三好*
(キュエル)

項目 2 : 量子ビット制御フロントエンドの先鋭化



塩見(準)
(阪大)



新谷
(工織大)



佐藤
(京大)



松尾
(東大)



塩見(英)*
(阪大)



内田
(東大)



石黒
(慶大)

項目 3: 光/Cryo CMOS集積回路によるスケーラブルな古典-量子インターフェース

~~Socionext~~

項目 5

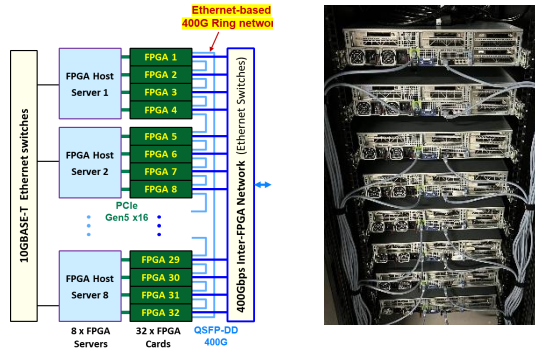
富士通

研究協力

量子/古典コンピュータ, LSIの20 (前半+5) 人のPI (2企業, Qunasys, キュエル)

2026-2030の推進体制

項目1：エラー訂正バックエンド



FPGAクラスター

佐野(理研)他5名

情報共有

研究協力：1000Qubit環境の提供

項目2：量子ビット制御 フロントエンドの先鋭化

三好(キュエル)

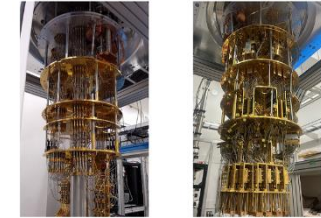


QuEL-Moon



QuEL-1

協力



64量子ビット機 256量子ビット機

富士通

項目4：フロントエンド・ バックエンドのCryo CMOS化



Cryo-SoC評価ボード

小林(京大)他5名

協調設計

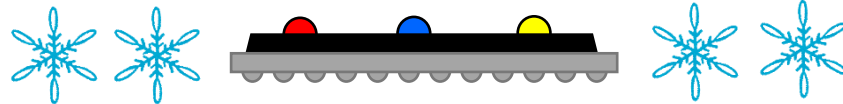
協調設計

協調設計

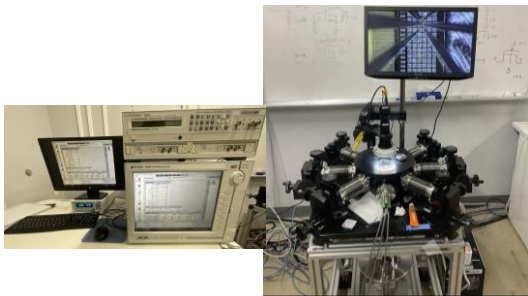
試験環境
設計環境

極低温環境

項目3：光/Cryo CMOS集積回路による スケーラブルな古典-量子インターフェース

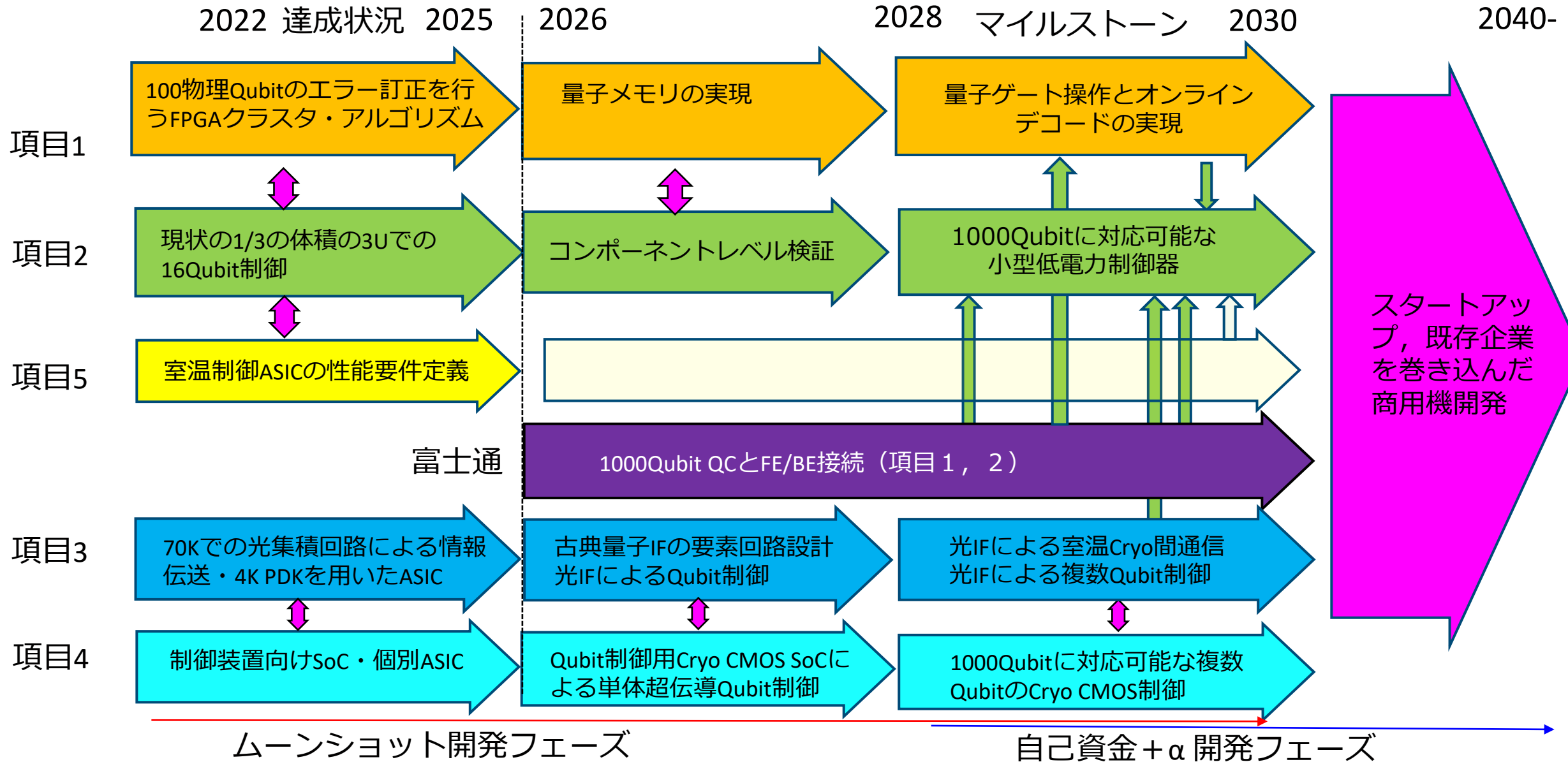


塩見(阪大)他6名

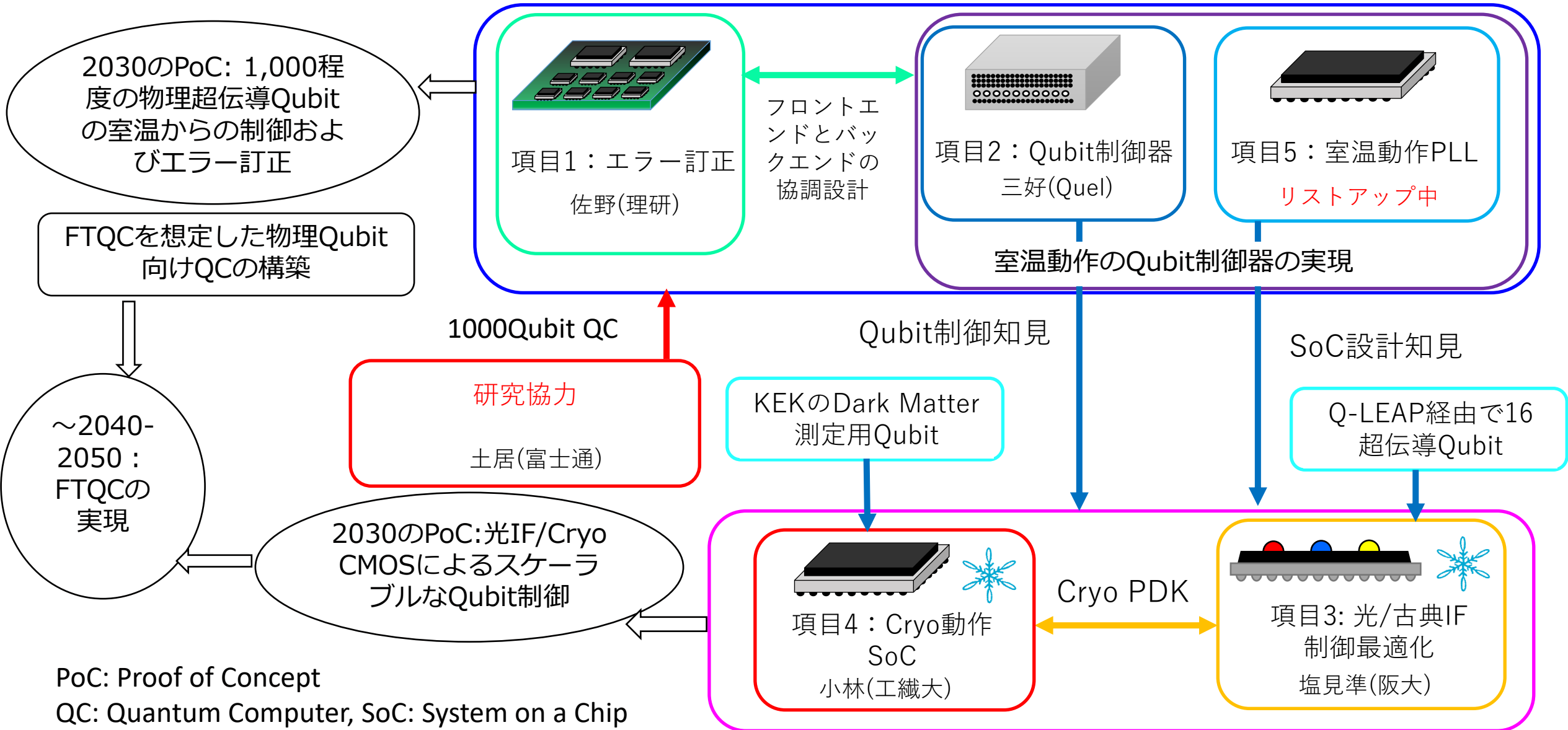


極低温プローバ@工織大

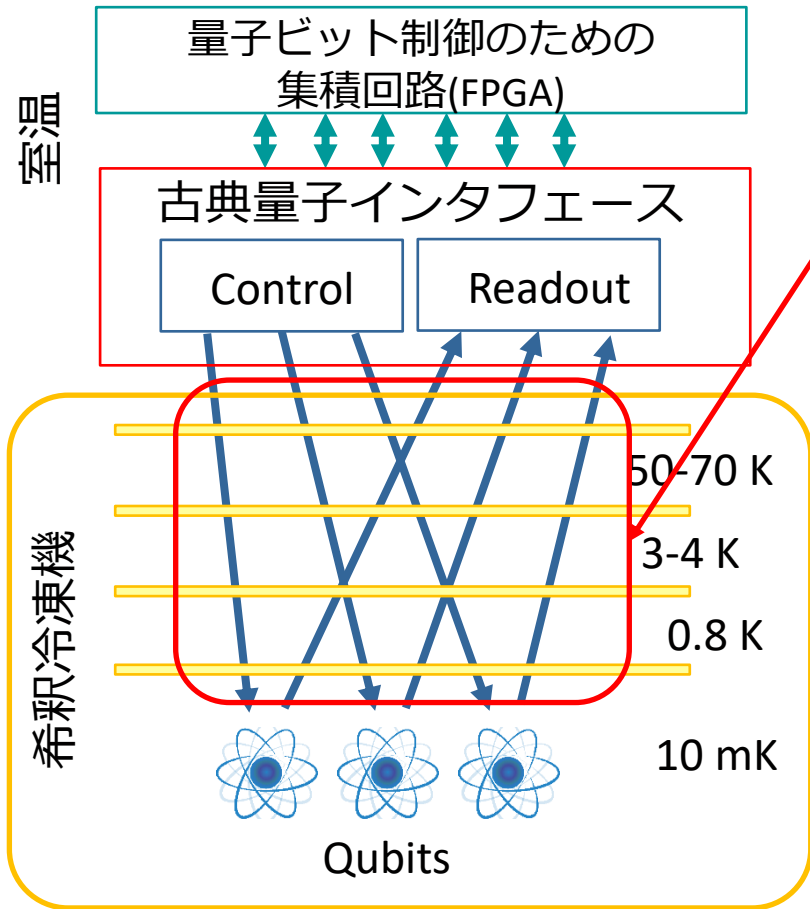
本PJの主な達成状況・マイルストーン



各項目の関係



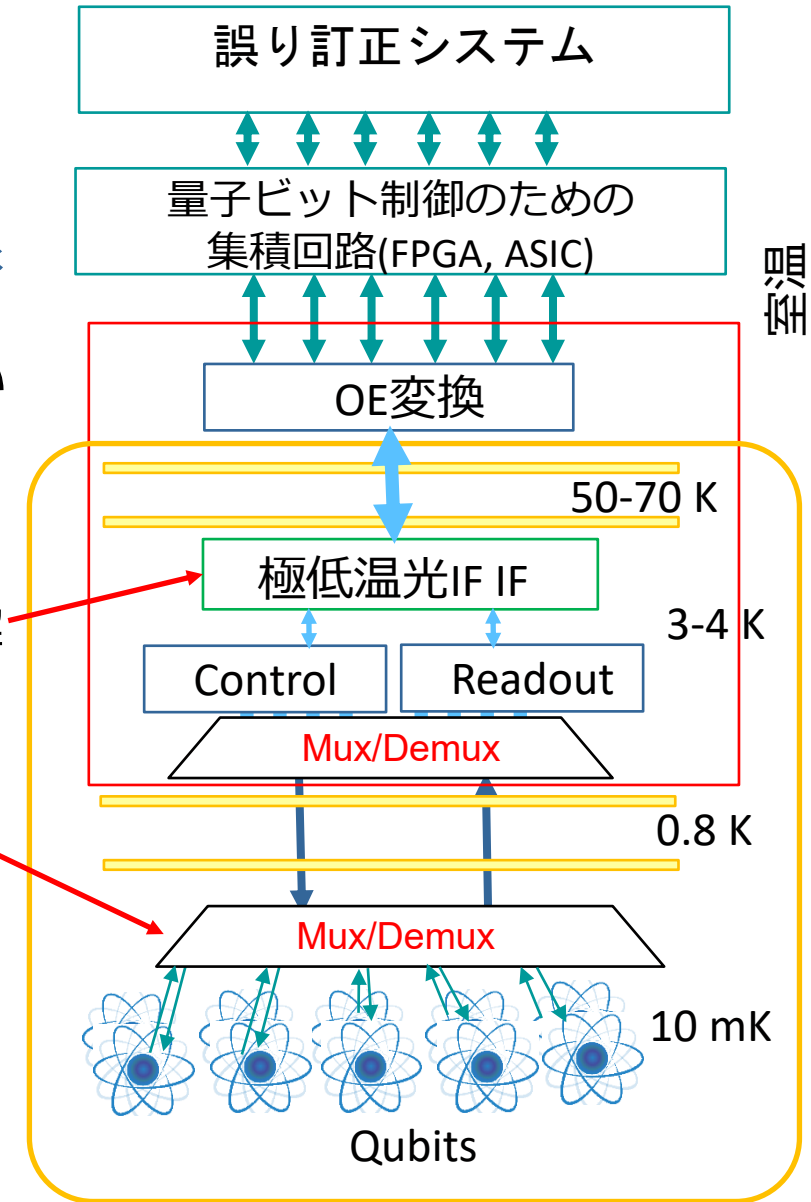
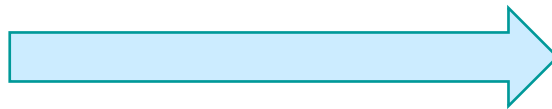
プロジェクトの立て付け



現状の量子コンピュータ

Qubitの増加に伴い配線数も増加
 ✓ 配線する場所がない
 ✓ 温度流入

室温/4K間光IF, 4K/MK間 Mux/Demuxにより解決



プロジェクトの目標とする量子コンピュータ

光配線・Cryo CMOS化の恩恵と問題点

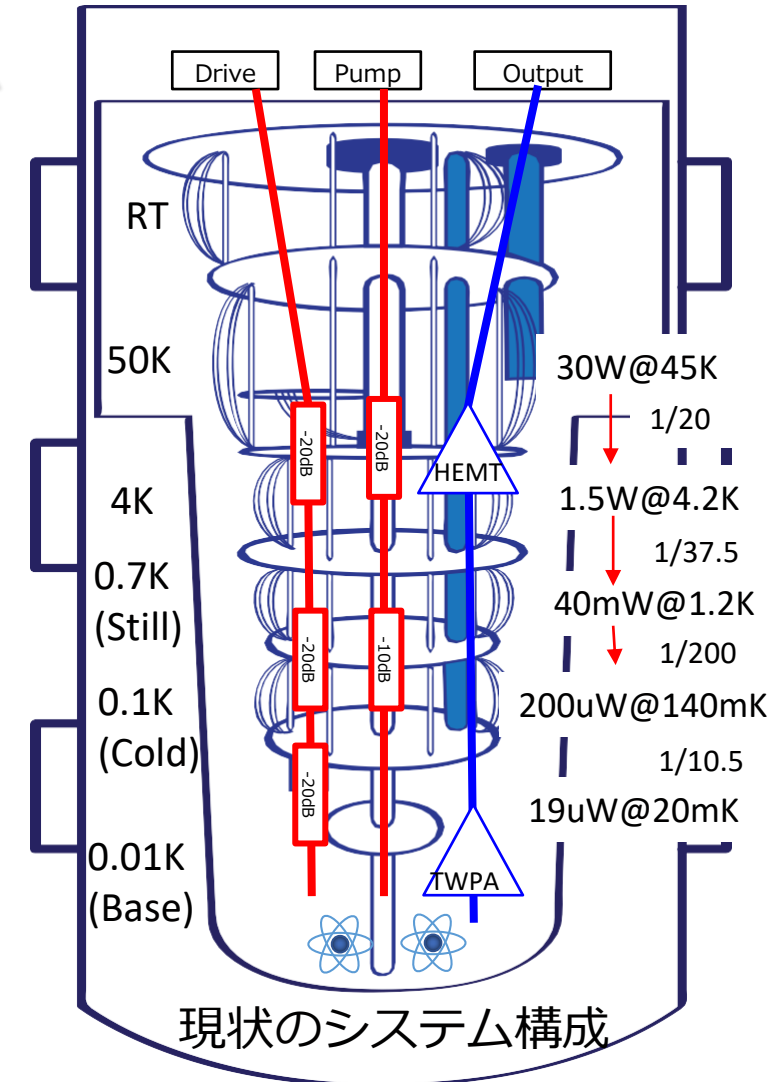
● 室温⇒極低温間の熱流入の削減[arXiv:2009.01167]

- ✓ ステンレスケーブル1本あたり13nW/lineの熱流入.
- ✓ 送信：256+256/4=320本，受信：256/4=64本 @256 Qubit
- ✓ 熱流入：13nW*384≈5uW. 全送信電力10mW*320=3.2W
 - 現状は約3Wと50Kステージの30Wの1/10. 2ⁿでQubit数が増える
とすると，2048Qubit(<256*10)が限界
- ✓ 光ケーブルは 3pW/line (ステンレスケーブルの1/4300)

● 室温からのケーブル送信電力：

0~10dBm=1~10mW/Line

- ✓ 光IF・Cryo CMOSによる電力を10mW/Qubitとしないとペイしない
- ✓ Mux/DemuxによりQubit当たりの回路数/配線数を減らす
- ✓ Cryo制御とQubitのFidelity向上により回路規模を減らす



電力はこちらから

猪股 邦宏, 門 恒男, 量子コンピュータ極低温実装技術の現状と課題, 電気学会論文誌A, 2022, 142 巻, 5 号, p. 190-196

光配線・Cryo CMOSによる信頼性の確保

- 電力よりも先に信頼性が問題

- ✓ 希釈冷凍機のRT/4K間の配線の信頼性：コネクタ 100FIT/個
- ✓ 1024Qubit→1024+256本(2コネクタ/本)
 - $100\text{FIT} \times (1024 + 256\text{本}) \times 2\text{CNT/本} = 2.24 \text{ Error/Year}$
- ✓ ケーブルだけでエラーが年2回起こる.
- ✓ 1万Qubitなら年20回エラー. とても100万Qubitには対応不可能

- 光配線によるRT/4K, Mux/Demuxによる4K/mKの配線数削減により信頼性は大幅に向上

- ✓ 光配線により1/100~1/1000
 - 配線数は1 (デジタル信号のみなら)
- ✓ Mux/Demuxの最初の目標は1/16

- フラットケーブル (高密度配線) の可能性

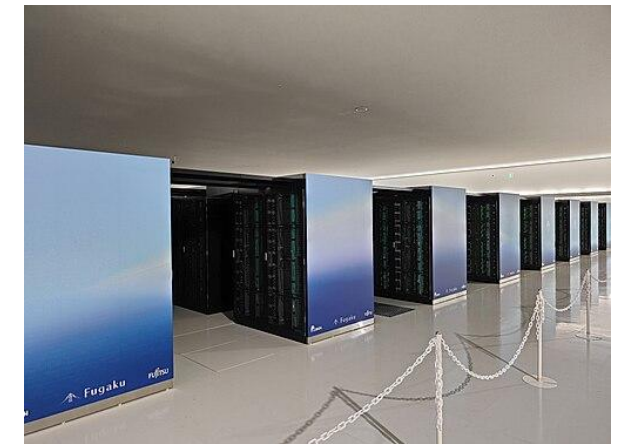
- ✓ 配線同士の接近でアイソレーションの問題(~-40dB)あり.
- ✓ コネクタ部分でもアイソレーション損失.



日立製HITAC5000@1964
配線のお化け



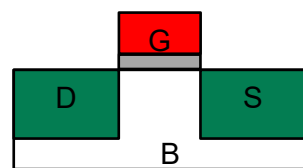
フラットケーブル
(G-QuAT模型)



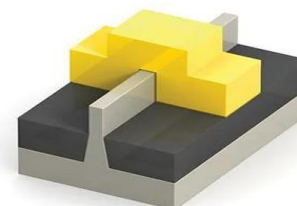
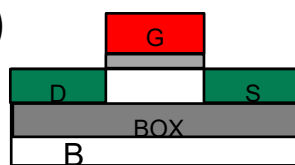
富岳：配線は20万本

試作プロセス2D /3D の得失比較

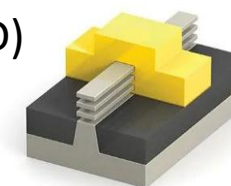
- 小林PJでは2D Bulkで最も微細な22nmプロセスを利用
- 2D Bulkは微細化によるリーク電流の増大で3D化。極低温ではリーク電流が無視できるため問題なし。コスト最安かつ極低温ではバックゲートバイアスによる性能制御可能
- FDSOI/3D構造は極低温での自己発熱効果(SHE)の問題。3D構造はイニシャルコストが高すぎて大量生産しないCryo CMOSではペイしない



平面(2D)



立体(3D)



	2D Bulk	2D FDSOI	3D FinFET	3D GAA/CFET
Cost	Cheap	Little bit expensive	Expensive	Too expensive
Digital Perf.	Moderate	Moderate	Better	Best
Analog Perf. (gm)	Better	Best	Worse	Worse
RF Perf. (fT)	Moderate	High	Higher	Highest
Back Bias Ctrl	Possible @cryo. Temp.	Possible	Impossible	Impossible
Self Heating	Best	Worse	Worse	Worst

項目1：エラー訂正用スケールラブル バックエンド



佐野
(理研)



門本
(東大)



長名
(熊本大)



川久保
(QunaSys)



若林
(東大)



天野
(東大)

項目1：エラー
訂正・処理系

項目2,5：Qubit
制御

項目3：光-
Cryo CMOS IF

項目4, 6：Cryo
CMOS

階層構造

項目 1 エラー訂正用スケーラブルバックエンド

● 研究開発概要

- ✓ FTQCの実現には、物理Qubitを用いた、誤り訂正や論理ゲート操作の**実証実験**が必須
- ✓ 誤り訂正と論理ゲート操作に必要な要素技術の研究開発を行い、実証実験システムを構築

● 達成目標

- ✓ (技術開発) **100万物理Qubitまでスケーラブル**なエラー訂正アルゴリズムとハードウェアシステムを開発
- ✓ (実証実験) 物理Qubitを用いて**量子エラー訂正と論理ゲート操作**を実証

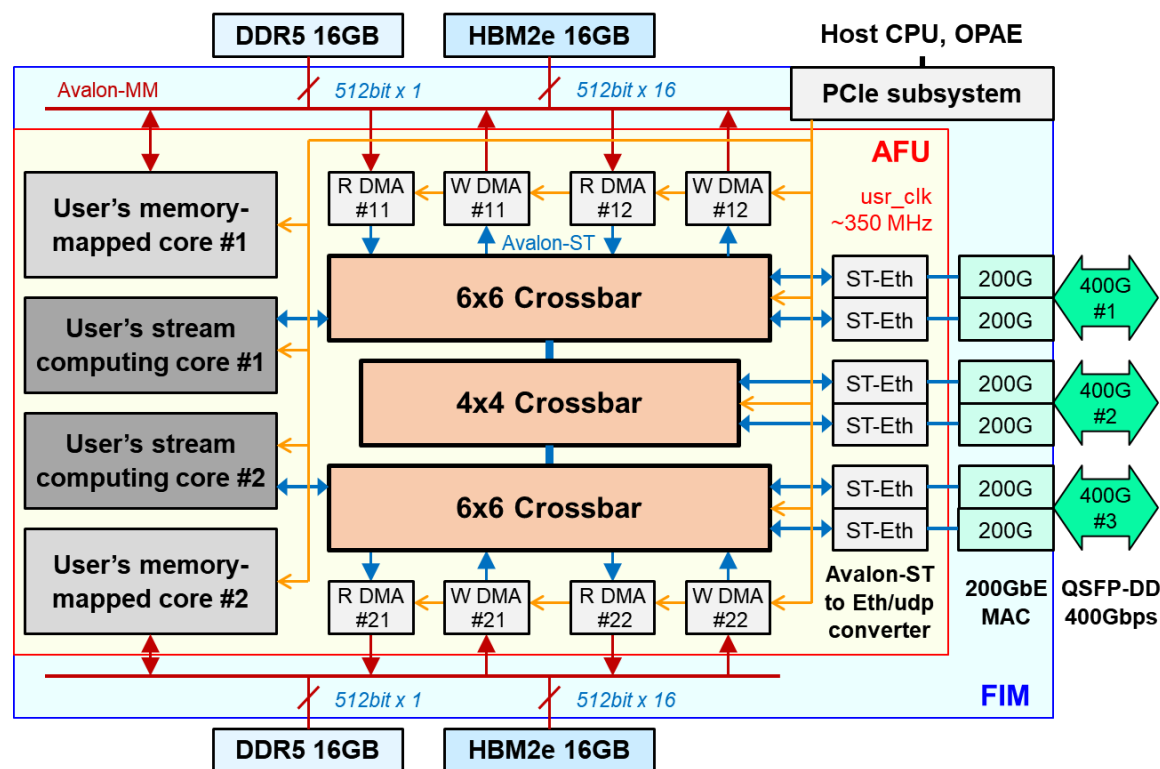
● 研究開発項目

- ✓ (1) 量子誤り訂正のハードウェアアルゴリズムと実証システム (理研 佐野)
- ✓ (2) FTQCアーキテクチャの定量的評価 (東大 門本)
- ✓ (3) スケーラブルな誤り訂正システムのインテグレーション技術 (熊大 長名)
- ✓ (4) **FTQC抽象化レイヤ・コンパイラ** (QunaSys 川久保)
- ✓ (5) **量子コンピュータ向け設計自動化技術の応用** (東大 若林) 赤字は新規追加PI
- ✓ (6) **表面符号以外のコーディング方式のマルチFPGAへの実装** (東大 天野)
- ✓ (7) 実証システムの構築と物理系を用いた実証実験 (全体)

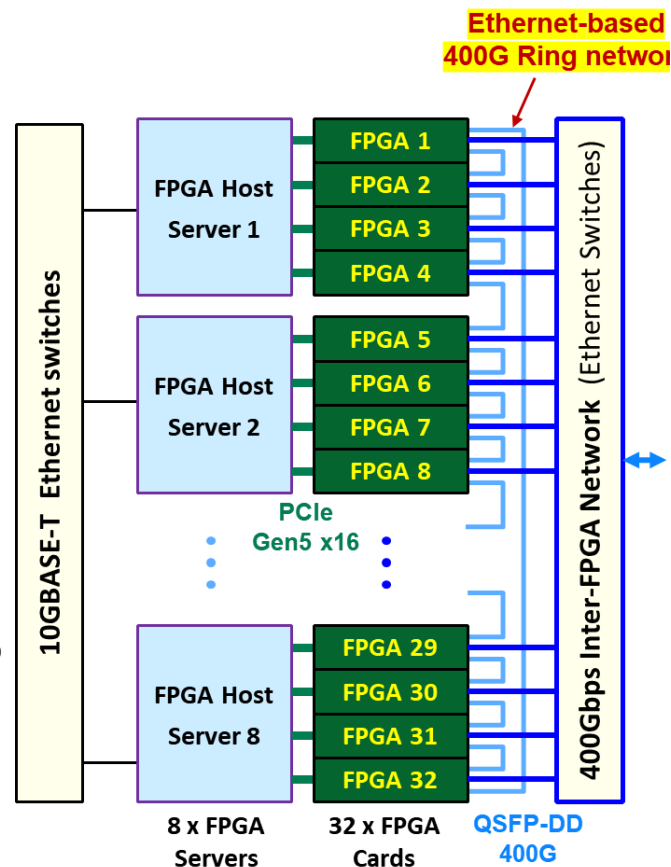
項目1の成果その1

- エラー訂正用FPGAクラスタFPGA Shell

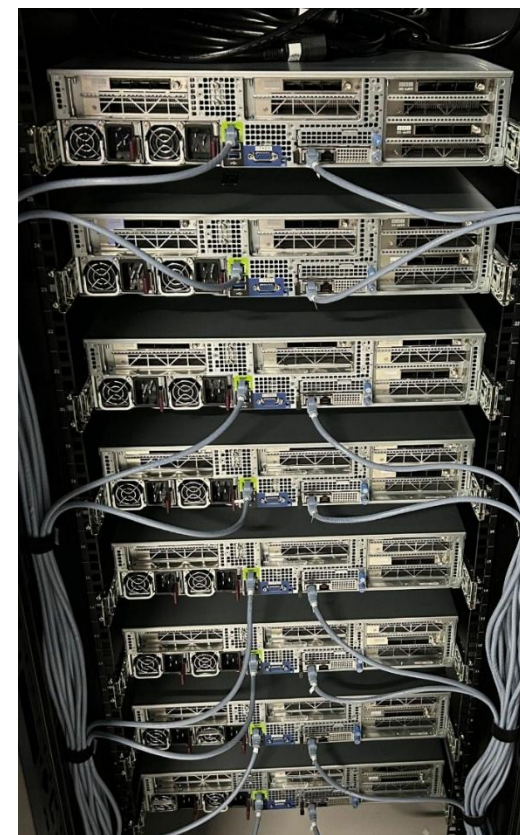
- ✓ 10GB Ethernetで各クラスタを接続 (w/ ALTERA Agilex7-M FPGAs)



各FPGA Shellの構造



FPGA Cluster (ESSPER2)



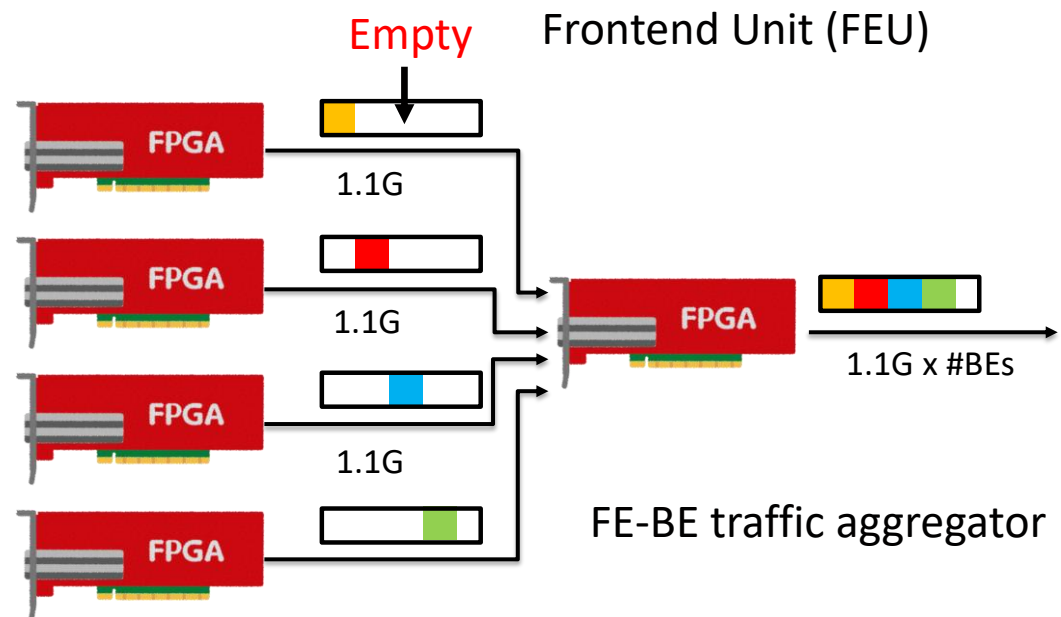
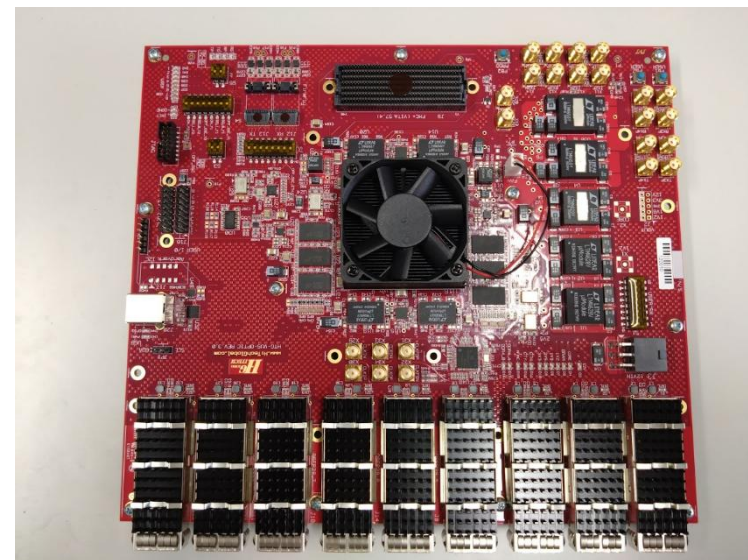
項目 1 の成果その 2

● Ethernetによるスケーラブルなインターネット

- ✓ 理研のフロントエンドエミュレータ上で実現
- ✓ 2M packet / second / FEU
 - 1.1 Gbps / FEU
- ✓ 36 FEUs or even 72 FEUsをエミュレート
 - トータルのスループット：40~80 Gbps
- ✓ FPGA QEC engineの開発に利用

● FE-BE トラフィックアグリゲータ

- ✓ フロントエンドからのEtherパケット(1.5KB)はスカスカ
 - 複数のFEUからのパケットを束ねてトラフィックを削減
- ✓ 遅延 \approx 300 ns
 - ネットワークのスケーラビリティを拡張可能
 - 市販のネットワークスイッチと同等の遅延Same



項目1：エラー訂正用スケールラブル バックエンド



佐野
(理研)



門本
(東大)



長名
(熊本大)



川久保
(QunaSys)



若林
(東大)



天野
(東大)

項目1：エラー
訂正・処理系

項目2,5：Qubit
制御

項目3：光-
Cryo CMOS IF

項目4, 6：Cryo
CMOS

階層構造

項目 1 エラー訂正用スケーラブルバックエンド

● 研究開発概要

- ✓ FTQCの実現には、物理Qubitを用いた、誤り訂正や論理ゲート操作の**実証実験**が必須
- ✓ 誤り訂正と論理ゲート操作に必要な要素技術の研究開発を行い、実証実験システムを構築

● 達成目標

- ✓ (技術開発) **100万物理Qubitまでスケーラブル**なエラー訂正アルゴリズムとハードウェアシステムを開発
- ✓ (実証実験) 物理Qubitを用いて**量子エラー訂正と論理ゲート操作**を実証

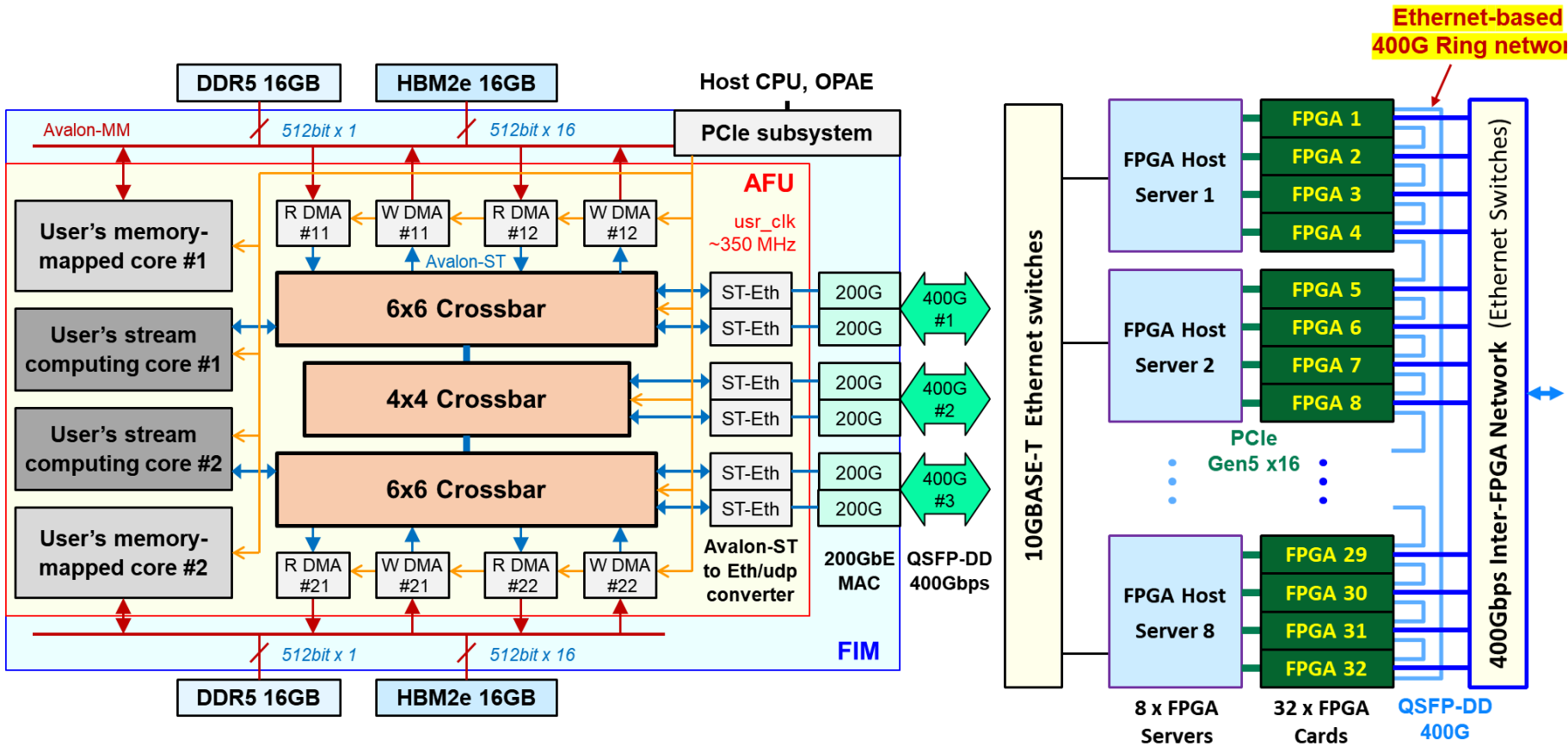
● 研究開発項目

- ✓ (1) 量子誤り訂正のハードウェアアルゴリズムと実証システム (理研 佐野)
- ✓ (2) FTQCアーキテクチャの定量的評価 (東大 門本)
- ✓ (3) スケーラブルな誤り訂正システムのインテグレーション技術 (熊大 長名)
- ✓ (4) **FTQC抽象化レイヤ・コンパイラ** (QunaSys 川久保)
- ✓ (5) **量子コンピュータ向け設計自動化技術の応用** (東大 若林) 赤字は新規追加PI
- ✓ (6) **表面符号以外のコーディング方式のマルチFPGAへの実装** (東大 天野)
- ✓ (7) 実証システムの構築と物理系を用いた実証実験 (全体)

項目1の成果その1 (1-1 佐野PI)

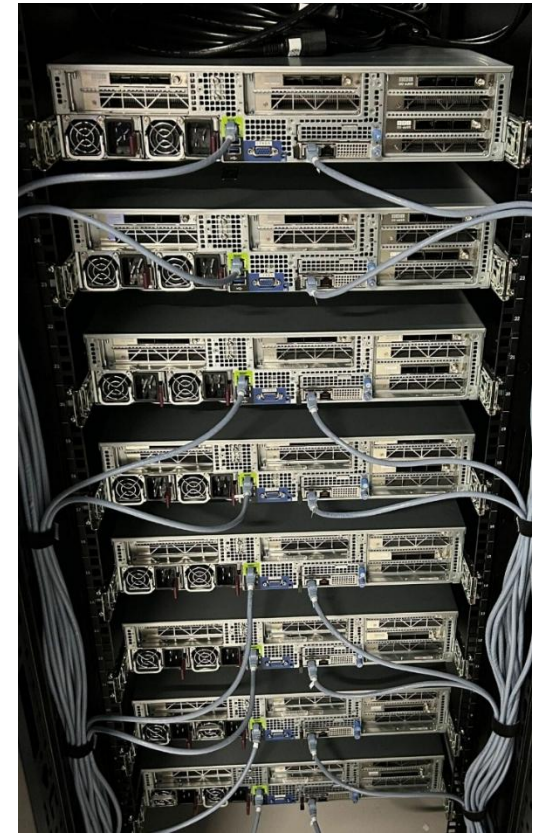
- エラー訂正用FPGAクラスタFPGA Shell

- ✓ 10GB Ethernetで各クラスタを接続 (w/ ALTERA Agilex7-M FPGAs)



各FPGA Shellの構造

FPGA Cluster (ESSPER2)



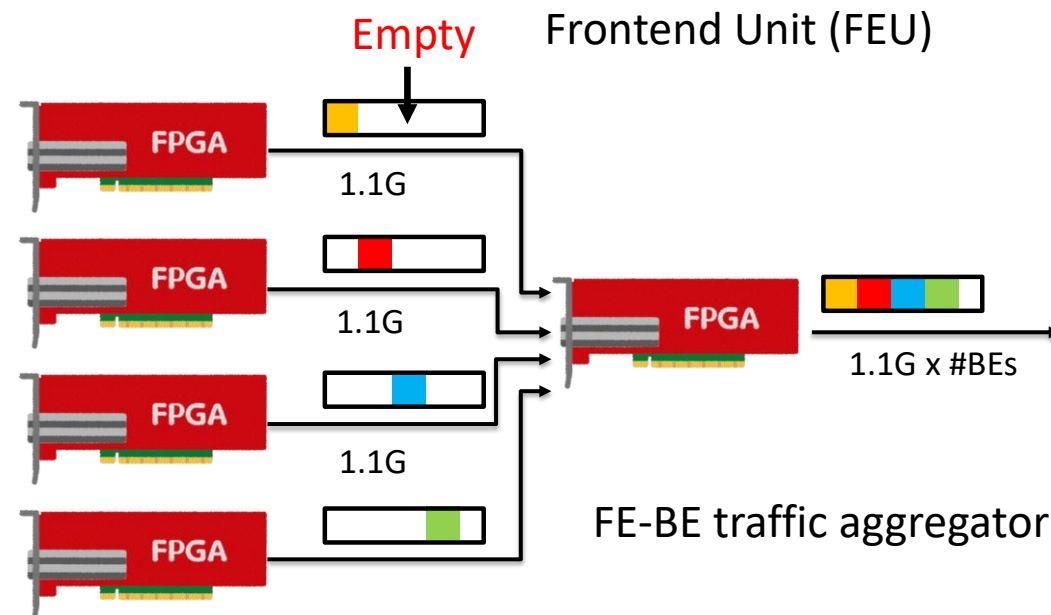
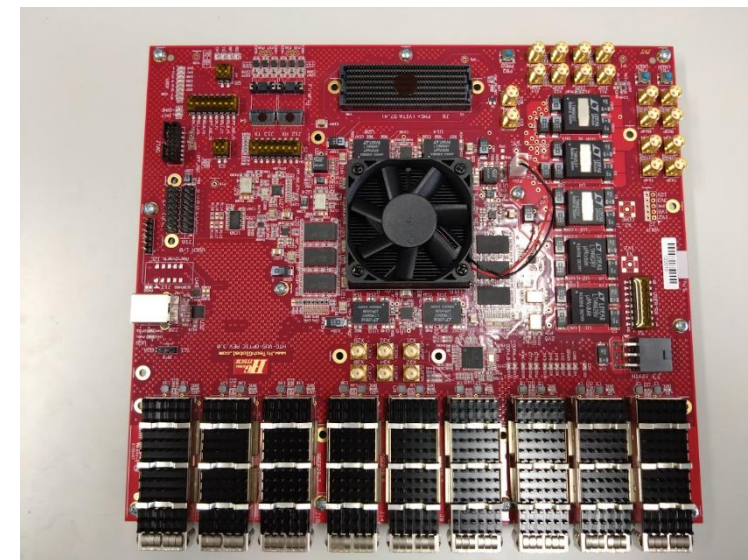
項目 1 の成果その 2 (1-3 長名PI)

● Ethernetによるスケーラブルなインターネット

- ✓ 理研のフロントエンドエミュレータ上で実現
- ✓ 2M packet / second / FEU
 - 1.1 Gbps / FEU
- ✓ 36 FEUs or even 72 FEUsをエミュレート
 - トータルのスループット : 40~80 Gbps
- ✓ FPGA QEC engineの開発に利用

● FE-BE トラフィックアグリゲータ

- ✓ フロントエンドからのEtherパケット(1.5KB)はスカスカ
 - 複数のFEUからのパケットを束ねてトラフィックを削減
- ✓ 遅延 \approx 300 ns
 - ネットワークのスケーラビリティを拡張可能
 - 市販のネットワークスイッチと同等の遅延



項目2：制御器(フロントエンド)の 先鋭化



三好
(キュエル)

項目1：エラー
訂正・処理系

項目2：Qubit
制御

項目3：光-
Cryo CMOS IF

項目4：Cryo
CMOS

階層構造

項目2 制御器（フロントエンド）の先鋭化

- FTQCの実現には...

- ✓ 安定性とスケーラビリティを備えた制御装置アーキテクチャが必須
- ✓ 品質・性能、スケーラビリティ、APIの3観点からシステムアーキテクチャを検討し、実証装置の開発と評価を行う
- ✓ エラーシンドローム測定・演算に対応可能なAPIを定義し、バックエンド(項目1)と連携した実証実験システムを構築

- 達成目標

- ✓ (技術開発) FTQCを想定した 超伝導1,000量子ビット向けの制御システムを構築
- ✓ (実証実験) 物理Qubitを用いて量子エラー訂正と論理ゲート操作を実証

- 研究開発項目

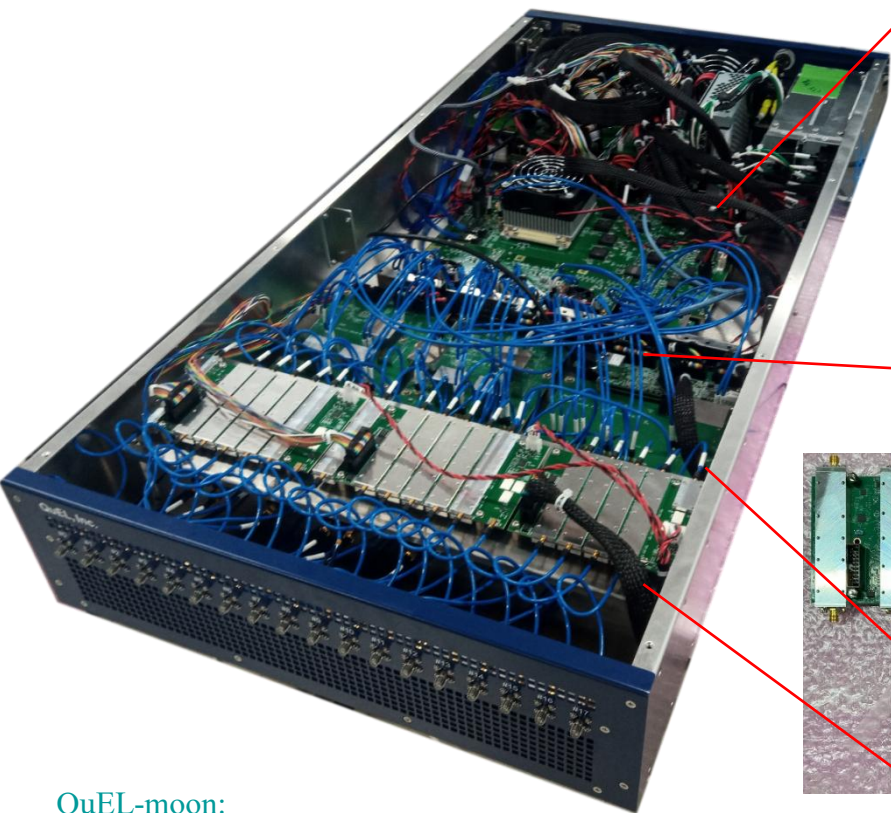
- ✓ (1) 1,000Qubit対応FTQC向け超伝導Qubit制御フロントエンドのコンポーネント設計(項目5)
- ✓ (2) 半導体量子ドット, イオントラップ制御フロントエンドのコンポーネント設計
- ✓ (3) 実証システム向けフロントエンドの構築 - バックエンドシステム(項目1)と連携したFTQC実証実験
- ✓ (4) Cryo CMOSによる超伝導Qubit制御(項目3, 4)

実量子ビット向けに利用可能なシステムを構築し評価をすすめる

PJ内の他の項目と連携してさらなるスケーラビリティ向上の方式を検討する

これまでの研究成果と今後の取り組み

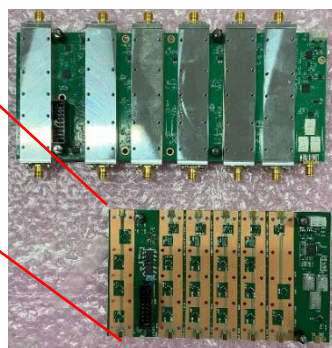
- 超伝導Qubit向けに高密度な制御システムの開発・製造
⇒ FTQCを想定した超伝導Qubit向けに必要な高品質・高速制御を実装



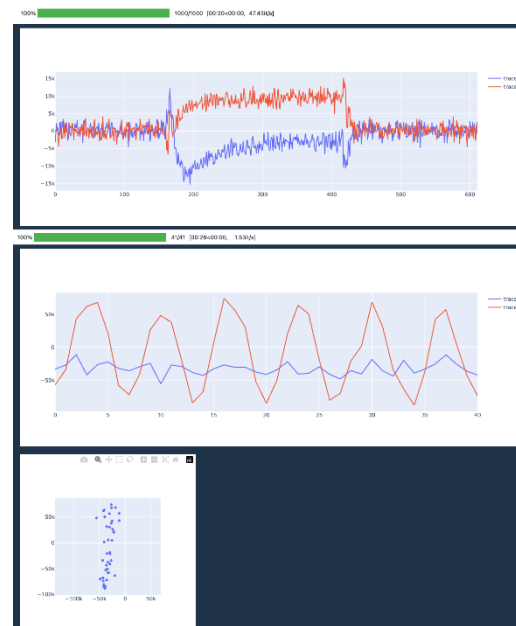
QuEL-moon:
従来比1.5倍の実装密度の構成



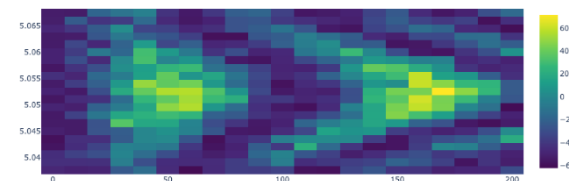
FPGA1個にADC/DACを3個接続



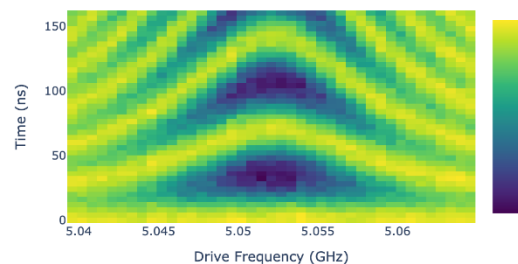
システム化にあわせ小型化した
RF信号処理モジュール



実量子ビットの制御の様子 (ラビ振動・シェブロンパタンの取得)
協力: 大阪大学QIQB/塩見英久特任准教授



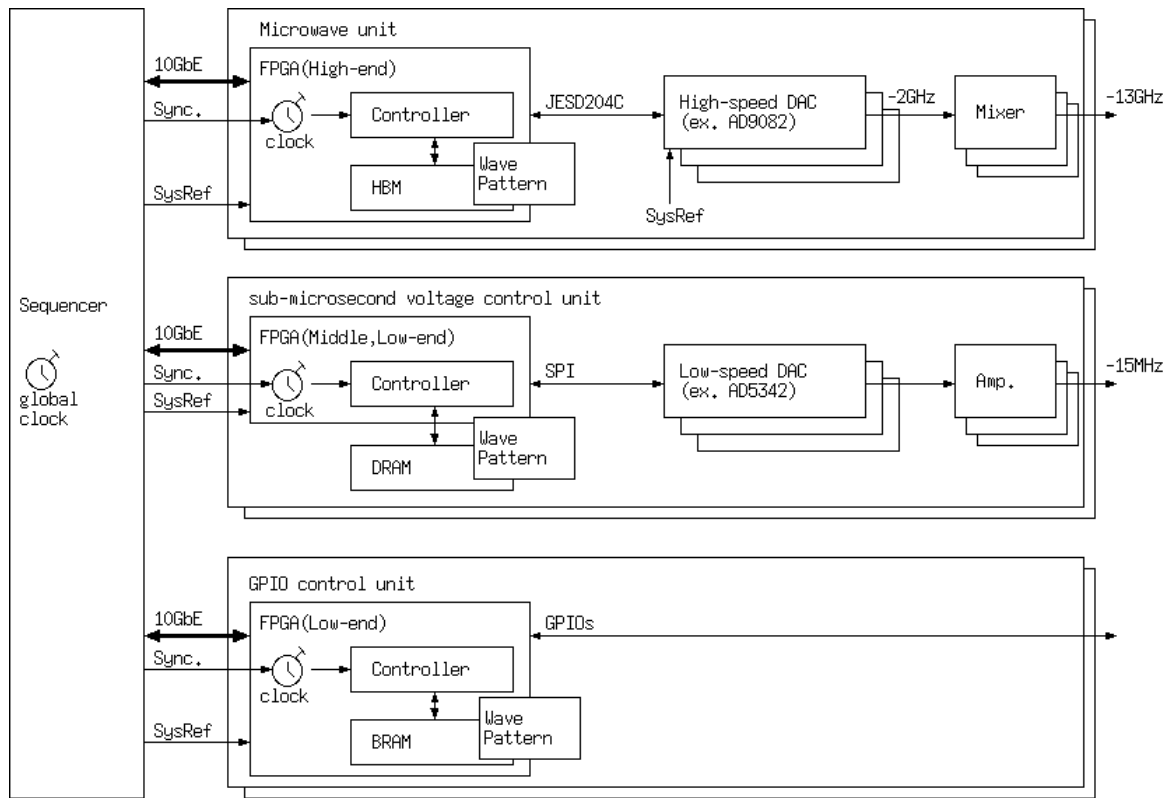
Chevron pattern



これまでの研究成果と今後の取り組み

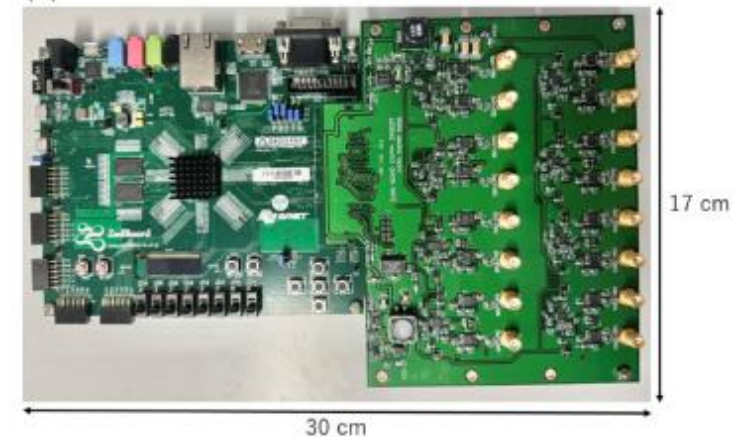
- 超伝導量子ビット制御装置を拡張，他PJと連携して予備実験をすすめてきた

⇒ FTQC実証実験に向けて必要なコンポーネントを実装しシステムを構築する

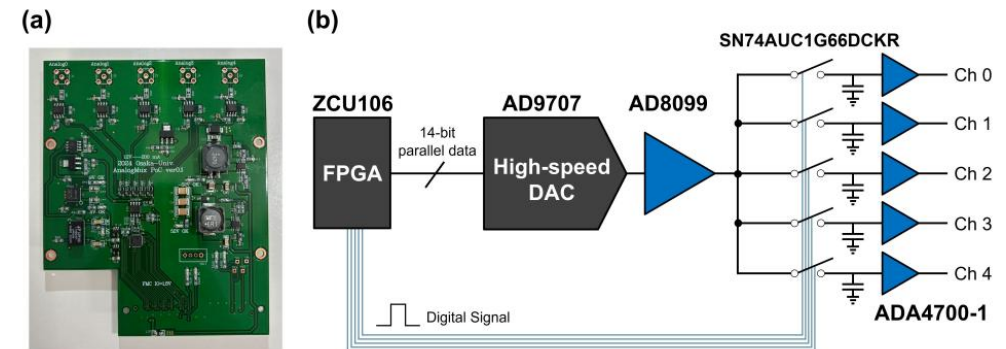


超伝導量子ビット制御装置を拡張した他方式向けのスケラブルなシステム構想[1]

[1] <https://doi.ieeecomputersociety.org/10.1109/QCE60285.2024.10360>



イオントラップQCCD向けに作成した評価ボード[2]



イオントラップQCCD向け制御信号多重化実験のために作成したボード[2]

[2] <https://arxiv.org/abs/2412.07363>, [3] <https://arxiv.org/abs/2504.01815>

項目3 : 光/Cryo CMOS集積回路による スケーラブルな古典-量子 インターフェース



塩見(準)
(阪大)



新谷
(工織大)



佐藤
(京大)



松尾
(東大)



塩見(英)
(阪大)



内田
(東大)



石黒
(慶大)

項目1 : エラー
訂正・処理系

項目2,5 : Qubit
制御

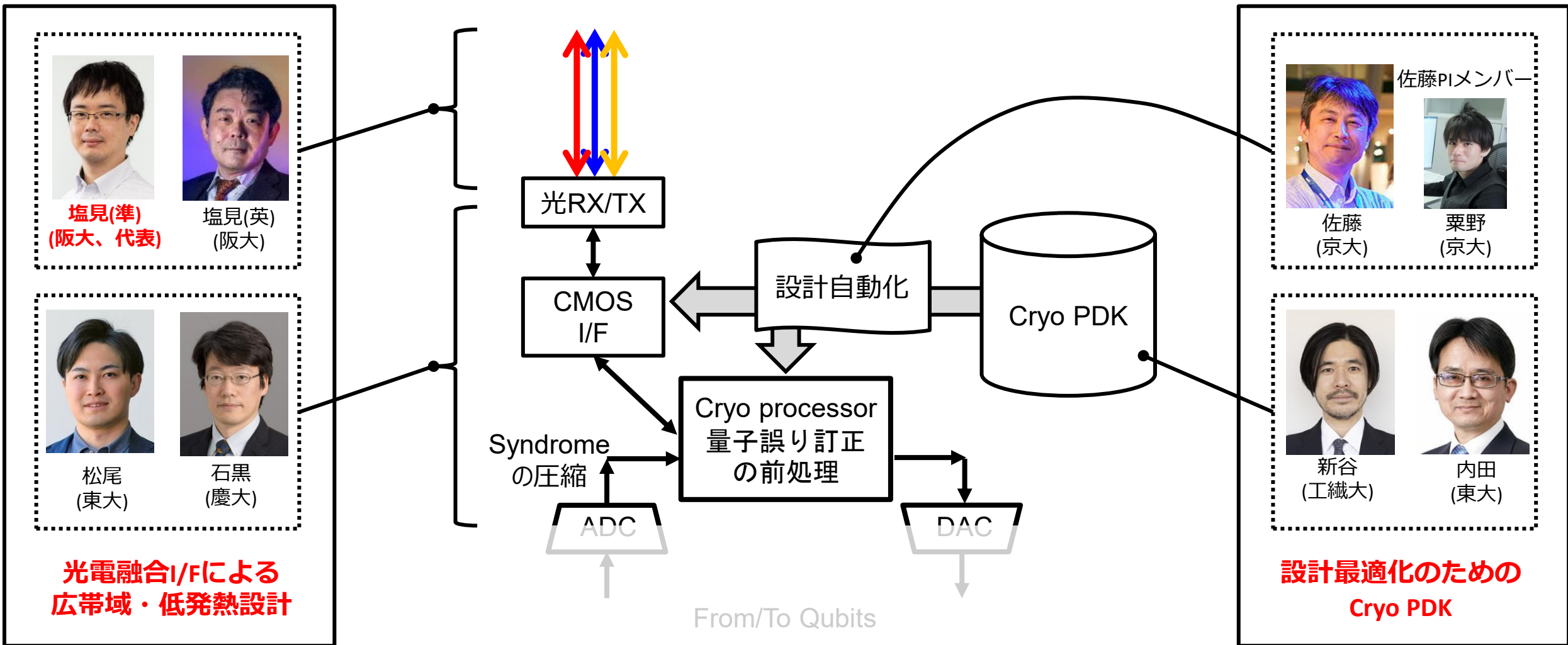
項目3 : 光-
Cryo CMOS IF

項目4 : Cryo
CMOS

階層構造

項目3: 光/Cryo CMOS集積回路によるスケールラブルな古典-量子インターフェース

デバイス～アーキの協調最適化、設計自動化技術によりスケールラブルな古典-量子I/Fを実現



研究体制と項目3の目標

● 項目3 PIの研究テーマ

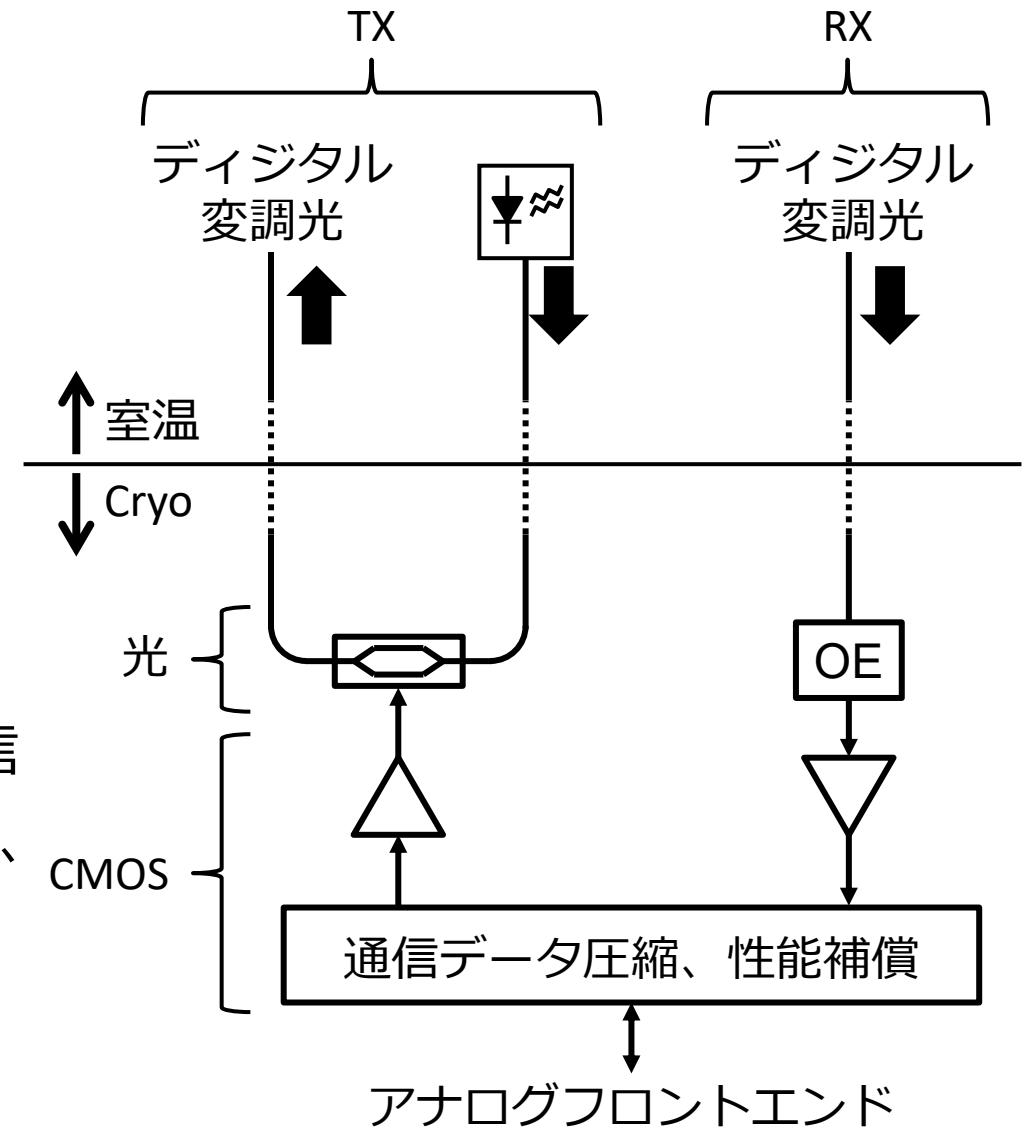
- 光IF**
 - 3-1: スケーラブルな古典-量子インターフェースのための低温光集積回路の設計技術、塩見 準(阪大)
 - 3-2: 室温/4K間の光インターフェース、塩見英久(阪大)
 - 3-3: スケーラブルな光電融合型の量子ビット制御アーキテクチャ、松尾 亮祐(東大)
 - 3-4: スケーラブルな光電融合型IF向けミックストシグナルシステム、石黒仁揮(慶応大)
 - PDK**
 - 3-5: スケーラブルな極低温集積回路設計に向けたトランジスタモデリング手法の開発、新谷道広(KIT)
 - 3-6: スケーラブルな極低温回路の設計・最適化技術、佐藤 高史(京大)
 - 3-7: Cryo CMOS向けデバイス・配線要素のPDK開発、内田建(東大)
- 赤字は新規追加PI

● 目標アウトプット: CryoCMOSによる量子ビットを支える古典-量子I/Fの設計

- ✓ 3年後: 光を用いた室温/4K IF
光化により室温/4K間の熱流入と配線数を削減
- ✓ 5年後: 室温/4K 間の金属配線数を削減
光IFにより室温/4K 間の金属配線数を削減

光/Cryo CMOS集積回路による古典-量子インタフェース

- 1シンδροーム解析に必要な速度: 2 Gbps (現状)
- 現状の電力のボトルネックは光デバイス
 - ✓ 現状光デバイスでは約1 pJ/bit
- 将来的には以下のようなロードマップ
 - ✓ メンブレンフォトンクスによる 0.26 pJ/bit by NTT
 - ✓ ナノフォトンクスによる 数fJ/bit by NTT
 - < 1 mW/qubit の見通し
- 将来ロードマップに追いつくCMOS周辺回路、通信データ圧縮回路(Qubitあたりの送信データ数削減)、性能補償回路を探求



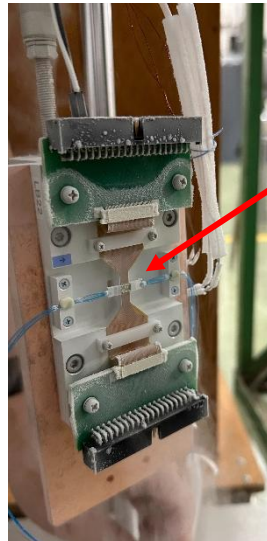
項目3の成果その1

- 極低温下の光集積回路

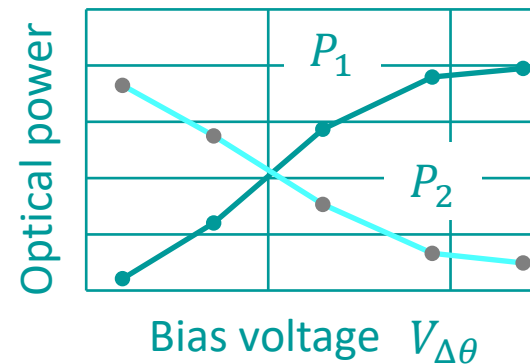
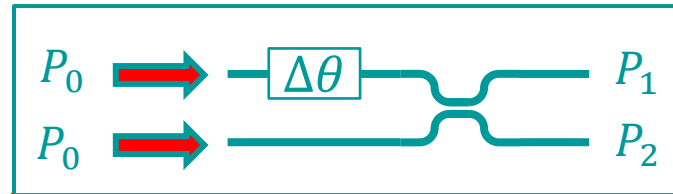
- ✓ 低発熱かつ高速 Low heat load, high speed
 - Intel、EPFLはシリコンフォトニクス送受信機を採用予定

- 低電力な光デバイスでアナログ回路を置き換え

- 70 K/4K動作を確認済



SiPh chip after
cyro experiment



70 K operation confirmed



APS TVにて動画公開

光電融合の最新動向

● IRDSのOutside System Connectivity (OSC) WGで議論中

- ✓ 5.4.1にてCryogenic Interconnectについて言及
 - 背景: 超伝導回路や量子コンピュータ (QC) の多くは極低温で動作。SFQ論理回路などは非常に微小な電圧パルスを扱う
 - 課題: 極低温環境と室温環境にあるシステムとの間でデータをやり取りするためのインターコネクต์が必要
 - 要件: 高速なデータ通信を実現しつつ、極低温環境への熱流入 (熱負荷) を最小限に抑えることが決定的に重要
 - 解決策: 金属配線に比べて熱伝導による熱流入が少ない光インターコネクต์が、有力なソリューション。これにより、データセンター内での複数の量子コンピュータの統合が可能になると期待

● NVIDIAも光電融合(CPO: Co-Packaged Optics)をNWスイッチに適用

OSCのPDF

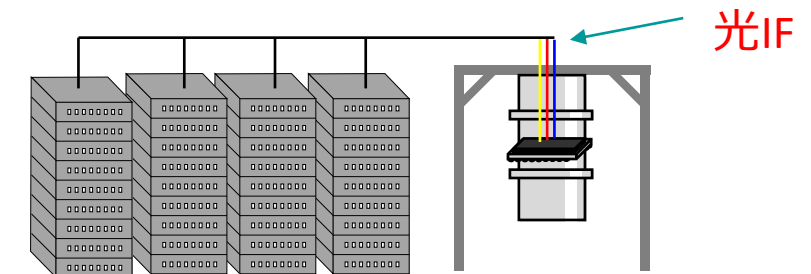
https://irds.ieee.org/images/files/pdf/2024/2024IRDS_OSC.pdf

5.4.1. CHALLENGES

Quantum computers have both opportunities and challenges for optical interconnects [15-17]. Gate-based quantum computers will require an estimated 1000 logical qubits to perform significant benefit. The number of physical qubits required to make a logical qubit varies by qubit technology and might range from roughly 10 to 1000. Each physical qubit requires control and readout, which requires optical, microwave, voltage, or current interconnects, depending on the qubit technology. Challenges for qubit technologies that use photonics (e.g., trapped ions, optical) include scaling the photonic controls to the small sizes necessary and reducing the error rate during qubit readout. Challenges for qubit technologies that operate at extremely low temperatures (e.g., superconducting, quantum dot) include increasing the low temperature optical to electronic (OE) and electronic to optical (EO) conversion efficiencies.

Quantum communications systems are sensitive to the loss or disturbance of single photons, which is both the foundation for their security and the source of many challenges. Increasing the effective data rate and communications distance will require improvements in photonic qubit generation, transmission, and detection. Standard telecom fibers or free-space transmission can be used with photonic qubits. Quantum communications between quantum computers based on other qubit technologies might require different wavelengths for optimization. Optical qubit switches need to operate without affecting the qubit state, which makes them more challenging to realize than standard optical switches. Quantum repeaters are required to transport qubits over long distances. Qubits cannot be copied due to the no-cloning theorem, so quantum repeaters are fundamentally different from classical repeaters.

Quantum networks will likely need to communicate between quantum processors using different types of qubits if different qubit technologies are required to provide both rapid computation and long-lived states (quantum memory) [18]. This will require communication that is completed with a latency that is much shorter than the coherence time of the qubits in the systems. This is a significant challenge that requires research into new physical methods that don't disturb qubit states when reading, but align states when receiving input from other qubits.



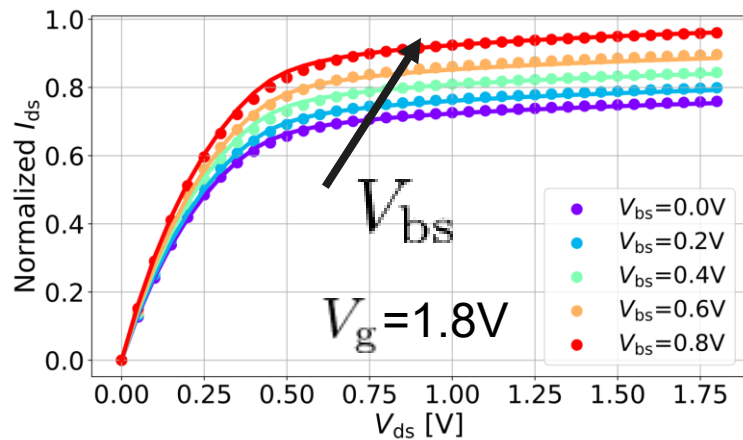
エラー訂正機能を有する室温制御器 Cryo制御器

本PJで2050年までの実現を目指すQC

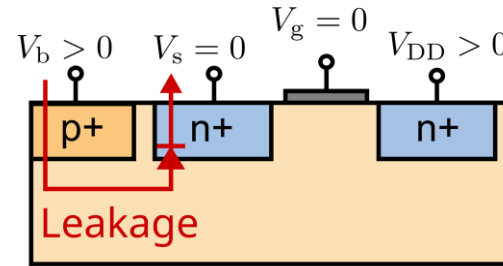
項目3の成果その2

● 極低温動作トランジスタモデル

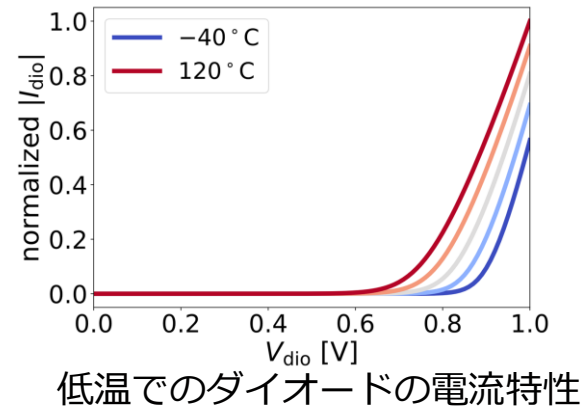
- ✓ フォワードボディバイアス(FBB)対応のCompact Model
- ✓ 極低温ではダイオードの順方向電流が減りバルクプロセスでもFBB時のリークが減る
- ✓ 180nm BSIM4モデルを極低温向けに



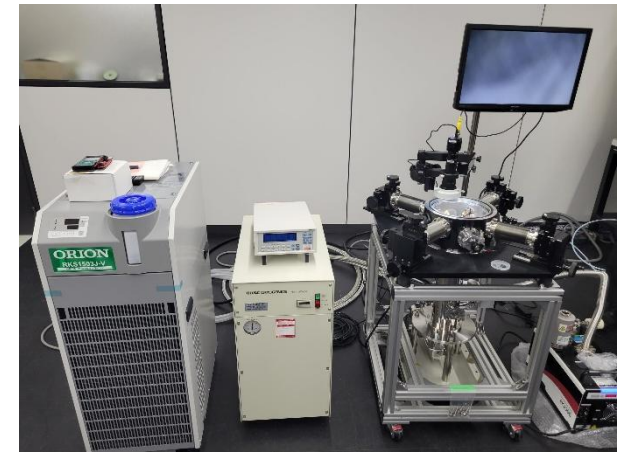
I_d/V_d 特性@ 7 K



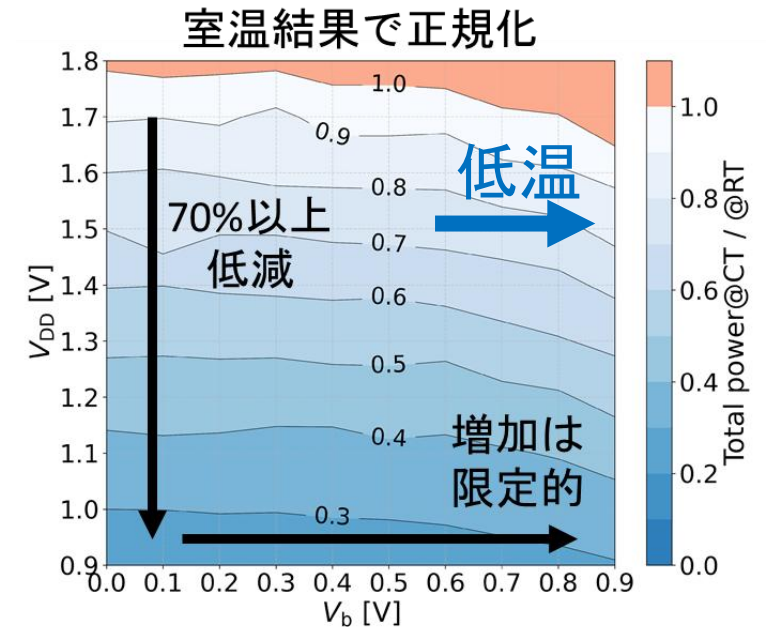
バックゲートからのリーク電流経路



低温でのダイオードの電流特性



国産Cryoプローバ



VDD/FBBによる電力変化@7K

項目4 : Cryo CMOSによるQubit 制御SoC



小林
(工織大)



土谷
(滋賀県立大)



高井
(工織大)



宮原
(高工ネ機構)



今川
(福井大)



岸田
(富山県立大)

項目1 : エラー
訂正・処理系

項目2,5 : Qubit
制御

項目3 : 光-
Cryo CMOS IF

**項目4 : Cryo
CMOS**

階層構造

項目 4 Cryo CMOS SoC



小林(工織大)：全体統括, デジタル(セミアWG)設, Mux/Demux

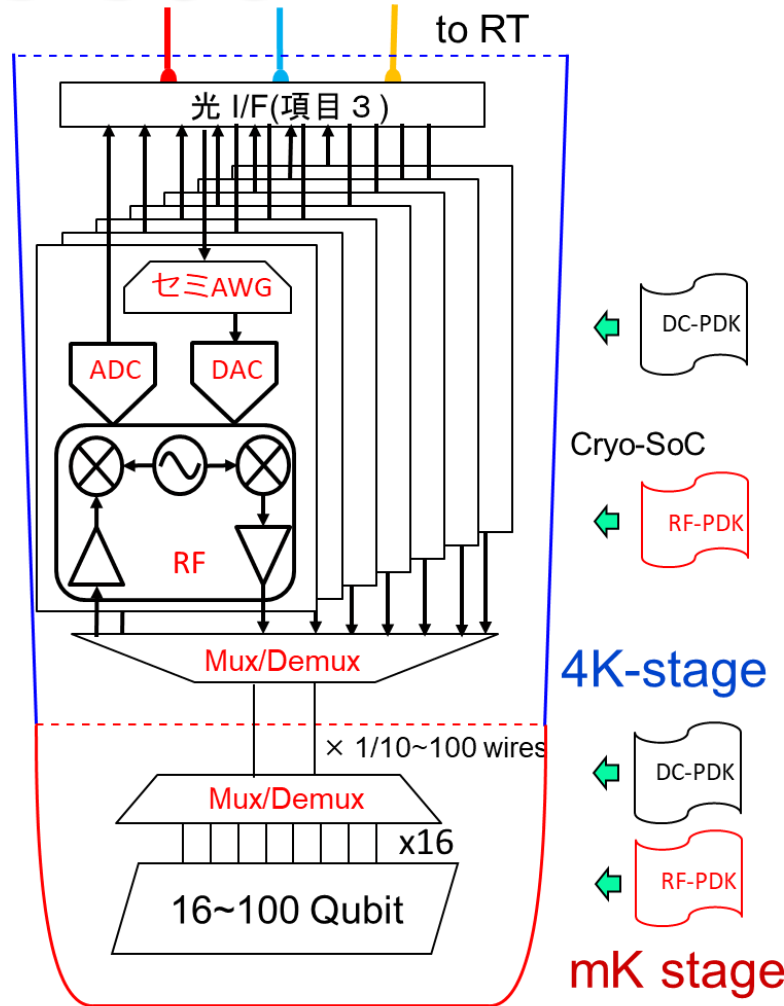


今川(福井大)：デジタル部上位 (RTL, 動作レベル) 設計



岸田(富山県立大)：デジタル部下位 (レイアウト) 設計

デジタル回路担当



土谷(滋賀県立大)：RF設計, RF/パッシブ PDK



高井(工織大)：DAC設計, 設計自動化

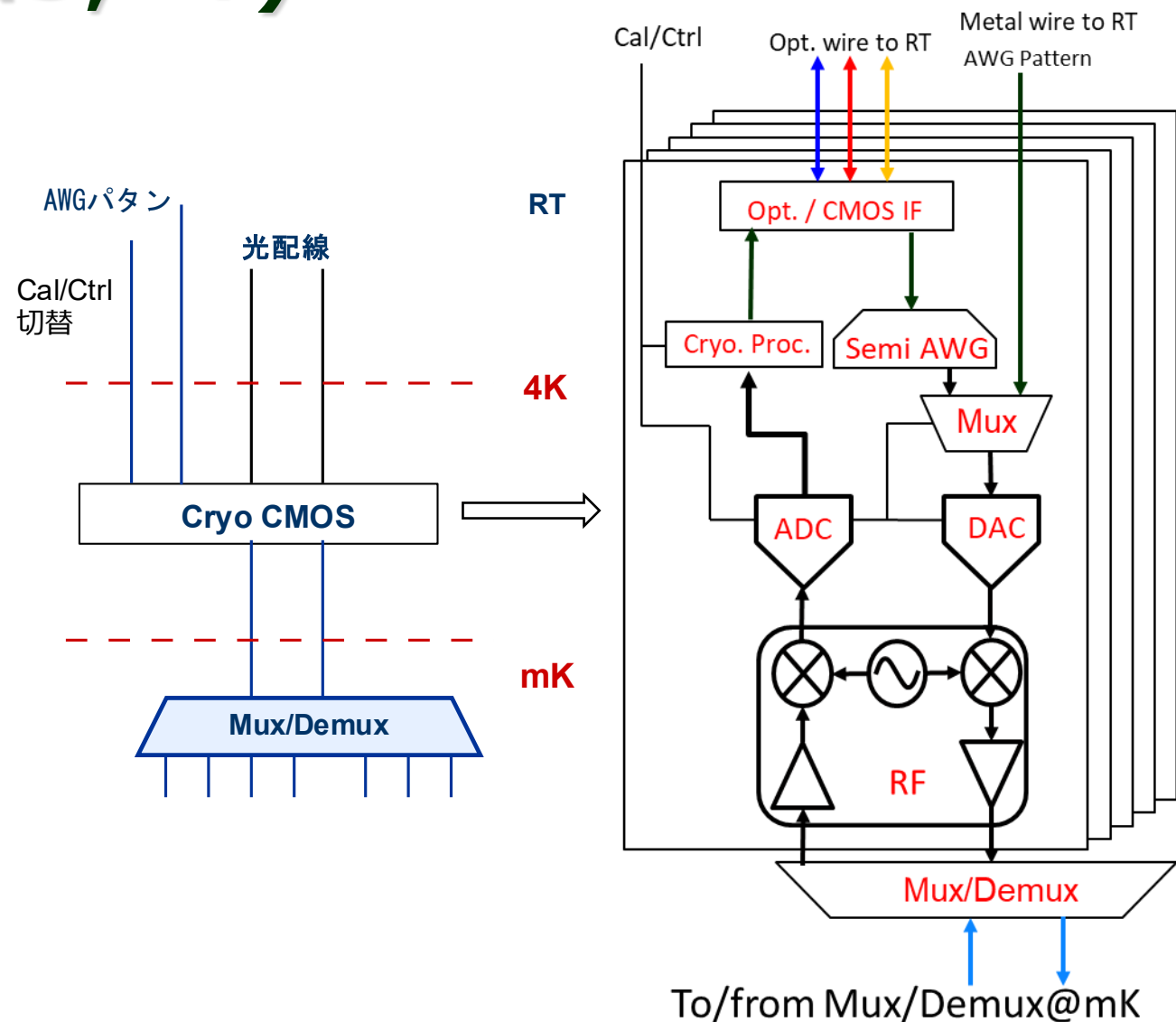


宮原(KEK)：ADC設計, Cryo制御

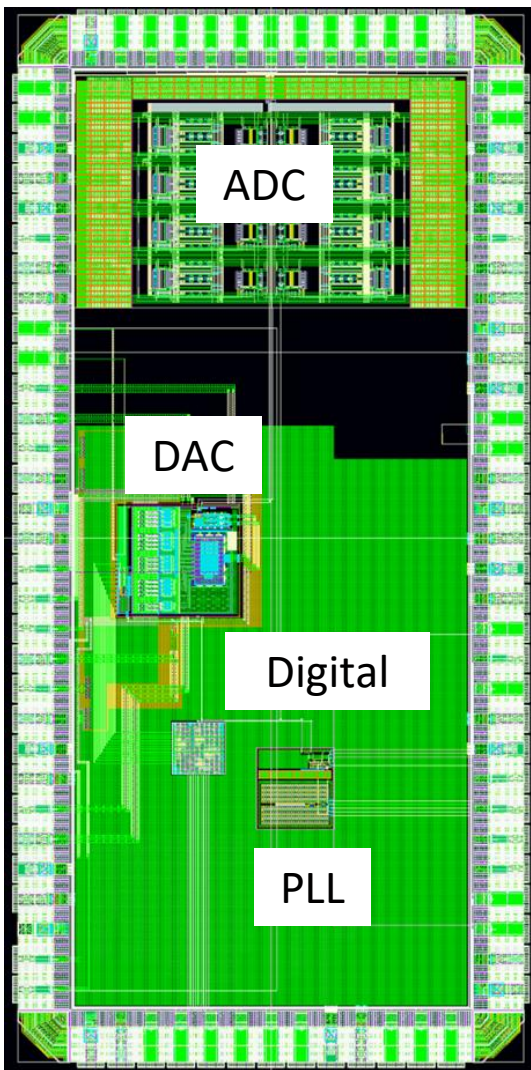
アナログ/RF回路担当

Cryo CMOS化の目標(項目3, 4)

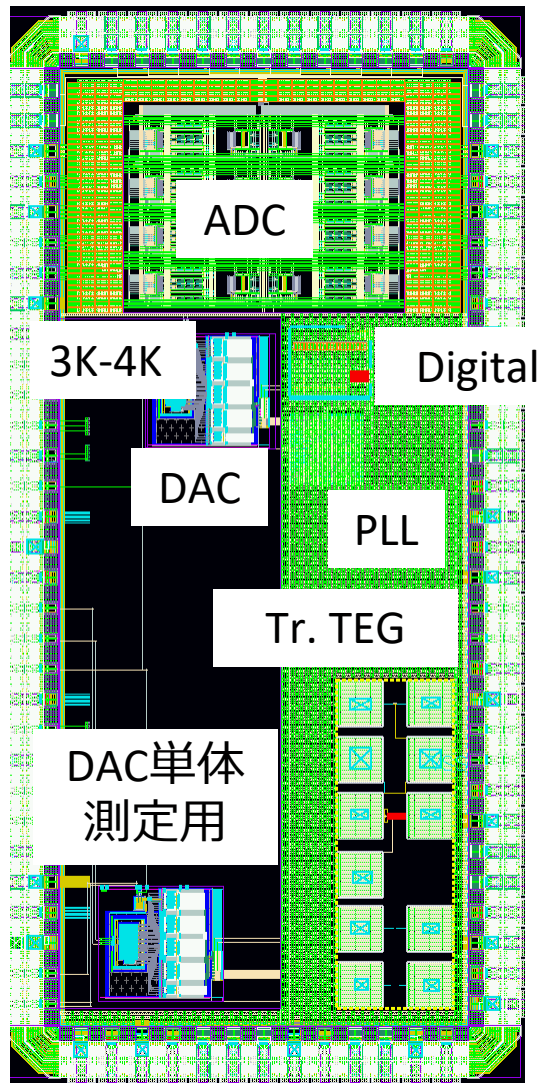
- 2028年までに5mW/qubit, 2030年までに1mW/qubitへの見通しを立てる
- RT/4Kは光配線, 4K/mKはMux/Demuxにより配線数を削減
- Calibration時にはADC/DACを高電力・高性能モード、Control時には低電力・中精度モードで多数のQubitを制御
 - ✓ Cal時のAWGのパターンはRTより
 - ✓ Cryo Processorにより読み出しデータの前処理・圧縮を行い光IFデータ量を減らす.
 - ✓ 高性能モード, 低電力モードの切り替えは回路の動作モード, バックゲートバイアス等で実施



これまでの研究成果

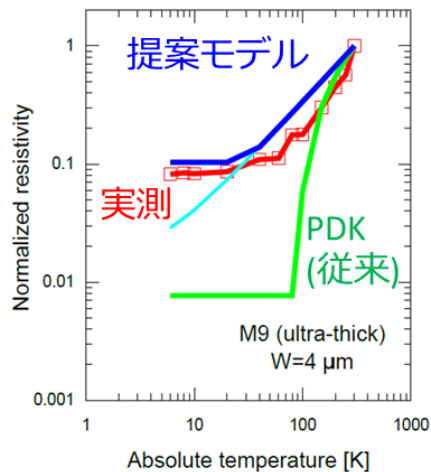


SoC Ver1 (2024)



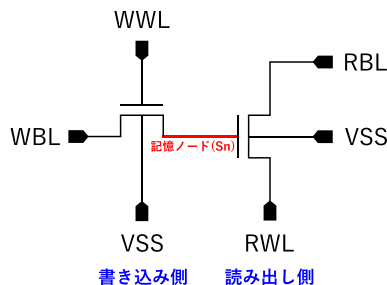
SoC Ver2 (2025)

- ADC, DAC, PLL, SWG(波形生成回路)を集積したSoCを2回試作
 - ✓ 第1版は4.2Kで正常動作した. 動作周波数が仕様の半分の1GHz.
 - ✓ 第2版を2025/7にテープアウト(設計データをTSMCに送付). 2026/03に完成・測定予定

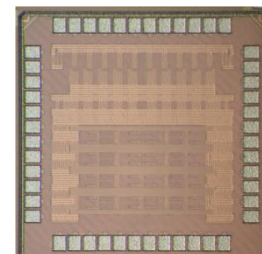
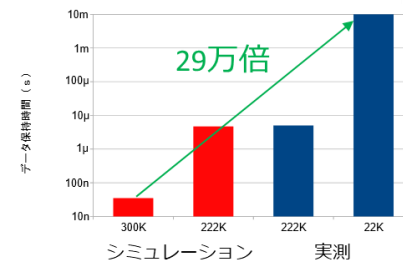


抵抗率の配線形状依存性を様々な配線種別・4 K~室温の温度範囲で正確に再現
[SPI2024, SSDM2025]

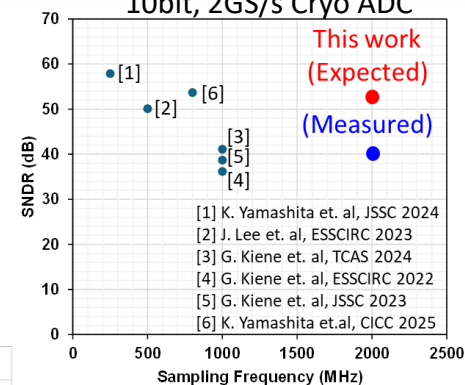
配線抵抗の極低温特性



Cryo用GCDRAMとその極低温での記憶保持時間



10bit, 2GS/s Cryo ADC



Cryo ADCの性能比較

今後の予定

- 後半5年では、KEKに希釈冷凍機を導入予定

- ✓ Dark Matter用Qubitを利用
- ✓ 高性能かつ低電力で数Qubitを制御

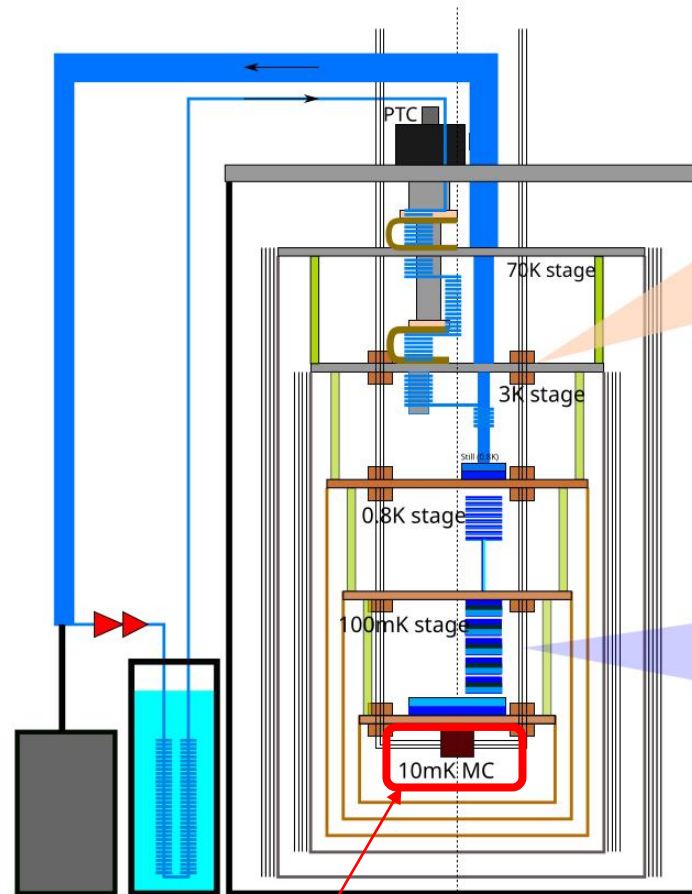
- 量子ビット制御用SoCの評価タイムライン

- ✓ 2026～2027: 量子ビットを含む極低温評価環境構築
- ✓ 2027～2028: Cryo SoC v.2による量子ビット制御

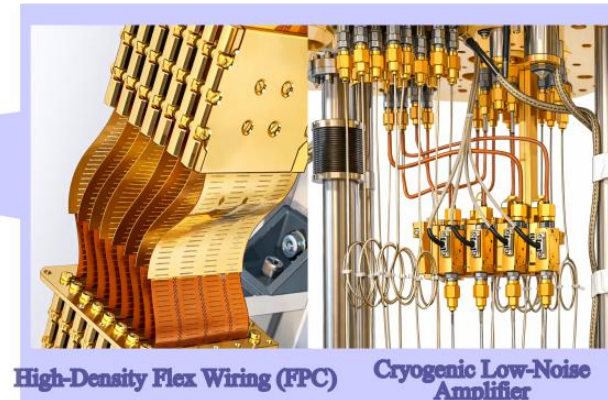
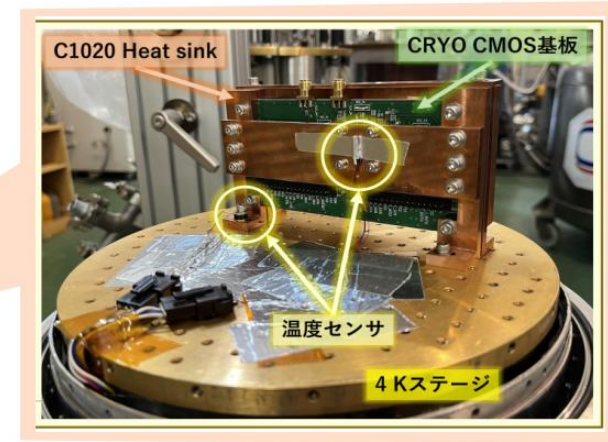
単体～数量子ビット

- ✓ 2029～2030: Cryo SoC v.3による量子ビット制御

～数十量子ビット



Dark Matter用超伝導Qubit



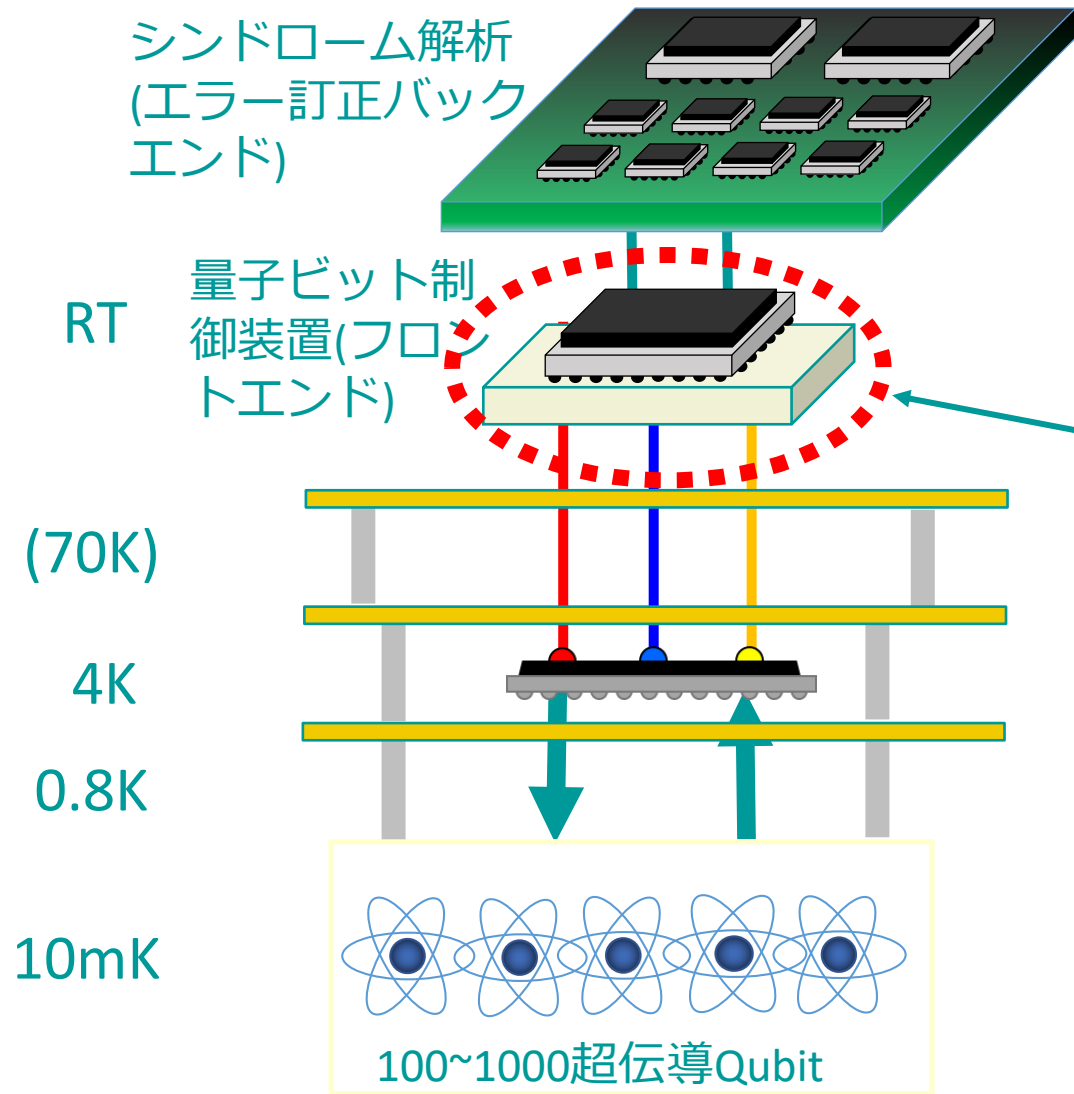
Qubitを含む評価環境構築イメージ

項目5：常温で動作するフロントエンド アナログRF部のLSI化

五十嵐 正利（株式会社ソシオネクスト）



項目5の立ち位置

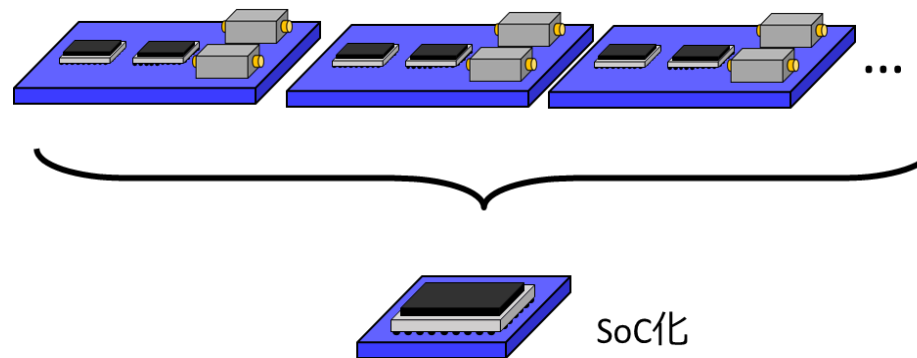


実装予定量子コンピュータ構成案

現状の制御装置イメージ

- ・高周波特性やノイズ性能に優れた化合物半導体やBipolarデバイスを使用
- ・ディスクリート部品を組み合わせて構築

⇒量子ビット数を増やすには、
飛躍的な小型・低消費電力化が必要



複数の機能を統合、集積化(System on Chip, SoC)
することで、実装サイズの飛躍的な削減を目指す

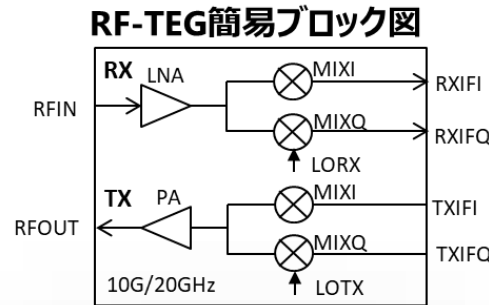
取り組み1: 送受信回路の低消費電力化・低ノイズ化

アプローチ

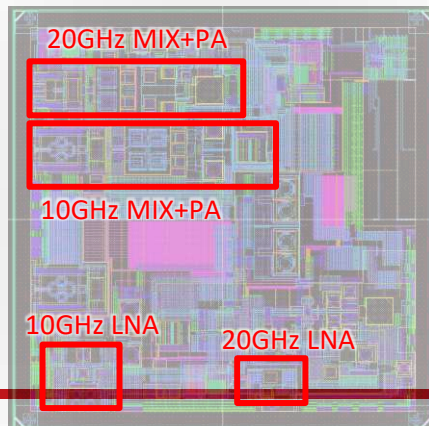
- ✓ 高Q(低損失)デバイスの開発とノイズキャンセル回路構成を用いた受信用LNAを開発しノイズを低減。
- ✓ 加スカップルトカスコッド構成を用い大振幅でも安定化する送信用PAを開発し出力電力をUP。

成果

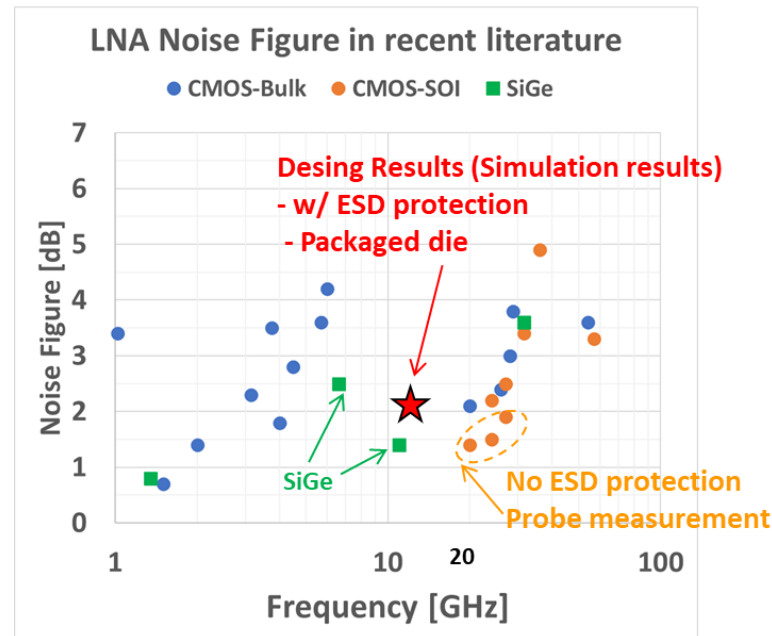
- ✓ パッケージ実装において2dBクラスのNF(Noise Figure)のLNAと、低電力で>+10dBmの出力電力のPAを設計
(化合物デバイスなどで構成される現行制御装置の送受性能に対し同等以上の見込み)
- ✓ 今後、TEG評価を通じて開発技術の有効性を実証予定。



RF-TEGレイアウト 3mm x 3mm



Comparison of LNA NF's



TX Design Results (Simulation Results)

Item	Target	This work @10GHz	Current TX (ADRF6780)
Power Consumption	<300mW	244mW @10dBm	2400mW 1/10
Output Power	10dBm	12dBm	10dBm
PA PAE	20%	20%	-
Gain	10dB	10dB	10dB
Noise	-150 dBm/Hz	< -150 dBm/Hz	-150 dBm/Hz
TX-RX Isolation (Magnetic Coupling)	> 70dB	> 70dB	-

取り組み2: 送受信回路間のアイソレーション改善

アプローチ

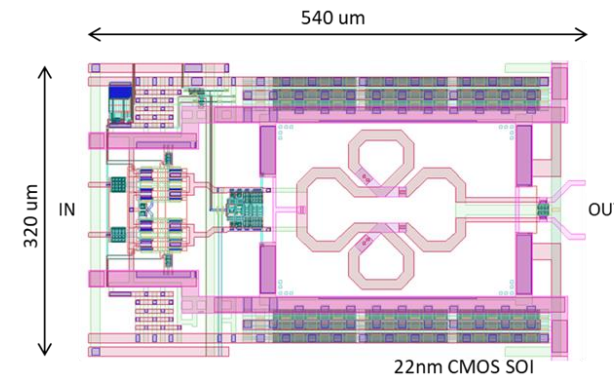
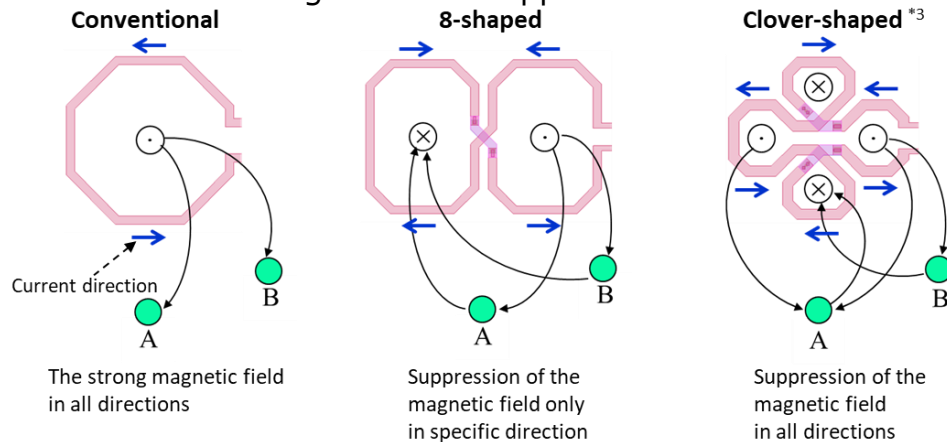
✓ リークの一種であるPA(送信)から受信部への磁気リークに対し、磁界のリークを抑えるクローバ型トランスを開発しPAの負荷に用いることで送受信間を高アイソレーション化。

成果

✓ 統合RF(集積化)において必要不可欠となる目標の70dBの送受信間アイソレーションを電磁界シミュレーション設計にて確認。今後、TEG評価を通じて開発技術の有効性を実証予定。

Solution: Development of clover-shaped transformer with signal low leakage

• The magnetic field suppression in all directions by four coil structures with different current directions



Power amplifier layout

Simulation results of magnetic field strength

Shape	A	B
Conventional	1	1
8-shaped	0.1	0.4
Clover-shaped	0.1	0.1

Distance from center to A and B : 300um

Simulator : EMX-Solver

Design Results

Item	Goal	This work @10GHz
TX-RX Isolation (Magnetic Coupling)	> 70dB	> 70dB

*3 K.-W. Cheng et al., " Low-power and low-phase-noise Gm-enhanced current-reuse differential colpitts VCO ", IEEE Trans. Circuits Syst. II: Exp. Briefs, vol. 66, no. 5, pp. 733-737, May 2019.

取り組み3: PLLの低消費電力化・低ノイズ化

アプローチ

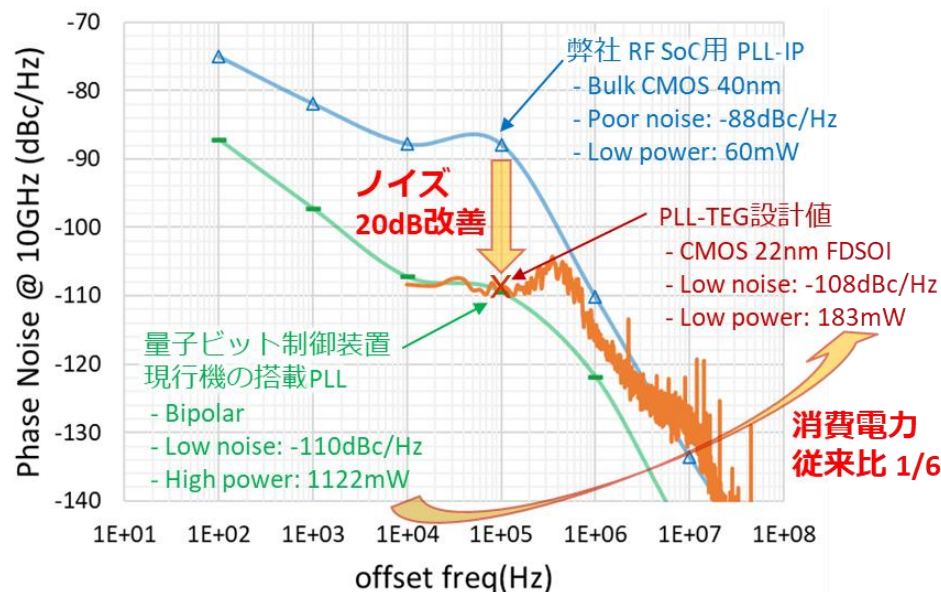
- ✓ PLL帯域を広くしてPLL帯域内を低ノイズ化
 - 出力周波数10GHz÷10分周=1GHzにPLL比較周波数を設定、1GHzは簡素なInteger-N PLLで生成
- ✓ 集積化に適した微細プロセスを活用し、次段PLLはデジタルリッチなADPLLで低消費電力化

成果

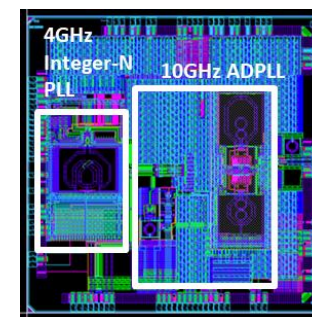
- ✓ シミュレーションにおいては、現行の量子ビット制御装置搭載PLLに近い位相雑音性能で、消費電力は大幅に削減。今後、TEG評価を通じて実現レベルを確認予定

PLL-TEG 設計値

Item	量子ビット制御装置搭載PLL	設計目標値	TEG設計値
位相ノイズ @10GHz出力,100kHz offset	-110dBc/Hz	-110dBc/Hz 以下	-108dBc/Hz
消費電力	1,122mW	120mW 以下	183mW



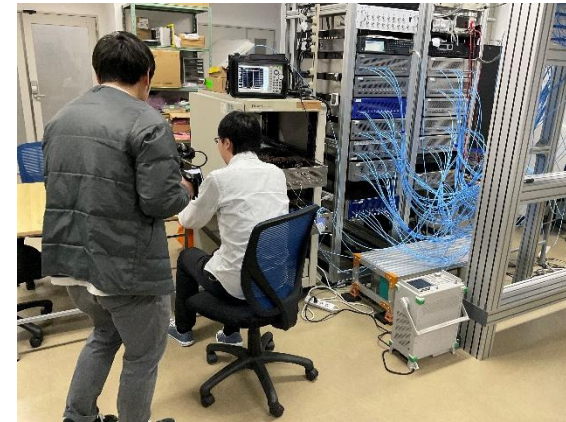
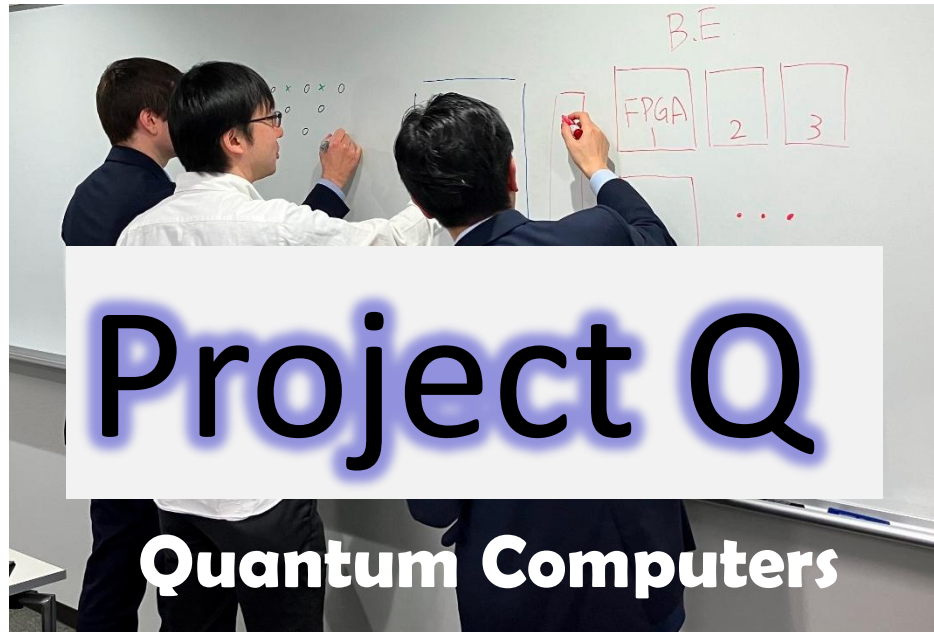
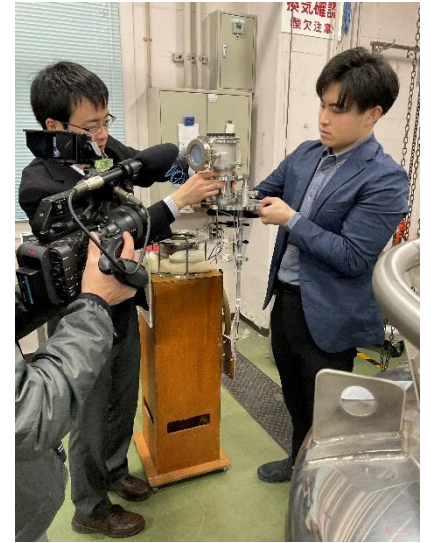
PLL性能比較



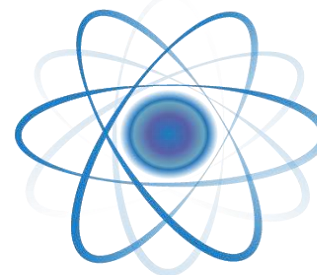
PLL-TEGレイアウト
(3mm x 3mm)

最終目標

- 任意のQubitに対して汎用量子ビットコントローラを確立
- リアルタイムで量子ビットの誤り訂正
- 「Qel」を世界トップの量子ビット制御器メーカーに
- 20年後にテレビ番組「プロジェクトQ」に出演！



最後に



QUBECs

Quantum Bit Error Correction System
Moonshot Goal 6

目標6 公開シンポジウム2026
～誤り耐性型汎用量子コンピュータの実現を目指して～
2026年3月3日 火 9:30～16:55
会場: ベルサール秋葉原 2F HALL A/B および オンライン (Zoomウェビナー)

- 理研(元NTT)の鈴木さんと第2期の9名のPIが講演
- 3/2 12:00申し込み〆切



申し込みURL



Search “QUBECs”

<https://www.greenlab.kit.ac.jp/qubecs/>

バックアップスライド

RSA暗号を解くには何Qubitが必要？

- **226x63≈14,000論理Qubitが必要**

- ✓ 物理エラー率 = $10^{-3} \Rightarrow d=27$
 - Fidelityは99.9% ($1 - 10^{-3}$)
- ✓ 1論理Qubitは $2 \cdot (d^2 + 1) = 1568$ 物理Qubit
- ✓ 2200万 (=14,000x1,568) 物理Qubit
 - Fidelityを上げれば減らせる。

- **データ処理速度**

- ✓ 2.2Gビット/サイクル
- ✓ $T_{\text{cycle}} < 1 \mu\text{s}$
- ✓ 処理速度 > 22Tビット/s

[Fakkel 2024][Battistel 2023]

How to factor 2048 bit RSA integers in 8 hours using 20 million noisy qubits

Craig Gidney¹ and Martin Ekerå²

¹Google Inc., Santa Barbara, California 93117, USA

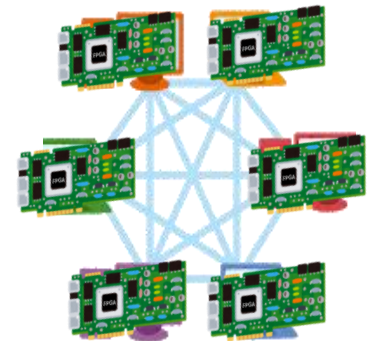
²KTH Royal Institute of Technology, SE-100 44 Stockholm, Sweden

Swedish NCSA, Swedish Armed Forces, SE-107 85 Stockholm, Sweden

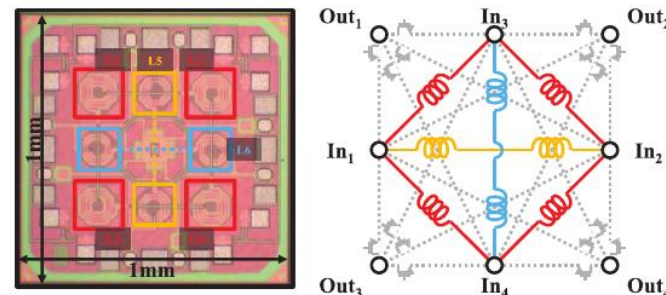
ISSCC2025 Tutorial3 “Fundamentals of Cryo-CMOS Circuits and Systems for Quantum Computing” より改変

- ・ Ethernet (LAN)の規格上の最大速度は400Gbit/s
- ・ 10古典ビット/1量子ビットでも500本以上のケーブル

このままでは非現実的
項目1：エラー訂正向けのネットワークの最適化



mK/4K Interfaceの世界動向



- Mux/Demuxにより配線数を減らすの世界的な潮流

- ✓ K. Lee et.al, *IEEE Microwave and Wireless Tech. Letters*, 2025.10

- 電力は2x4デコーダあたり $3.6\mu\text{W}$ ([H. Park氏修論](#)に記載)

- 試作は65nm bulk CMOS

チップ写真と回路図

- 周波数MUXができる広帯域 JTWPAは Purdue U / TU Munich が活発

- ✓ S.T. Elkin et. al (Purdue U), EPEPS2024

- 量子ビットとジョセフソン進行波増幅器 (JTWPA, Josephson Traveling-Wave Parametric Amplifier) を統合してシミュレーションする数値手法を提案

- ✓ S.T. Elkin et.al, *Numerical Methods*, IMS2025

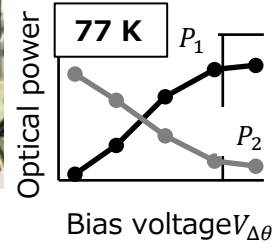
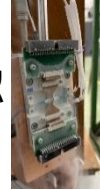
- マルチプレクス読み出しの重要性に言及: 量子プロセッサの大規模化には、1つの読み出しラインで複数の量子ビットを同時に測定する技術が不可欠

- 量子ビットの挙動 (Maxwell-Schrödinger法) と、JTWPAの電磁波伝搬 (FDTD法) を組み合わせた数値モデルを構築

項目3：これまでの研究成果

● 塩見準PI

- ✓ 液体窒素中での光デバイスの動作確認
- ✓ スケーラブルRoFシステムの提案
(塩見英久PI、松尾PIと共同、QCE2025)



● 新谷PI

- ✓ MLによる温度スケーラブルなモデル化 (w/佐藤PI、ASPDAC2025)
- ✓ 既存物理モデルの極低温拡張 (w/佐藤PI、ASPDAC2025)
- ✓ 基板電位効果を含めた極低温モデル化 (TAU2025)

● 佐藤PI

- ✓ アクティブ欠陥数の極低温までの温度依存性測定 (ASPDAC2025)
- ✓ 表面符号デコーダ極低温ハードウェア化向け重み量子化の検討 (QCE2024)
- ✓ 高速表面符号デコーダの検討 (DAC2025, ICCAD2025)

● 松尾PI

- ✓ 波形最適化アーキテクチャの提案(QCE2024)

● 塩見英久PI

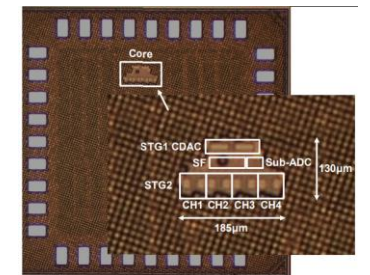
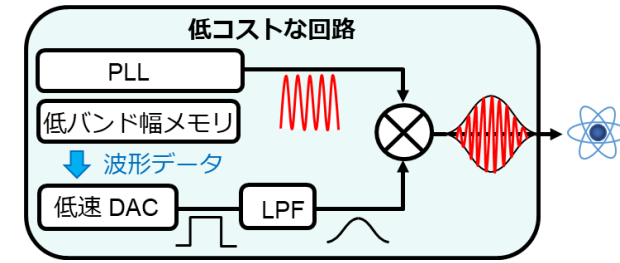
- ✓ 量子コンピュータテストベッドの構築

● 内田PI

- ✓ Cryo-CMOS SPICEモデル構築 (JEDS)
- ✓ Cryo-CMOS Freeze-outモデル構築 (APEX)
- ✓ Cryo-MOS Capモデル構築 (APEX)
- ✓ Cryo-CMOS過渡特性モデル (DRC)
- ✓ Cryo-CMOSモデリングの課題提示 (Nat. Rev. Elec.)

● 石黒PI

- ✓ 12nm FinFETのCryo ADC (CICC2025)
- ✓ イオントラップ向けCryo BiCMOSコントローラ (ISSCC2025)



12nm FinFETのCryo ADC