

用途に応じた耐放射線性回路設計と医療用炭素線を用いた中性子起因ソフトウェア評価手法

中島 隆一
京都工芸繊維大学

目次

第 1 章 序論	1
1.1 まえがき	1
1.2 シングルイベント効果による一時故障: ソフトエラー	3
1.2.1 Single Event Transient (SET)	3
1.2.2 Single Event Upset (SEU)	3
1.2.3 ソフトエラーを引き起こす粒子放射線	7
1.3 ソフトエラー対策および測定試験の従来研究	11
1.3.1 デバイスレベルのソフトエラー対策	11
1.3.2 回路レベルのソフトエラー対策	13
1.3.3 FD-SOI プロセスに適した回路構造	17
1.3.4 中性子照射試験	19
1.4 本論文の目的と構成	20
第 2 章 地上向け耐ソフトエラーフリップフロップの提案と実測評価	24
2.1 まえがき	24
2.2 提案 FF	25
2.2.1 PLTGFF (Primary Latch Transmission Gate FF)	27
2.2.2 FBTIFF (Feed-Back Tri-state Inverter FF)	28
2.2.3 性能評価	30
2.3 実測によるソフトエラー耐性評価	32
2.3.1 セットアップ	32
2.3.2 アルファ線照射結果	36
2.3.3 白色中性子線照射結果	38
2.3.4 考察	40
2.4 まとめ	43
第 3 章 宇宙向け耐ソフトエラーフリップフロップの提案と実測評価	46
3.1 まえがき	46

3.2	測定回路	47
3.3	既存および改良型回路の重イオン照射による耐性評価と課題	51
3.3.1	測定条件	51
3.3.2	測定結果	54
3.3.3	22 nm プロセスの実測結果	54
3.3.4	65 nm プロセスにおける DFRFF の従来型と改良型の比較	54
3.3.5	65 nm プロセスにおける DFRFFLD と DFRFF の比較	55
3.4	提案回路	58
3.4.1	Improved Recovery-Path Structured FF (IRPSFF)	59
3.4.2	性能評価	61
3.4.3	重イオン照射による耐性評価	63
3.5	まとめ	66
第 4 章	医療用炭素線を用いた中性子起因ソフトエラー耐性評価手法	69
4.1	まえがき	69
4.2	提案手法	69
4.2.1	医療用炭素線を用いた白色中性子ビームの生成	70
4.2.2	GHMC のビーム条件と治療室における炭素線エネルギーの 特定	70
4.2.3	発生した中性子を用いた測定手法	72
4.2.4	鉛ブロックによる荷電粒子の遮蔽	73
4.3	測定条件	77
4.3.1	エネルギースペクトルと加速係数	77
4.3.2	SEU	81
4.3.3	SET	81
4.4	測定結果と考察	85
4.4.1	SER と鉛厚の関係	85
4.4.2	GHMC と RCNP 間の SER 比較	88
4.5	まとめ	92
第 5 章	結論	95
5.1	研究成果のまとめ	95
5.2	今後の展望	97

第1章 序論

1.1 まえがき

近年、デジタルトランスフォーメーション (DX) の世界的潮流に伴い、半導体集積回路への需要は爆発的に拡大している。生成 AI (Artificial Intelligence) の普及によるデータセンター需要の急増、自動車の電動化・知能化、さらには New Space と呼ばれる民間宇宙開発の進展など、半導体は社会インフラの中核としてその重要性を一層高めている。こうした市場の拡大と要求性能の高度化により、半導体技術の研究開発はかつてない活況を呈している。

これら先端アプリケーションが求める膨大な計算能力と高い電力効率を実現するために、半導体産業が長年にわたり推進してきた核心的な技術が、集積回路の微細化である。ムーアの法則に基づく微細化は、動作周波数の向上と低消費電力化を牽引してきた [1]。微細化に伴う物理的限界やリーク電流の増加を克服するため、新材料の導入やデバイス構造の革新が進んでいる。このように、性能向上と電力低減を目指した技術競争は世界規模で加速している。

しかし、こうした微細化の恩恵の裏側で、集積回路の微細化は、集積回路の信頼性確保という難題を深刻化させている。信頼性低下の重要な原因の1つは、放射線起因のシングルイベント効果である。シングルイベント効果とは、荷電粒子や中性子等の放射線が LSI (Large-Scale Integration) に入射することにより生じる。シングルイベント効果によって論理ゲートの出力に一過性のパルスが発生し、SRAM (Static Random Access Memory) や FF (Flip-Flop) などの記憶素子の保持値が反転する。シングルイベント効果による誤動作は一時的かつ非破壊的なものであり、ソフトエラーと呼ばれる [2]。ソフトエラーは機器の再起動によって修復が可能であるが、自動車、航空機、医療機器等の高い信頼性が要求される分野では対策が必須である。

シングルイベント効果は、地上環境では主に高エネルギー中性子とそれにより生成される二次イオンにより発生し、宇宙空間では高 LET (Linear Energy Transfer) 重イオンが支配的である。原因粒子だけでなくプロセスによっても発生機構が異なる。例えば、バルクプロセスと FD-SOI (Fully Depleted Silicon-On-

Insulator) プロセスとでは、電荷収集メカニズムや寄生バイポーラ効果の寄与が異なる。このように、シングルイベント効果の支配的な物理メカニズムは、環境・プロセスによって変化する。

SRAMでは、ECC (Error Correction Code) やビットインターリーブが広く採用されており、比較的効率的にソフトエラー耐性を向上させることができる [3][4]。一方で、LSI 全体に多数存在する FF は SRAM などのメモリと異なり ECC を適用できず、回路レベルでの対策が必要となる。回路レベルの対策としてラッチ回路の冗長化が挙げられる。冗長化手法は環境・プロセスに依らず強靱なソフトエラー耐性を有するという利点の一方で、面積・消費電力・遅延といった性能のオーバーヘッドの増大が問題となっている。さらに、過酷な宇宙環境に耐えうる冗長化設計を地上用途に適用することは過剰設計となる可能性がある。そのため、性能オーバーヘッドの抑制とソフトエラー耐性を両立させ、要求仕様に対する回路実装コスト（面積・消費電力・遅延時間）を最小化する回路構造の検討が必要である。

このような環境やプロセスの違いを踏まえた FF の耐ソフトエラー設計には、新規回路構造の提案だけでなく、提案回路の放射線環境下での耐性評価が不可欠である。一般的に、宇宙向け製品には重イオンビーム、地上向け製品には白色中性子源を用いた加速試験が行われる。重イオンを照射可能な加速器施設は国内外に多数存在するため比較的实施しやすいが、ソフトエラー評価用の白色中性子源は世界的に数が限られており、ビームタイムの確保が困難である。このことは、地上用途の製品の耐ソフトエラー設計サイクルを停滞させ、開発期間の長期化や評価コストの増大を招く要因となっている。したがって、高信頼性集積回路を合理的なコストで実現するためには、回路の実装コストを抑える設計技術と並行して、地上環境における中性子起因ソフトエラーをより高い可用性で評価可能な手法を構築し、評価コストを低減することも喫緊の課題である。

以上を踏まえて、本研究では、回路実装コストおよび評価コストの双方を低減し、「信頼性担保に係るトータルコストの最小化」を実現することを大目的とする。その達成のために、本論文では、環境とプロセスに適応した回路の実設計と、その耐性を実証するための新規評価手法の構築を遂行する。これら設計技術と評価技術の双方を確立することで、信頼性担保に係るトータルコストを最小化するための具体的なアプローチを提示することを目的とする。

第 1.2 節では、信頼性低下の重要な原因の 1 つである放射線起因のシングルイ

イベント効果, そして, ソフトエラーを引き起こす各種放射線粒子についての基本原理を述べる. 第 1.3 節でソフトエラー対策および中性子照射試験の従来研究について述べ, 第 1.4 節に本研究の構成と各章の概要をまとめる.

1.2 シングルイベント効果による一時故障: ソフトエラー

トランジスタに 1 つの荷電粒子が突入することによる一時的もしくは永久的な故障をシングルイベント効果 (SEE: Single Event Effect) と呼ぶ [5]. SEE のうち, ソフトエラーに関連する現象は SET (Single Event Transient) と SEU (Single Event Upset) である.

1.2.1 Single Event Transient (SET)

放射線が集積回路内のトランジスタに突入すると電子正孔対が生じる. 生じた電子正孔対によってイオンが通過した領域が高伝導状態となり, それまで空乏層に印加されていた電界が歪んで空乏層が延びる. この現象をファネリングと呼ぶ [6]. 発生した電荷はファネリングとドリフトによりトランジスタの拡散領域に収集される. nMOS では電子, pMOS では正孔が収集され, 出力ノードに接続された OFF 状態のトランジスタの拡散層に電荷が収集された場合, 出力値が反転する. トランジスタの入力値が固定されていると, 反転した出力値は元に戻る. 出力値が反転してから元の値に戻るまでの時間幅を持ったパルス SET パルスと呼ぶ. SET の発生機構を図 1.1 に示す. 図 1.2 のように, 組み合わせ回路内で発生した SET パルスが記憶素子の入力として取り込まれている間にクロック信号が立ち上がると, 記憶素子の保持値反転 (SEU: Single Event Upset) が発生する [5]. クロック周波数が高くなるほど SET パルスは取り込まれやすくなるため, 記憶素子の保持値は反転しやすくなる [7].

1.2.2 Single Event Upset (SEU)

SRAM やラッチなどの記憶素子に荷電粒子が突入すると電子正孔対が生じ, 素子内部で SET が発生することで, 記憶していた保持値が反転する. 保持値が反転する現象を SEU と呼ぶ. ラッチ内で発生する SEU の発生機構を図 1.3 に示す.

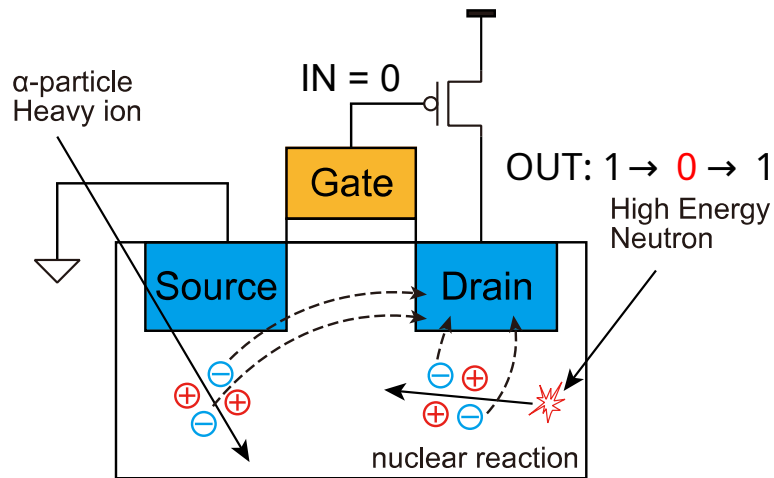


図 1.1: nMOS トランジスタにおける SET の発生機構. Drain に電子が収集され, 出力が一時的に反転する.

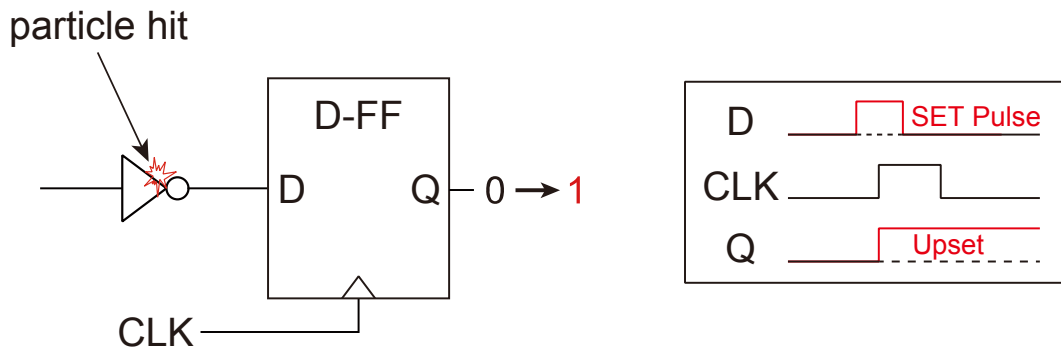


図 1.2: 外部からの SET パルスを取り込んで SEU が発生する様子.

ラッチを構成するインバータに荷電粒子が突入して電子正孔対が生じると SET パルスが発生し, 一時的に出力値が反転する. SET パルスがラッチを構成するトライステートインバータに取り込まれて出力されると保持値が反転する. 保持値の反転に必要な最小の電荷量を臨界電荷量 Q_{crit} (critical charge) と呼ぶ [8]. Q_{crit} は回路シミュレーションにより求めることができる. 電流源を接続することで, 図 1.4 に示すように拡散領域への電荷収集をシミュレーションできる. 電荷が供給されることでゲートの出力電圧が変動し, 出力電圧が電源電圧の $1/2$ となったときに供給された電荷の総量が Q_{crit} となる.

SEU は反転する bit 数により 2 種類に分類でき, 1 bit 反転するものを SBU (Sin-

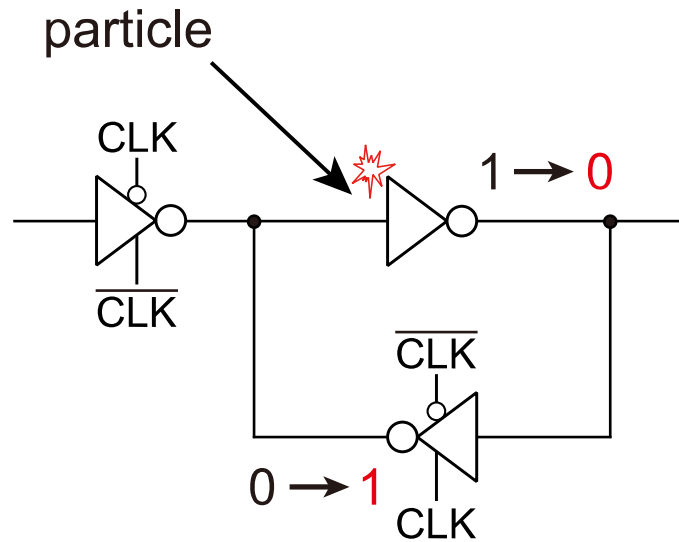
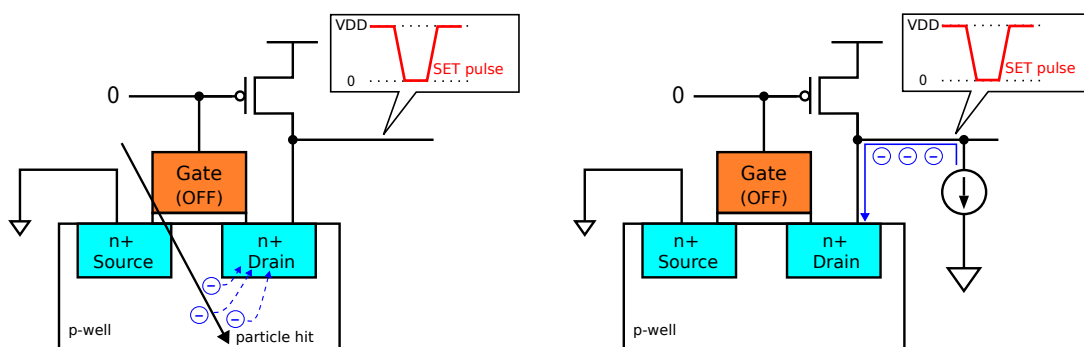


図 1.3: ラッチ内部で SET パルスが発生して SEU が発生する様子.



(a) 放射線突入時の電荷収集.

(b) 電流源による電荷収集.

図 1.4: 回路シミュレーション上での電流源を用いた電荷収集の模擬.

gle Bit Upset), 複数 bit 反転するものを MCU (Multiple Cell Upset) と呼ぶ. MCU の発生機構は電荷共有, 連続衝突, 寄生バイポーラ効果の 3 つに分類できる.

1.2.2.1 電荷共有

nMOS トランジスタにおける電荷共有の様子を図 1.5 に示す. 荷電粒子により発生する電子正孔対の分布をチャージクラウドと呼ぶ. 荷電粒子が物質に与えるエネルギーが大きいほどチャージクラウドも大きくなり, 複数のトランジスタに電荷が収集されることで MCU が発生する.

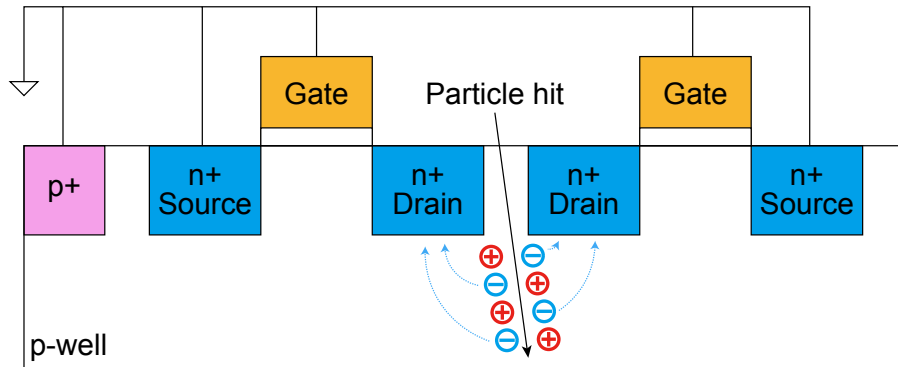


図 1.5: nMOS トランジスタにおける電荷共有.

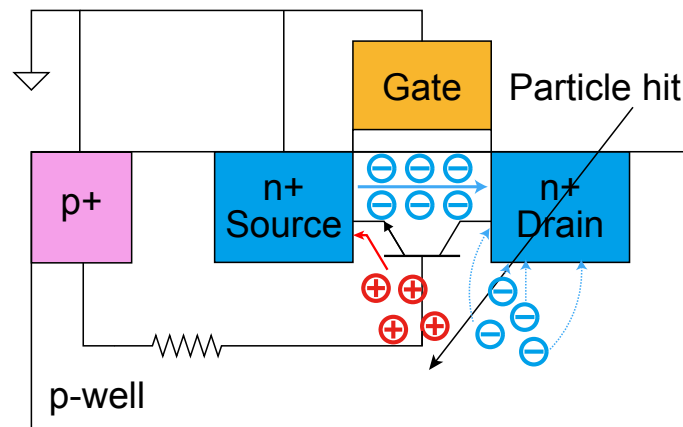


図 1.6: nMOS トランジスタにおける寄生バイポーラ効果.

1.2.2.2 寄生バイポーラ効果

nMOS トランジスタにおける寄生バイポーラ効果の様子を図 1.6 に示す。チャージクラウドのうち、nMOS では正孔、pMOS では電子が基板に残留することによって発生する。基板に残留したキャリアによって基板電位が変動して、ドレイン・基板・ソースで構成されるバイポーラトランジスタが ON 状態となる。同じ基板上にある隣接したトランジスタにも基板電位の変動が影響することで MCU が発生する。

1.2.2.3 連続衝突

nMOS トランジスタにおける連続衝突の様子を図 1.7 に示す。荷電粒子が複数のトランジスタの拡散層近傍を通過すると、各トランジスタで電子正孔対が生じ

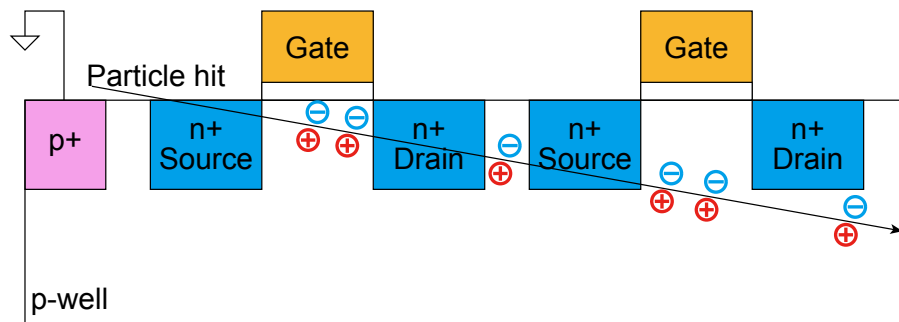


図 1.7: nMOS トランジスタにおける連続衝突.

る。ドリフトや拡散により複数のトランジスタで電荷が収集されて、MCUが発生する。連続衝突は荷電粒子の入射角に依存し、入射角が大きいほど多数のトランジスタでMCUが発生する [9]。

1.2.3 ソフトエラーを引き起こす粒子放射線

荷電粒子が物質を通過すると、その飛跡に沿ってエネルギーが付与され、電離作用により電子正孔対が生成される。このとき、荷電粒子が単位長さ当たり物質へ与えるエネルギーは線エネルギー付与 (LET: Linear Energy Transfer) として定義される。LETが高いほど、粒子の飛跡近傍に生成される電荷密度は高くなり、トランジスタの拡散層に収集される電荷量も増加する。

1.2.3.1 アルファ粒子

α 粒子は陽子 2 個と中性子 2 個で構成される ${}^4\text{He}$ の原子核であり、Si 中での LET は最大で $1.5 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ となる [10]。集積回路のパッケージ材料に含まれる放射性不純物が α 崩壊することで、 α 粒子が生じる。 α 粒子がトランジスタに突入すると電子正孔対が発生し、発生したキャリアが電界によって拡散層に収集されると、論理ゲートの出力値が反転する。パッケージから放出される線量が $0.001 \text{ count}/\text{cm}^2 \cdot \text{hour}$ 以下になる純度の高いパッケージ材料を採用することで、 α 粒子起因のソフトエラーを抑制できる。しかし、純度の高いパッケージ材料は製造コストがかかるため、大量生産品には用いることができない。そのため、パッケージ材料に依らないソフトエラー対策が必要である。

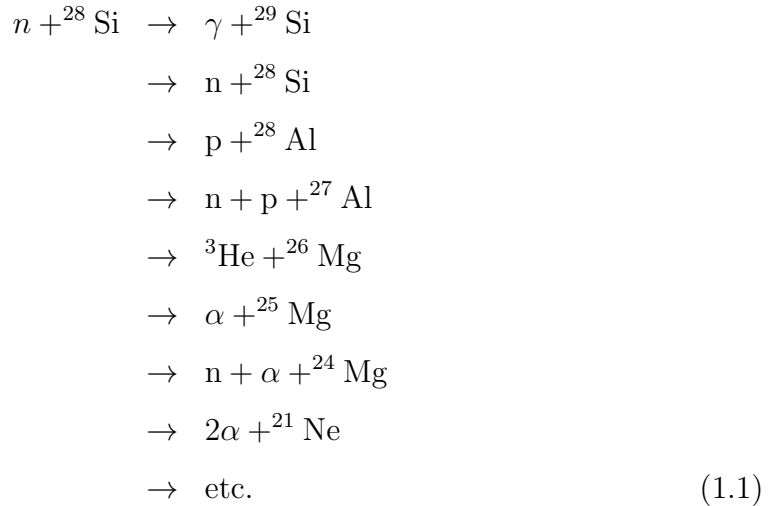
1.2.3.2 熱中性子

熱中性子は、約 0.025 eV の低エネルギーで熱平衡状態にある中性子である。熱中性子を含めた全エネルギー範囲の中性子は電荷を持たず、それ自体には LET も定義されない。そのため、トランジスタに突入しても電子正孔対は発生しない。しかし、層間絶縁膜の SiO₂ を平坦化する際に用いる BPSG (Boron Phosphorus Silicon Glass) 膜に含まれる B (ボロン) の同位元素 ¹⁰B は熱中性子との衝突断面積が大きく、熱中性子と反応すると α 粒子と Si 中で最大 2.4 MeV · cm²/mg の LET をもつ Li イオンが生じる。発生した α 粒子と Li イオンがトランジスタに突入すると、電子正孔対が発生しソフトエラーの原因となる。しかし、現在では層間絶縁膜の平坦化は研磨剤を使用した CMP (Chemical Mechanical Polishing) で行われ BPSG は使われなくなったため、熱中性子起因のソフトエラーは抑制されている。しかし、配線形成工程で W (タングステン) プラグの生成に用いられる B₂H₆ ガスによって ¹⁰B が配線層に残留し、これにより熱中性子起因のソフトエラーが発生すると考えられている [11]。

1.2.3.3 高エネルギー中性子

陽子や α 粒子のような高エネルギーの宇宙線が大気中の原子核と反応することで生じる 10 MeV 以上の中性子を高エネルギー中性子と呼ぶ。熱中性子と同様に電荷を持たないため、トランジスタに突入しても電子正孔対は発生しない。しかし、高エネルギー中性子が基板の Si 原子と衝突して核反応を起こすと、α 粒子、Al, Mg イオンなどの重イオンが生じる [12]。中性子と ²⁸Si の核反応過程を式 (1.1) に示す。式中の n と p はそれぞれ中性子と陽子を表す。発生した粒子がトランジスタの拡散層近傍を通過して電子正孔対が発生し、ソフトエラーの原因となる。中性子と Si との核破砕で発生する二次粒子の Si 中での最大 LET は 18 MeV · cm²/mg に達する [13]。かつて電源電圧が高かった時代においては、 Q_{crit} が大きく、アルファ粒子の電離作用によって生成される電荷量ではソフトエラーに至らないケースが多かった。そのため、核破砕により高 LET 粒子を発生させる高エネルギー中性子が、ソフトエラーの支配的な要因として位置づけられていた [14]。微細化が進んだ現在では、当時より電源電圧が下がり、 Q_{crit} も減少し、アルファ粒子と中性子の両方がソフトエラーを引き起こす要因となっている。しかし、1.2.3.1 節で述べたようにアルファ粒子はパッケージ材料の選定や樹

脂コーティングによってある程度の対策が可能であるのに対し、透過力の高い中性子は物理的な遮蔽が極めて困難である。そのため、依然として高エネルギー中性子は、地上におけるソフトエラー対策上の最も重要な課題であり続けている。文献 [15] では、1~800 MeV の中性子照射によりエネルギー毎のソフトエラーを報告しているが、ソフトエラーの大半は 10 MeV 以上の範囲で発生している。



1.2.3.4 重イオン

重イオンは、He より重い元素のイオンであり、 α 粒子と同様に電荷を持つためトランジスタに突入すると電子正孔対が発生し、ソフトエラーの原因となる。宇宙に存在する重イオンの持つ LET 分布を図 1.8 に示す [16]。耐性設計目標は、欧州宇宙標準協会 (ECSS: European Cooperation for Space Standardization) の放射線耐性保証規格 (ECSS-Q-ST-60-15C) において言及されており、Si 中での LET が $60 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 程度までの耐性を有する場合には、宇宙環境を想定したシングルイベント効果の評価として十分であるとされている [17]。重イオンは地球の大気と磁場で遮断されるため、地上では重イオンによる影響を考慮する必要はないが、宇宙空間では対策が必要である。

1.2.3.5 陽子

陽子は宇宙線に含まれる主要な荷電粒子であり、宇宙空間に高いフラックスで存在している [18][19]。しかし、陽子の LET は最大 $0.6 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ であり、重イオンと比べると、直接電離によるソフトエラーへの寄与も小さい。一方、高エネ

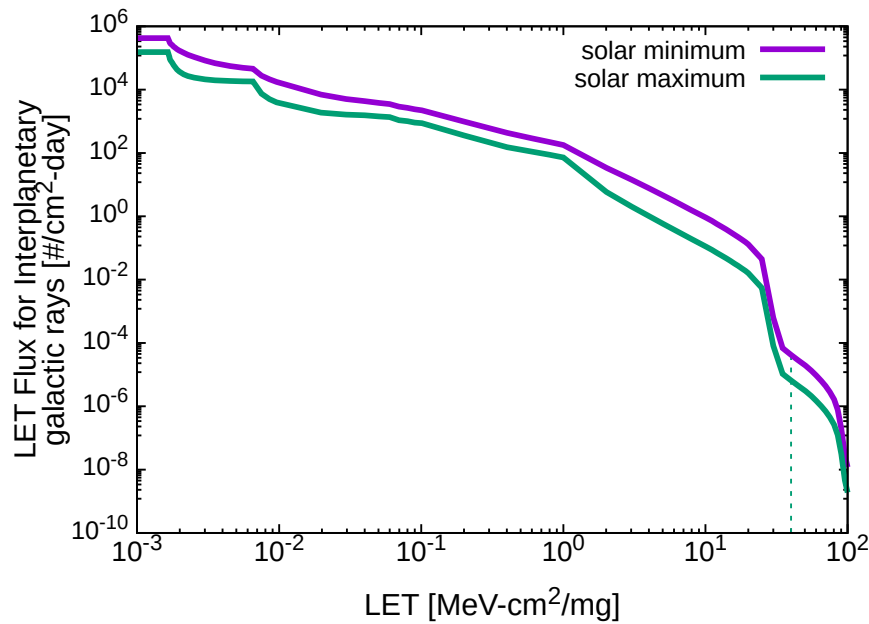
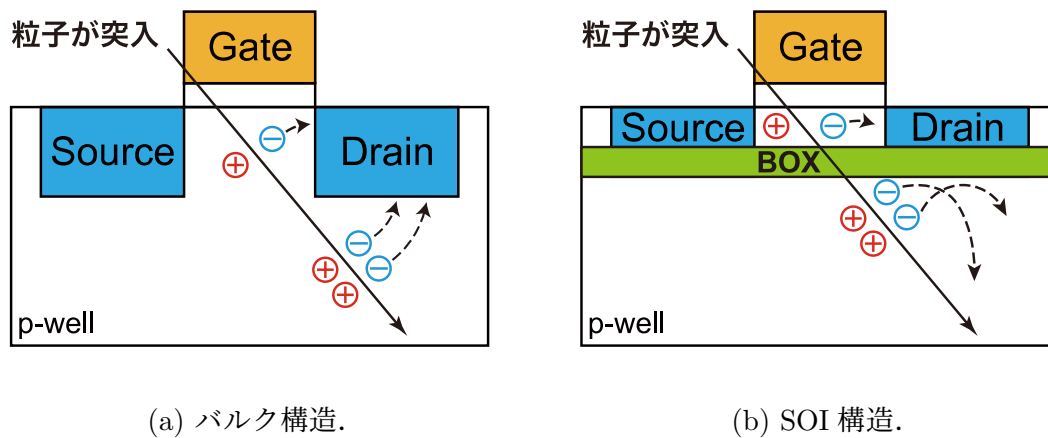


図 1.8: 宇宙空間における重イオンの LET 分布 [16]. 破線は $40 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ を示している.

ルギー陽子は、直接電離よりも、Si 原子核との非弾性衝突による間接電離が支配的となる。高エネルギー陽子が Si 原子核と核破砕反応を起こすことで、二次粒子が生成され、これらの二次粒子がトランジスタ近傍を通過することで電子正孔対が発生し、ソフトエラーの原因となる。この機構は、高エネルギー中性子によるソフトエラーと類似しているため [20][21][22]、高エネルギー陽子ビームは中性子起因ソフトエラー評価の代替手法として JESD89B[5] に記載されている。そのため、宇宙環境においては陽子は高いフラックスを有するものの、ソフトエラー率への寄与は重イオンや中性子による影響と比較して小さい場合が多い。ただし、デバイスの微細化に伴い臨界電荷量が低下すると、低エネルギー陽子の直接電離によるソフトエラーが増加し、無視できなくなる可能性が指摘されている [23].



(a) バルク構造.

(b) SOI 構造.

図 1.9: SOI 構造によるソフトエラー抑制. SOI 構造では, BOX 層以下で発生した電荷の収集を防ぐ.

1.3 ソフトエラー対策および測定試験の従来研究

1.3.1 デバイスレベルのソフトエラー対策

デバイスレベルのソフトエラー対策としては, SOI (Silicon on Insulator) 構造が有効である. SOI 構造とはプレーナー型の CMOS (Complementary Metal Oxide Semiconductor) 回路構造の一種であり, シリコン基板とトランジスタの間に絶縁層として埋め込み酸化膜 (BOX 層: Buried Oxide layer) を挿入した構造である. 絶縁物として主に SiO_2 が用いられる. BOX 層の挿入によりトランジスタの寄生容量が小さくなり, 高速動作や低電圧動作が可能である. 図 1.9(b) に示すように BOX 層以下の基板で発生したキャリアは BOX 層で遮られるため拡散層に収集されない構造である. そのため, 図 1.9(a) に示すバルク構造と比べて高いソフトエラー耐性を持つ. しかし, SOI 構造では寄生バイポーラ効果によるソフトエラーが発生しやすい [24].

SOI 構造はトランジスタの空乏部分の違いにより部分空乏型 SOI (PD-SOI: Partially Depleted SOI) と完全空乏型 SOI (FD-SOI: Fully Depleted SOI) に分類される. 図 1.10 に PD-SOI と FD-SOI の断面図を示す [25]. PD-SOI はトランジスタの空乏層が BOX 層まで及ばない構造であり, FD-SOI はトランジスタの body 層が完全に空乏化し, BOX 層の界面まで達している構造である.

FD-SOI の一種で BOX 層が 10 nm 程度と薄い Thin-BOX FD-SOI プロセスが

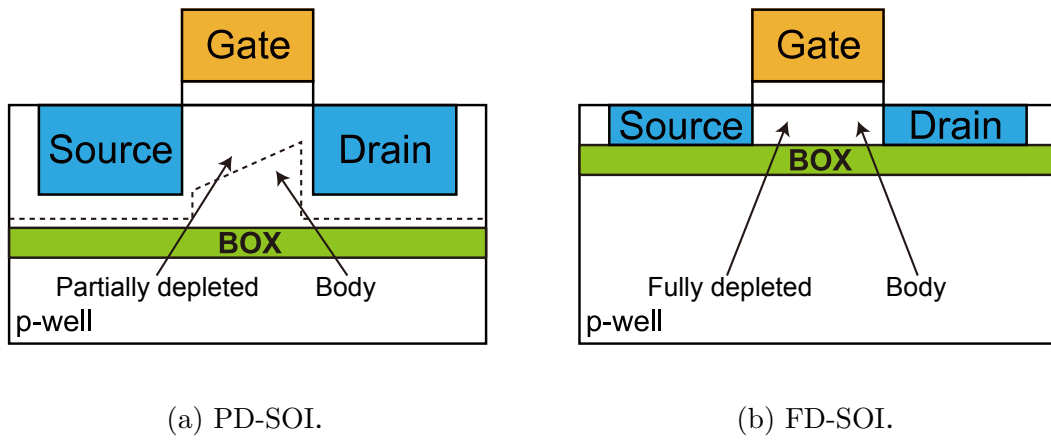


図 1.10: SOI 構造.

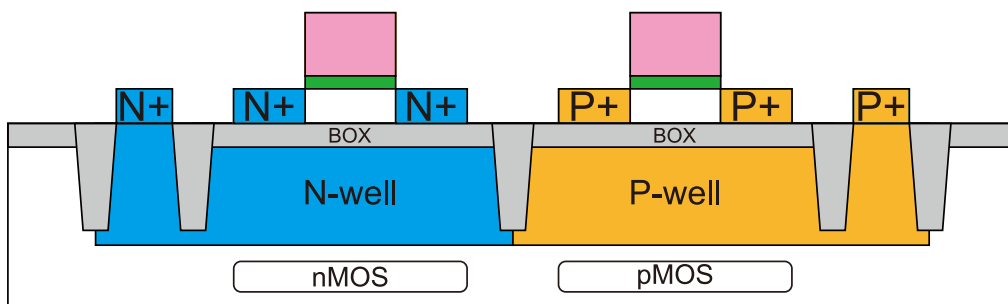
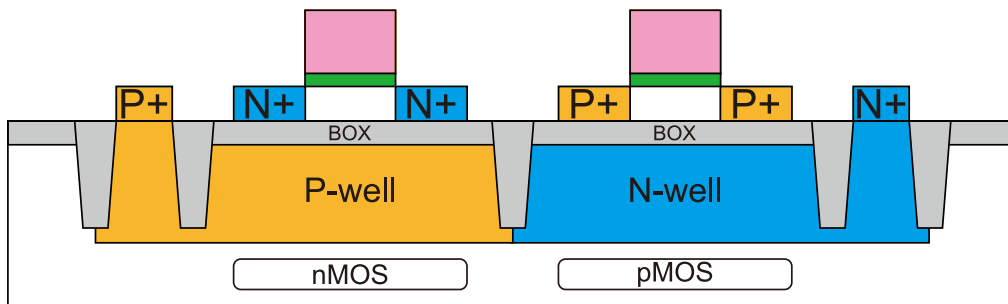


図 1.11: 28 nm 世代以降の FD-SOI プロセスに採用されているウェル構造.

あり、最先端の 22 nm Thin-BOX FD-SOI プロセスではウェル構造が従来構造と異なるものもある [26]. 図 1.11 にウェル構造を示す. フリップウェル構造では,

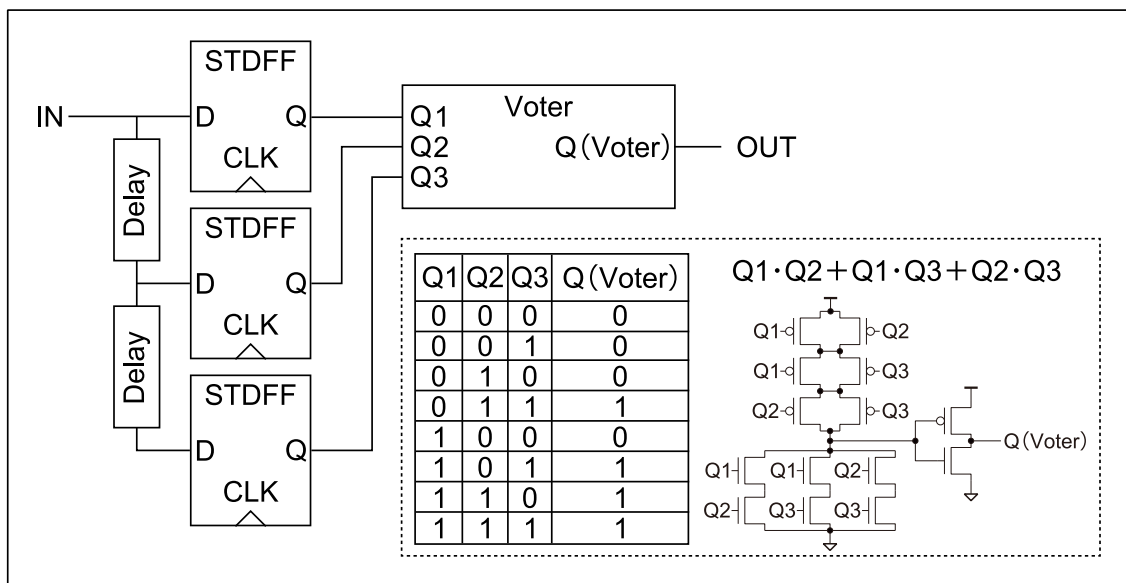


図 1.12: TMRFF. 各 STDFFF の入力に遅延素子を設けることで、前段の組み合わせ回路で発生した SET パルスの取り込みを抑制する。

pMOS と nMOS 両方の基板電位を通常 0 V に設定するため、pMOS の性能は従来よりも高くなる。

1.3.2 回路レベルのソフトエラー対策

1.3.2.1 多重化回路

回路レベルのソフトエラー対策としては、多重化回路が有効である。多重化回路は記憶保持回路を多重化して正常な出力値を維持する回路である。多重化回路の例として、TMR (Triple Modular Redundancy) [27], BISER (Built-in Soft Error Resilience) [28], BCDMR (Bistable Cross-coupled Dual Modular Redundancy) [29], DICE (Dual Interlocked Storage Cell) [30][31] などのフリップフロップ (FF) が挙げられる。一般的に用いられている TMRFF と DICEFF について述べる。

TMRFF は一般的な D 型 FF である STDFFF を三重化した回路である。TMRFF の回路図を図 1.12 に示す。TMRFF は 3 つの STDFFF の出力値の多数決をとるため、1 つの回路で値が反転しても残り 2 つが正常値を保持していれば回路全体としてはエラーとならない。2 つの STDFFF のプライマリラッチの直前にバッファ等の遅延素子を追加することで、組み合わせ回路で発生した SET パルスが同時に

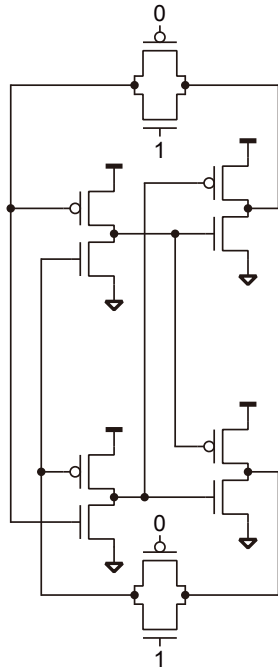


図 1.14: DICE 構造.

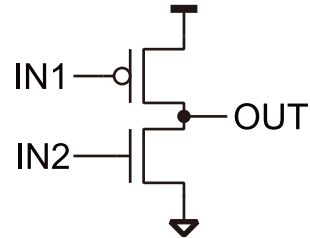


図 1.15: HCE の回路図.

表 1.1: HCE の真理値表.

IN1	IN2	OUT
0	0	1
0	1	中間電位
1	0	前状態
1	1	0

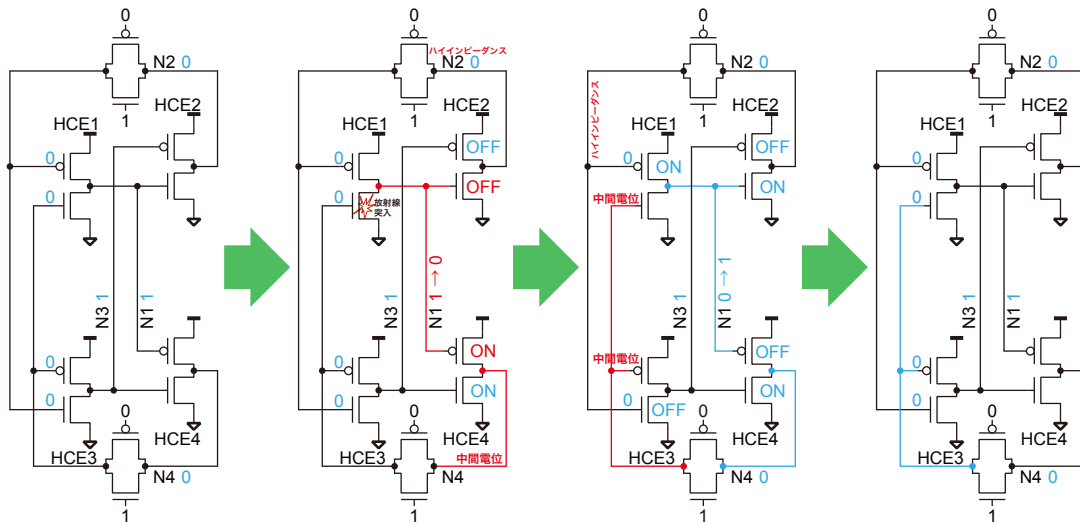


図 1.16: DICE の補償機構.

HCE3 の出力 (N3) は 1 である。また, HCE1 の PMOS ゲート電圧は 0, NMOS ゲート電圧は中間電位となるため, HCE1 の出力 (N1) は 1 に戻る。

4. N1, N3 の電位がともに 1 であるため, 元の保持値に戻り, ソフトエラーとならない。

1.3.2.2 多重化によらない対策手法

多重化回路は高いソフトエラー耐性を実現できる一方で, 面積および消費電力の増加を伴う。そのため, 冗長化を用いずにソフトエラー耐性を向上させる回路レベルの対策手法も検討されている。これらの手法は, 比較的小さな回路変更により放射線照射によってトランジスタ近傍に発生する電荷や, それに起因する SET パルスを直接抑制しすることで耐性向上を図ることを目的としている。対策手法の例として, ノードへの容量追加 [33], シュミットトリガの実装 [34][35], 電荷共有 [36] を利用した手法が挙げられる。

容量追加では, 追加したノードの Q_{crit} を増やし, 放射線突入時に収集された電荷による電圧変動を抑制する。一方で, 容量の増加は回路遅延の増大を引き起こすため, 容量を追加するノードの選定には慎重な検討が必要となる。

シュミットトリガは入力にヒステリシス特性をもたせた回路構造であり, 短時間の電圧変動に対して出力が反転しにくいという特性を有する。このヒステリシス特性はソフトエラー対策として有効である一方, 通常動作における信号遷移も抑制されるため, 回路遅延の増大を招く。文献 [35] では, シュミットトリガを実装した DFF の遅延時間が標準 DFF と比較して約 3 倍程度に増加したことが報告されている。

電荷共有を利用した手法では, 複数のノード間で電荷を分散させることにより, 単一ノードにおける電位変動を抑制する。放射線突入時に発生した電荷を, 他のノードと電荷共有することで単一ノードの電位変動を抑制し, 出力値が反転しにくくなる。この手法は, 常時 OFF 状態のパストランジスタをラッチの 2 ノード間に配置するのみであるため, 遅延や消費電力の増加を比較的抑えられる。ただし, 電荷収集が抑制された場合でも寄生バイポーラ効果が発生する可能性があるため, ウェルコンタクトの近接配置など, 基板電位を安定化させるレイアウトの工夫が必要となる。

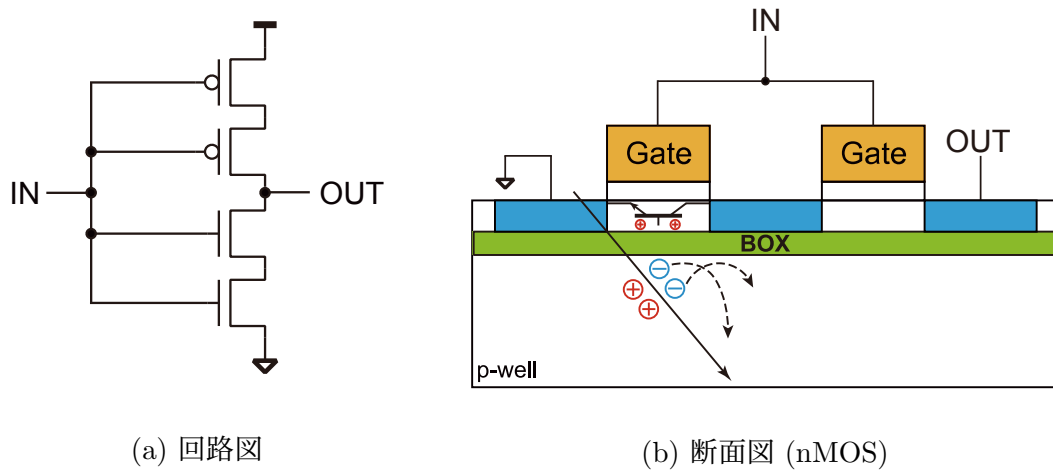


図 1.17: スタックインバータ. スタック構造を用いることで, 縦積みされたトランジスタのどちらかは OFF 状態となり, 出力の反転を防ぐ.

1.3.3 FD-SOI プロセスに適した回路構造

1.3.3.1 スタック構造と RSR 構造

スタック構造とは, トランジスタを直列に積層した設計であり, 放射線突入時に生じる寄生バイポーラ効果による出力反転を抑制することを目的として用いられる [37]. 図 1.17 にスタックインバータを示す. スタック構造を採用することで, 両方のトランジスタが ON 状態にならない限り出力値は切り替わらない.

しかし, 微細プロセスではトランジスタ間距離が短縮するため, スタック構造において縦積みされたトランジスタが一つの放射性粒子によって同時に影響を受け, 出力反転に至る可能性がある.

この課題に対して, スタック構造を拡張した手法として RSR (Reduce Sensitive Range) 構造が提案されている [38]. RSR 構造は, スタック構造における nMOS および pMOS の縦積みトランジスタ間の共有拡散層を配線によって接続した構造である. RSR 構造では, 縦積みトランジスタが同時に影響を受けた場合でも, 配線を介して補償電流が流れるため, 出力反転が抑制され, 高いソフトエラー耐性が得られる [39].

一方, 電荷収集が支配的な bulk プロセスでは, スタック構造によるソフトエラー抑制効果は限定的である. これは, 出力ノードに接続された拡散層に電荷が収集され, 寄生バイポーラを介さず SET パルスが発生するためである.

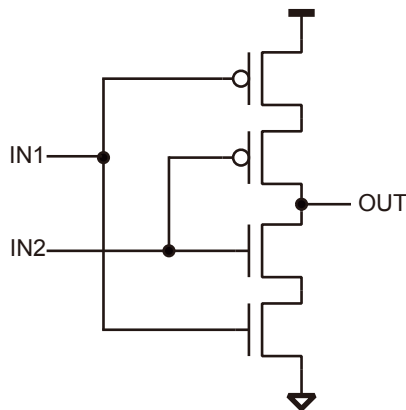


表 1.2: C-element の真理値表.

IN1	IN2	OUT
0	0	1
0	1	Z (previous state)
1	0	Z (previous state)
1	1	0

図 1.18: C-element の回路図.

スタック構造はトランジスタを直列に接続することによってドレイン電流量が減少するため、遅延時間が増加するという欠点がある。

1.3.3.2 C-element

C-element は、2 入力を有するスタックインバータ構造である。図 1.18 および表 1.2 に、それぞれ C-element の回路図と真理値表を示す。出力は、IN1 と IN2 が同じ値の時に変化し、異なる場合は出力がハイインピーダンス状態となり、前の値を保持する。C-element 自体も、スタック構造を有するため高いソフトウェア耐性を持つ。

1.3.3.3 ガードゲート構造

Guard-gate (GG) 構造は、C-element の一方の入力に遅延素子を追加した構造である [40]。図 1.19 に、2 段のインバータを遅延素子として追加した GG 構造を示す。インバータで SET パルスが発生した場合、遅延素子により C-element の 2 つの入力に同時にパルスが到達することを防ぐ。SET パルス幅が遅延素子の遅延時間 (GG 遅延) より短い場合、パルスは消滅し、C-element の出力値は反転しない。突入する重イオンの LET が増加すると SET パルス幅は長くなる [41]。より長い GG 遅延を設けることで、より長い SET パルスを除去できるため、ソフトウェア耐性は向上する。

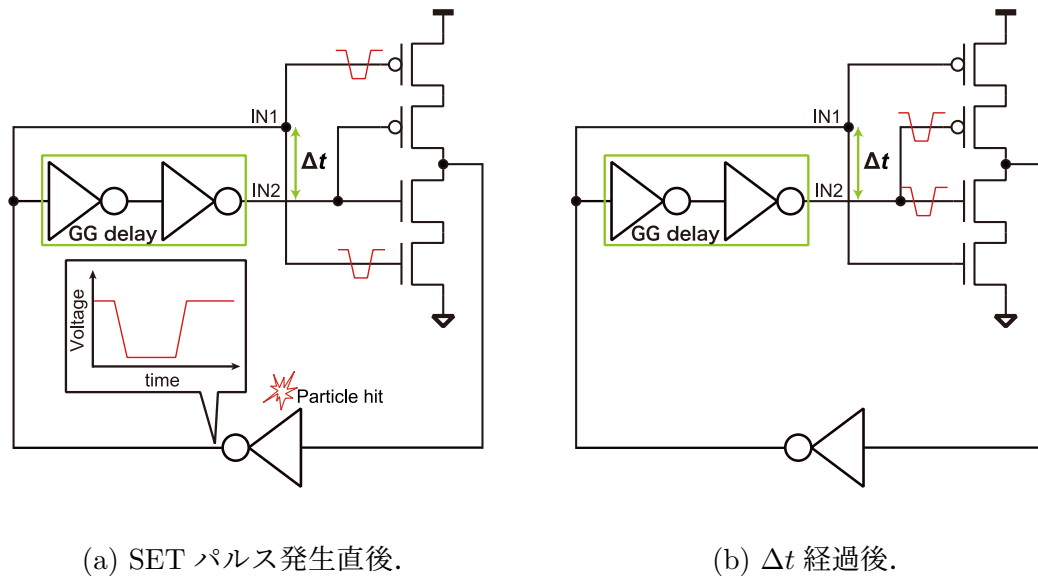


図 1.19: ガードゲート構造. SET パルス発生直後, IN1 が反転する一方で IN2 は正しい値を保持する. 時間 Δt 経過後, IN1 は元の値に回復し, IN2 が反転する. この間, IN1 と IN2 が同時に反転しないため, C-element の出力は変化しない.

1.3.4 中性子照射試験

中性子起因ソフトエラー評価には, 地上中性子スペクトルに類似した白色中性子 (WN) 源を用いた加速試験が一般的である. しかし, 国内外に多数の試験環境が確立されている重イオン照射とは対照的に, JESD89B[5] で推奨されている WN 照射施設は, LANSCE, TRIUMF, ChipIR, RCNP の 4 施設のみで世界的にも数が限られており, ビームタイムの確保等の問題がある.

このような問題解決のために, これまでにいくつかの代替手法が提案されている. 文献 [5] では, 準単色中性子源または陽子線で測定した SEU 断面積に Weibull 関数を適用する手法が示されている. しかし, Weibull 関数を用いる方法では, フィッティングパラメータ決定のために少なくとも 4 種類の異なるエネルギーで測定する必要がある.

文献 [42] では, 低エネルギー中性子源を用いることでソフトエラーレート (SER) 測定コストを削減できると報告されている. 文献 [42] で使用された中性子エネルギーは, 文献 [5] で推奨されているエネルギーより 1 桁低い. そのため, 小型加速器を用いた試験が可能となり, コスト削減につながる.

文献 [43] では、単一のエネルギーの中性子照射試験と、粒子輸送モンテカルロ計算コード PHITS (Particle and Heavy Ion Transport code System) [44] を組み合わせた地上 SER 評価手法が提案されている。PHITS とは、あらゆる物質中での様々な放射線挙動を核モデルや核データなどを用いて模擬する 3 次元モンテカルロシミュレーション計算コードであり、中性子や陽子、重イオン等の粒子を最大 200 GeV まで扱うことができるため、航空宇宙、医療、材料研究等の分野に用いられる。この手法は任意の中性子源で使用でき、照射試験が 1 回でよいため、コスト面で有利である。加えて、文献 [45] では、12 nm, 28 nm, 65 nm の SRAM を用いて文献 [43] の手法が検証されている。

しかし、文献 [5][42][43][45] の施設は中性子照射専用施設であり、このような施設の総数は世界的にみても依然として限られている。

1.4 本論文の目的と構成

前節までに述べた通り、従来、高い信頼性が要求されるシステムには、TMR や DICE といった完全な冗長化回路が一律に適用されてきた。しかし、これらの手法は面積や消費電力のオーバーヘッドが極めて大きく、コスト制約の厳しい地上民生機器や、電力効率が求められる小型衛星等の新たな用途に対しては、必ずしも最適解とはならない。また、信頼性評価においても、専用の照射施設（白色中性子源など）の不足が開発期間を遅延させる要因となっており、より可用性の高い評価手法の確立が急務である。以上の背景から、本研究では「信頼性担保に係るトータルコスト（回路実装コストおよび評価コスト）の最小化」を大目的とする。その達成のために、本論文では、環境とプロセスに適応させることで過剰設計を排した回路の実設計を行うとともに、その提案回路を用いた実証を通して、迅速な耐性評価を可能にする新規評価手法を構築する。提案する設計技術と可用性の高い評価技術を確立することで、高信頼性集積回路の開発におけるトータルコストの低減に寄与する、設計・評価の両面からの具体的なアプローチを提示する。

本研究の構成と位置づけを表 1.3 に示す。具体的には、地上環境と宇宙環境におけるソフトエラーの特性に応じて、それぞれに適した耐ソフトエラー FF 構造を検討し、照射試験によりその効果を明らかにする。評価手法の構築に関しては、特に可用性の課題が顕著な地上環境のみを対象とする。宇宙用途の重イオン照射については、国内外に多数の加速器施設が存在するうえ、国内においても理化学

表 1.3: 本研究の構成と位置づけ

	地上環境 (アルファ線・中性子)	宇宙環境 (重イオン)
対策	【第 2 章】 課題：完全冗長化 (DICE 等) の性能オーバーヘッド 目標：面積・電力・遅延の最小化と耐性改善 (標準セル同等の性能で SER 低減) 手法：PLTGFF, FBTIFF	【第 3 章】 課題：既存耐性回路の遅延オーバーヘッド 目標：遅延の最小化と耐性強化 (性能維持と耐性の両立) 手法：IRPSFF
評価	【第 4 章】 課題：白色中性子源の不足 (開発サイクルの遅延要因) 目標：代替評価手法の確立 手法：医療用加速器を用いた中性子生成	【一】 (対象外) 課題：特になし (照射施設は比較的充実)

研究所, QST 高崎, 東北大学等利用可能な試験環境が十分に確立されている。一方で, 地上用途の白色中性子源は国内外で利用可能な施設は 4 箇所のみであり, この「評価のボトルネック」の解消こそが, 本研究において取り組むべき喫緊の課題であるためである。したがって第 4 章では, 医療用炭素線を利用した中性子ソフトウェア評価手法の適用可能性について検討する。

第 2 章では, 地上環境に適した耐ソフトウェア FF を提案する。地上環境では, 高エネルギー中性子と Si の核破砕により生成される二次イオンが主な原因となるため, 宇宙向けに用いられる DICE や TMR などの多重化回路をそのまま適用すると過剰設計になりうる。そこで本章では, 性能オーバーヘッドを抑えつつ耐性向上を図る構造として PLTGFF (Primary Latch Transmission Gate FF) および FBTIFF (Feed-Back Tri-state Inverter FF) を提案し, 65 nm バルクプロセスで試作した。さらに, α 線照射および白色中性子照射試験により実測評価を行い, 標準回路や従来耐性回路との比較を通じて提案回路の有効性を示す。

第 3 章では, 宇宙空間で問題となる高 LET 重イオンに対する FF の耐性向上を目的として, 複数の FF を評価し, 新しい構造を提案する。宇宙空間では重イオンにより多量の電荷が生成されるため, バルクプロセスに比べて高い放射線耐性を有する FD-SOI プロセスであっても寄生バイポーラ効果によりソフトウェアが発生する。スタック構造は FD-SOI において有効であるが, 全ての論理ゲートをスタック化すると遅延増大が避けられない。そこで 3 章では, まず既存の耐性向

上回路である DFRFF (Dual Feedback Recovery FF) を取り上げ、高 LET 環境で問題となる長い SET パルスに対し十分な抑制が行えない理由を整理する。そのうえで、DFRFF のガードゲート遅延を拡張した DFRFFLD を 22 nm および 65 nm FD-SOI プロセスで設計し、重イオン照射試験を行うことでソフトエラー耐性を比較する。これらの結果に基づき、ソフトエラー耐性と性能オーバーヘッドの両立を目的とした IRPSFF (Improved Recovery-Path Structured FF) を提案する。回路シミュレーションおよび重イオン照射試験により、提案回路がソフトエラー耐性と性能オーバーヘッドの抑制を両立していることを明らかにする。

第4章では、医療用炭素線を利用した新しい中性子起因ソフトエラー評価手法を提案する。白色中性子施設は世界的に数が少ないため、照射可用性に制約がある。そこで本章では、医療用炭素線がターゲットを通過した際に発生する二次中性子に着目し、アクリルへの照射および鉛ブロックによる荷電粒子遮蔽により、中性子照射環境を構築する。治療室における炭素線エネルギーを測定し、中性子エネルギースペクトルと加速係数を求め、既存手法に用いられる WN 施設 (RCNP) との比較を行う。さらに、鉛厚による中性子割合変化と SER の関係を分析する。最後に、得られた SER を RCNP の結果と比較し、本手法が地上環境向け SER 評価の代替手段として有効であることを示す。

第2章 地上向け耐ソフトエラーフリップフロップの提案と実測評価

2.1 まえがき

第1章でも述べたように、ソフトエラー対策としてはラッチ回路の多重化や冗長化構造が広く用いられている。しかし、必要とされる耐性レベルは環境によって大きく異なり、同一の対策をすべてのアプリケーションに適用することは、回路の実装コスト（面積・消費電力・遅延）の観点から合理的ではない。

宇宙空間では重イオンがソフトエラーの主要因であり、高 LET によってトランジスタ内に多量の電荷が発生することでソフトエラーが発生しやすい。このため、ストレージセルの多重化や DICE のようなマルチノード型の耐性構造が有効であり、実際に重イオン照射でも高い耐性を示すことが知られている。

一方、地上環境では主たる起因粒子は高エネルギー中性子であり、Si との核破砕によって発生する重イオンによる SEE が支配的である。核破砕によって生じる重イオンの LET は宇宙空間に存在する重イオンと比べると低いため、トランジスタ内に発生する電荷量も小さい。そのため、重イオン起因のソフトエラーに対して十分な耐性を持つ構造（例：DICE, TMR）をそのまま地上用途に適用することは、過剰な面積や消費電力を費やすことになり、実装コストの増大を招く。すなわち、地上環境においては、発生する物理現象に特化して過剰マージンを削ぎ落とし、耐性と実装コストのバランスを考慮したソフトエラー対策が必要である。

さらに、集積回路ではパッケージモールド樹脂等に含まれる放射性不純物から放出される α 粒子もソフトエラーの要因である。そのため、地上環境で発生するソフトエラーを包括的に評価するには、中性子に加えて α 線起因のソフトエラーも評価することが重要である。

本章では、地上環境における実装コストの低減を目的として、65 nm バルクプロセスで提案回路を設計し、 α 線源および白色中性子線による加速試験を通じた耐性評価結果について述べる。

表 2.1: 入力値と測定ノードの対応表.

(a)nMOS トランジスタ

(DATA / Q, CLK)	STDFFF	PLTGFF	FBTIFF
(0, 1)	1	1, 2	1
(1, 1)	2	1'	2
(0, 0)	4	3	3
(1, 0)	3	4	4

(b)pMOS トランジスタ

(DATA / Q, CLK)	STDFFF	PLTGFF	FBTIFF
(0, 1)	2	1'	2
(1, 1)	1	1,2	1
(0, 0)	3	4	4
(1, 0)	4	3	3

2.2 提案 FF

ここでは回路シミュレーションによって見積もり可能な臨界電荷量 (Q_{crit}) に注目する. 表 2.1 に DATA / Q および CLK の状態と回路ノードの関係を, 図 2.1 にそれぞれの条件下での STDFFF におけるソフトエラーの発生位置を示す. シミュレーションで用いた電流源は式 (2.1) に示す単一指数関数モデルである [46]. 式 (2.1) を $t=0$ から $t=\infty$ まで積分するとドレインに収集される電荷の総量 Q となる. T はプロセスノードによって決まる時定数を表し, 65 nm プロセスに対応する値として 20 ps に設定した [8].

$$I(t) = Q \frac{2}{T\sqrt{\pi}} \sqrt{\frac{t}{T}} \exp\left(-\frac{t}{T}\right) \quad (2.1)$$

Q_{crit} の増加によるソフトエラー耐性向上を目的として, Primary Latch Transmission Gate FF (PLTGFF) および Feed-Back Tri-state Inverter FF (FBTIFF) の 2 種類の FF を提案する.

はじめに, 表 2.2 に, 評価対象である標準 FF (STDFFF) および提案回路の nMOS および pMOS トランジスタの Q_{crit} をまとめる. 各ノードにおいて, pMOS トランジスタの Q_{crit} は nMOS トランジスタよりも大きい. 電子の移動度は正孔よりも大きいため, ソフトエラーは pMOS トランジスタよりも nMOS トランジスタ

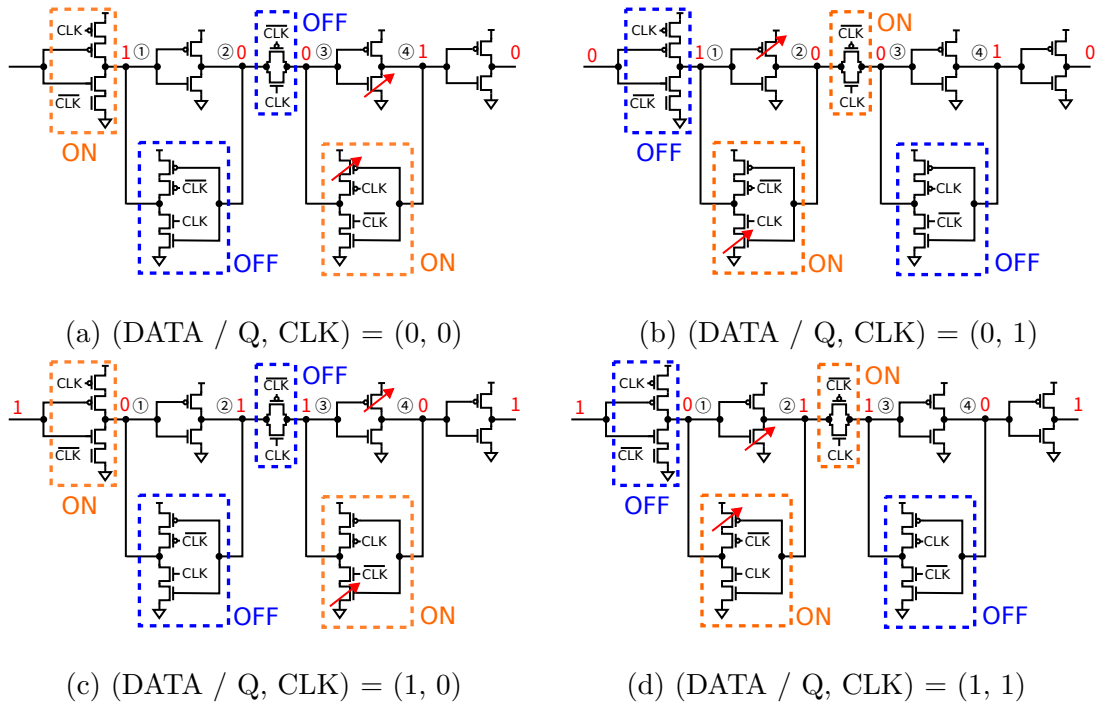


図 2.1: 各入力条件における STDFD 内のソフトエラー発生箇所.

表 2.2: 標準 FF と提案 FF における各内部ノードにおける Q_{crit} .

(a) nMOS トランジスタ

FF	Q_{crit} [fC]				
	1	1'	2	3	4
STDFD	3.7	-	11	3.0	11
PLTGFF	5.7(+2.0)	8.9	14(+3.0)	4.6(+1.6)	8.7(-2.3)
FBTIFF	8.9(+5.2)	-	9.4(-1.8)	20(+17)	17(+6.0)

(b) pMOS トランジスタ

FF	Q_{crit} [fC]				
	1	1'	2	3	4
STDFD	4.5	-	13	3.9	12
PLTGFF	5.8(+1.3)	11	16(+3.0)	4.5(+0.6)	11(-1.0)
FBTIFF	5.8(+1.3)	-	11(-2.0)	7.4(+3.5)	7.6(-4.4)

で発生しやすい [8]. 文献 [47] では, 130 nm バルクプロセスにおいて Q_{crit} の増加がソフトエラー耐性を向上させることが報告されているため, 本論文では nMOS

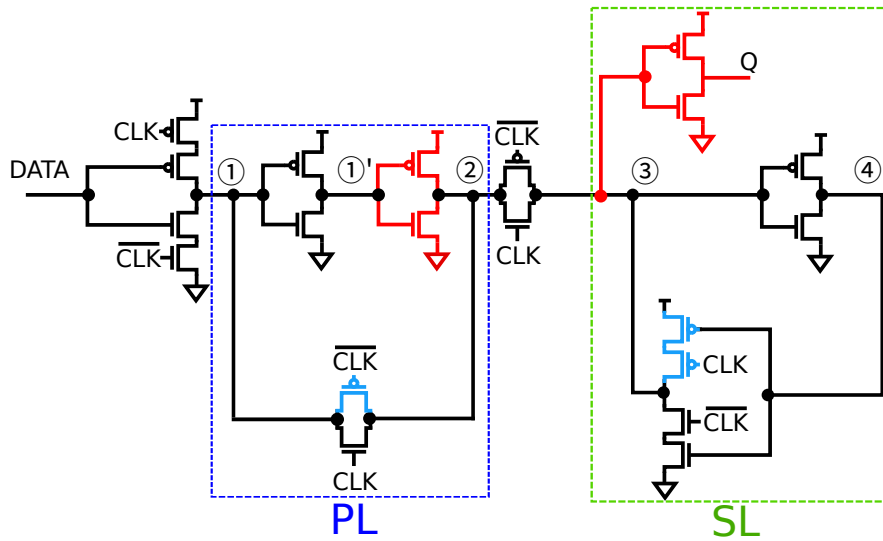


図 2.2: Primary Latch Transmission Gate FF (PLTGFF)

トランジスタの Q_{crit} を増加させるための対策を検討した. STDFF では, クロックインバータの出力電流が小さいため, ノード 1 および 3 が他のノードよりもソフトエラーに弱い. 提案 FF では, これらの脆弱なノードにおける Q_{crit} を増加させることで, ソフトエラー耐性を向上させている. 以降では, PLTGFF および FBTIFF の回路構成と, Q_{crit} 変化の要因を述べる.

2.2.1 PLTGFF (Primary Latch Transmission Gate FF)

図 2.2 に, 提案 FF の一つである Primary Latch Transmission Gate FF (PLTGFF) を示す. PLTGFF では, Q_{crit} を増加させるために回路構成を改良している. ノード 2 から出力 Q までに存在する論理ゲートの段数を 2 段に減らすことで, クロック入力から出力までの遅延 (CLK- Q 遅延) の増加を抑制している. 最終段のインバータの接続点をノード 4 からノード 3 に変更することで, ノード 3 の寄生容量および Q_{crit} を増加させている. さらに, プライマリラッチ (PL) では, クロックインバータをトランSMISSIONゲートに置き換え, 赤色で示すインバータを追加している. これらの変更により, トランジスタ数を増やすことなく STDFF と同一の動作を実現し, 回路性能の低下を抑制している. 加えて, 青色で示す pMOS トランジスタのゲート幅を 2 倍にすることで pMOS の駆動力を向上させ, 電荷収集によるノード電位の変動を抑制している [47].

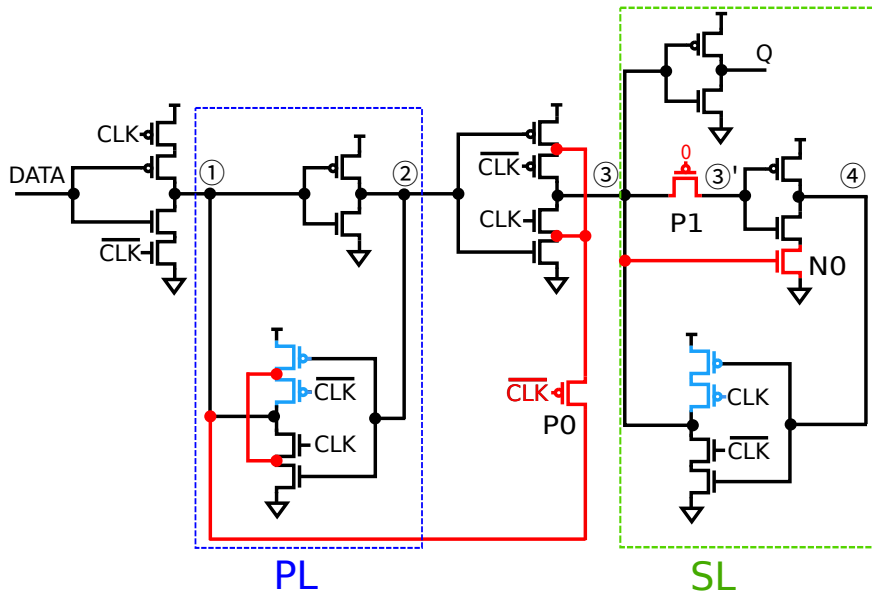


図 2.3: Feed-Back Tri-state Inverter FF (FBTIFF)

2.2.2 FBTIFF (Feed-Back Tri-state Inverter FF)

図 2.3 に、もう一つの提案 FF である Feed-Back Tristate Inverter FF (FBTIFF) を示す。FBTIFF も PLTGFF と同様に Q_{crit} を増加させることを目的として設計されている。回路構成を PLTGFF と同様の手法で改良することにより、CLK-Q 遅延の増加を抑制している。ノード 3 で発生する SET パルスは、pMOS パストランジスタ (P1) を追加することで抑制できる [48]。しかし、この pMOS パストランジスタは通常オン状態であるため、ドレインノードが 0V の場合、静的電力が大きく増加するという問題がある。図 2.4 に静的電力の抑制機構を示す。pMOS パストランジスタでは、ドレイン電圧が 0V のとき、しきい値電圧 (V_{th}) 分上昇し、ソース電圧が V_{th} となる (図 2.4(a))。そのため、ノード 3 が 0 の場合、次段の nMOS にリーク電流が流れ、静的電力が増加する。そこで、図 2.4 (b) に示すようにセカンダリラッチ (SL) のインバータに直列に nMOS (N0) を追加した。ノード 3 が 0 になると N0 がオフとなり、リーク電流が遮断されて静的電力が低減する。表 2.3 に N0 の有無による静的電力を示す。この結果、N0 を追加することで静的電力が 99% 以上低減できることがわかった。

また、PL および PL と SL の間に配置されたクロックインバータを、それぞれ

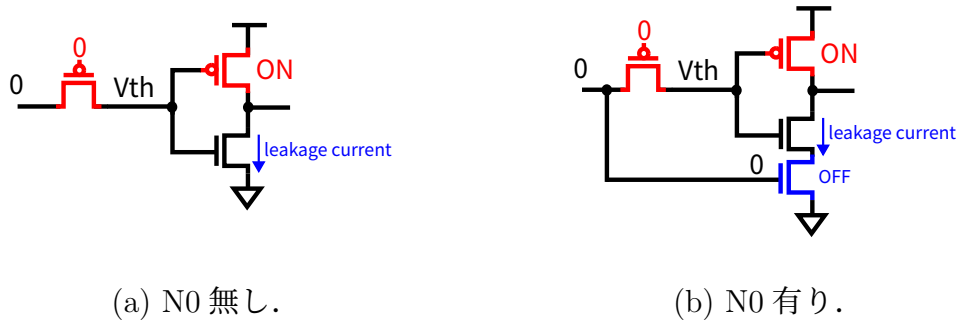


図 2.4: FBTIFF における静的電力の抑制機構. N0 によりリーク電流を遮断する.

表 2.3: N0 の有無による静的電力の差. STDFF を基準として正規化した.

FF	Static power
STDFF	1.00
FBTIFF	1.55
FBTIFF (without N0)	212

れインバータとトランスマッションゲートに分割している. もとの構成では直列接続されていたクロック信号入力トランジスタを, 配線を追加して並列接続とした. この並列化により論理ゲート全体の抵抗が低下し, 出力に流れる電流量が増加するため, Q_{crit} も増加する [47].

さらに, ノード 1 と PL-SL 間のトライステートインバータの間に pMOS パストランジスタ (P0) を追加している. トライステートインバータをノード 1 に接続することで, ノード 1 に流れ込む電流量が増加し, その結果 Q_{crit} も増加する. PL と SL を接続するトライステートインバータでエラーが発生すると, 追加配線を介してノード 1 に SET パルスが注入され, PL に保持された値が反転する可能性がある. P0 を追加することで, PL-SL 間のトライステートインバータで発生した SET パルスを P1 と同様に抑制できる. P0 の入力 は CLK に接続されており, $CLK = 0$ のときはノード 1 がトライステートインバータ中間ノードから切り離される. したがって, 入力の状態が変化するとき, ノード 1 は入力側トライステートインバータによって容易に反転でき, D-Q 遅延の増加を抑制できる. また, P0 を追加してもノード 1 は PL 内のクロックトインバータによって完全にプルダウンされるため, リーク電流は無視できる. pMOS トランジスタのゲート幅は PLTGFF と同様に 2 倍とし, ノード 1 に流れ込む電流および Q_{crit} をさらに増

加させている。

表 2.2 (a) に示すように、PLTGFF では多くのノードで nMOS トランジスタの Q_{crit} が増加している。しかし、最終段インバータのゲート容量が除去されるため、ノード 4 の Q_{crit} は低下している。一方、FBTIFF では最終段インバータを削除してもノード 4 の Q_{crit} が増加している。ラッチ内部のインバータに放射線が入射すると、ノード 4 に SET パルスが発生する。このとき、保持値を完全に反転させるには、ノード 4 のパルスが元の値に戻る前に、インバータ入力 (STDFE: ノード 3, FBTIFF: ノード 3') の状態が反転する必要がある。したがって、ノード 4 からインバータ入力までの遅延が短いほど、ラッチの保持値は反転しやすい。FBTIFF では、P1 の追加によりこの遅延が STDFE より長くなるため、反転に必要な SET パルス幅が広がり、結果として Q_{crit} が増加する。

一方で、クロックインバータの駆動能力が増したため、ノード 2 の Q_{crit} は低下している。クロックインバータに配線を追加するとゲート全体の抵抗が下がり、ノード 2 から 1 までの遅延時間が短くなる。その結果、値を反転させるために必要な SET パルス幅が小さくなり、 Q_{crit} が低下する。pMOS トランジスタについては、ノード 4 のみ Q_{crit} が減少している。これは N0 によるスタック構造のため、ノード 4 に流れる電流および Q_{crit} が小さくなるためである。一方、ノード 4 における nMOS トランジスタの Q_{crit} は 6.0 fC 増加しており、pMOS の Q_{crit} の減少量 (4.4 fC) を上回る。このため、ノード 4 におけるソフトエラー耐性は、全体として改善すると考えられる。

2.2.3 性能評価

図 2.5 に、65 nm バルクプロセスで試作した各 FF の簡略化したレイアウトパターンを示す。9 配線ピッチで設計し、すべてのレイアウトにおいて、ウェルタップは VDD および VSS のストラップ直下に配置している。これらの FF について、標準電圧 ($V_{\text{dd}} = 1.2 \text{ V}$) における面積、遅延時間、消費電力を回路シミュレーションにより算出した。STDFE、提案 FF、DICEFF の性能を表 2.4 に示す。クロック周波数は 1 GHz、消費電力は活性化率 $\alpha = 10\%$ の条件で評価した。活性化率とはクロックエッジの入力回数に対して入力信号が変化した回数の割合である。活性化率 $\alpha = 10\%$ ではクロックエッジの入力 10 回に対して入力信号が 1 回変化することになる。電力は、標準電圧 1.2 V と、回路レベルシミュレーションによって推定された平均電流値との積として算出した。これらの値はすべて STDFE に

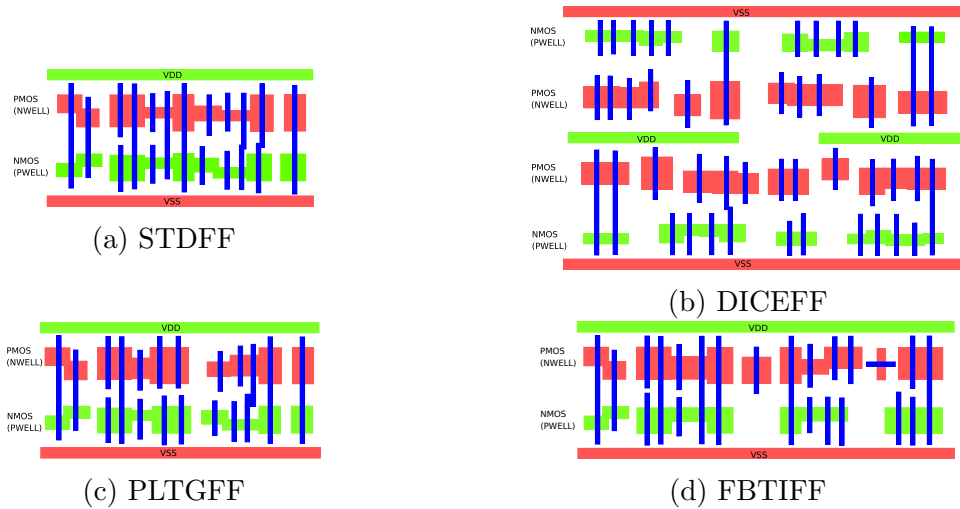


図 2.5: STDFF, DICEFF, および提案 FF の簡略化したレイアウトパターン. DICEFF のみダブルハイト構造であり, 中央の VDD レールにはポリシリコン配線があり, ウェルコンタクトを設けることができない. 左右の VDD レールは M1 で接続されている.

表 2.4: 回路シミュレーションによる従来 FF と提案 FF の性能評価結果. STDFF で規格化した. トランジスタ数にクロックバッファは含めていない.

FF	# of Tr.	Area	D-Q delay	CLK-Q delay	Setup time	Hold time	Power
STDFF	20	1.00	1.00	1.00	1.00	1.00	1.00
PLTGFF (proposed)	20	1.05	1.04	0.94	3.18	0.94	1.10
FBTIFF (proposed)	25	1.42	1.10	0.98	3.80	0.96	1.22
DICEFF	42	2.95	2.28	1.92	8.69	0.67	2.86

対して正規化した. PLTGFF の面積, D-Q 遅延, 電力のオーバーヘッドはそれぞれ 5%, 4%, 10% である. PLTGFF と STDFF のトランジスタ数は同数であるが, トランジスタサイズの拡大およびトライステートインバータをインバータとトランスミッションゲートに分割したことによる配線容量の増加により, 電力が増加している. FBTIFF の面積, D-Q 遅延, 電力のオーバーヘッドはそれぞれ 42%, 10%, 22% である. 表 2.4 に示すように, 提案 FF のセットアップ時間は STDFF よりも長い. 図 2.6 に, ノード 1 から PL-SL 間のパストランジスタまでの信号経路を示す. STDFF ではノード 1 からパストランジスタまでの論理ゲート段数は 1 段であるのに対し, 提案回路では 2 段である. そのため, 遅延時間が長くなり, 提案回路のセットアップ時間が増加している. 一方で, 提案 FF の CLK-Q 遅延は STDFF よりも短い. これは, 2.2.2 節で述べた回路構成の最適化によるもので

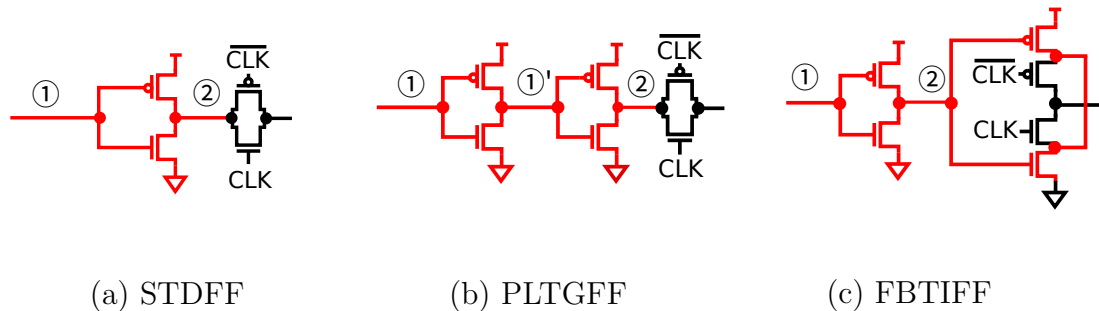


図 2.6: ノード 1 から, PL-SL 間のパストランジスタまでの信号経路.

あり, 提案 FF では D-Q 遅延を抑制できている. FBTIFF の面積は, 追加された pMOS パストランジスタにより STDFF と比べて 42% 増加している. それでも, 提案 FF は DICEFF のような従来の耐放射線フリップフロップと比べてトランジスタ数が少なく, 性能オーバーヘッドは小さい.

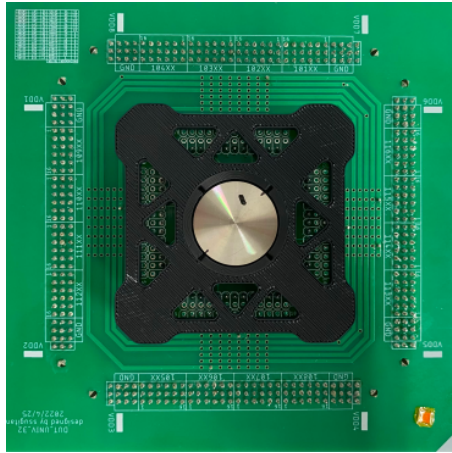
2.3 実測によるソフトエラー耐性評価

2.3.1 セットアップ

実測評価用のテストチップは 65 nm バルクプロセスで製造された. すべての FF はシフトレジスタとして実装されている. FF は同じ値で初期化されるため, DATA と Q は同じ値をとる. ソフトエラー耐性は, α 粒子および中性子照射試験によって評価した. 照射試験は以下のように実施した.

1. カスケード接続された FF の保持値を 0 もしくは 1 に初期化.
2. CLK を 0 または 1 に固定.
3. FF に α 粒子または中性子を照射.
4. FF に保持されているデータを読み出し.
5. 反転数をカウント.
6. 上記 1~5 を 4 つの (Q, CLK) 条件で繰り返す.

エラー発生率を FIT (Failure in Time) に変換した SEU rate [FIT/Mbit] を評価する. 1 FIT とは 10^9 時間に 1 回の確率でエラーが発生することを示す.

図 2.7: α 線照射測定.

SEU rate [FIT/Mbit] は式 (2.2) で求まる.

$$\text{SEUrate[FIT/Mbit]} = \frac{N_{\text{error}} \times 10^9 \times 1024^2}{N_{\text{FF}} \times F_{\text{acc}} \times t [\text{hour}]} \quad (2.2)$$

N_{error} はソフトエラーが発生した FF 数, N_{FF} は搭載された FF の総数, F_{acc} は加速係数である.

2.3.1.1 α 線照射

α 粒子照射試験は, 3 MBq の ^{241}Am 線源 (サイズは $9.5 \times 9.5 \text{ mm}$) を用いて実施した. 図 2.7 のように α 線源をテストチップ上に配置し, 1 回 30 秒間の照射を各 (Q, CLK) 条件につき 160 回実施した. α 線の減衰率は, α 線源とテストチップの距離に依存する. 本研究では, 線源とチップ間の距離は約 1 mm であったため, 減衰率を 0.9 とした [5]. α 粒子の F_{acc} は式 (2.3) で計算される.

$$F_{\text{acc}} = \frac{1.5 \times 10^6 \text{ count/sec} \times 3600 \text{ sec} \times 1/0.95^2 \text{ cm}^{-2}}{0.001 \text{ count/cm}^2 \cdot \text{hour}} \times 0.9 = 5.4 \times 10^{12} \quad (2.3)$$

パッケージから放射される α 線量は, Ultra Low Alpha グレードの場合, $0.001 \text{ count/cm}^2/\text{hour}$ と仮定した [49].

2.3.1.2 中性子照射

中性子照射試験は, 大阪大学核物理研究センター (RCNP) [50] で実施した. 図 2.8 に, JESD89B[5] で定義される地上中性子スペクトルで正規化した中性子ビー

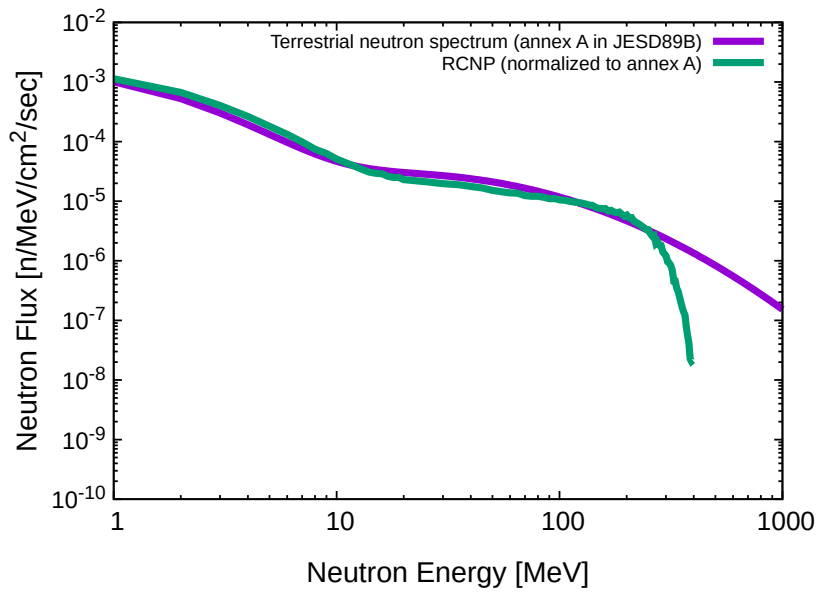


図 2.8: 地上および RCNP における中性子のエネルギースペクトル。

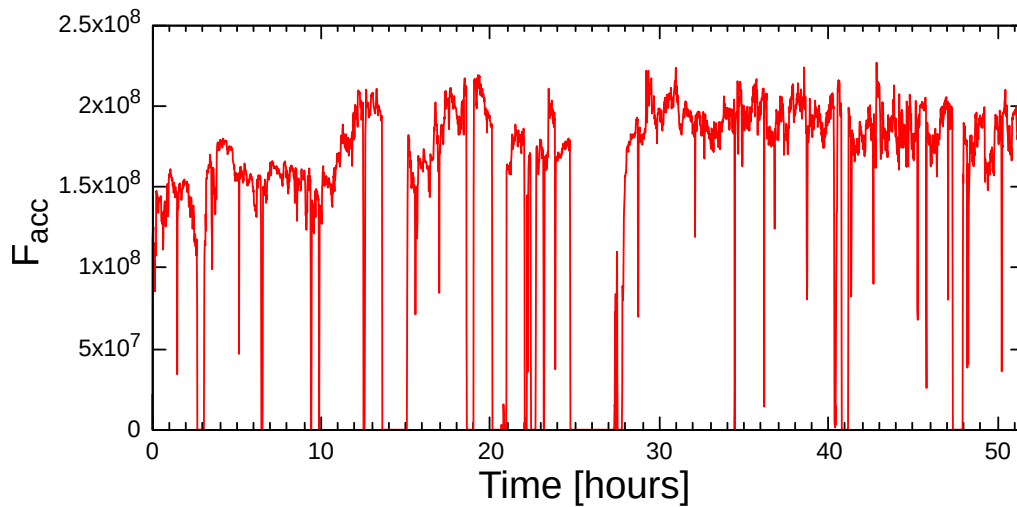


図 2.9: RCNP の照射口付近における 52 時間分の F_{acc} . ビーム停止時 ($F_{acc} = 0$) を除いた平均 F_{acc} は 1.75×10^8 である。

ムスペクトルを示す。照射試験中の中性子数は、ビームライン装置で計測される陽子数から間接的に算出できる。RCNP の照射口で得られた測定データを用いた加速係数 (F_{acc}) を図 2.9 に示す。 F_{acc} は、10 MeV 以上の中性子数に基づいて

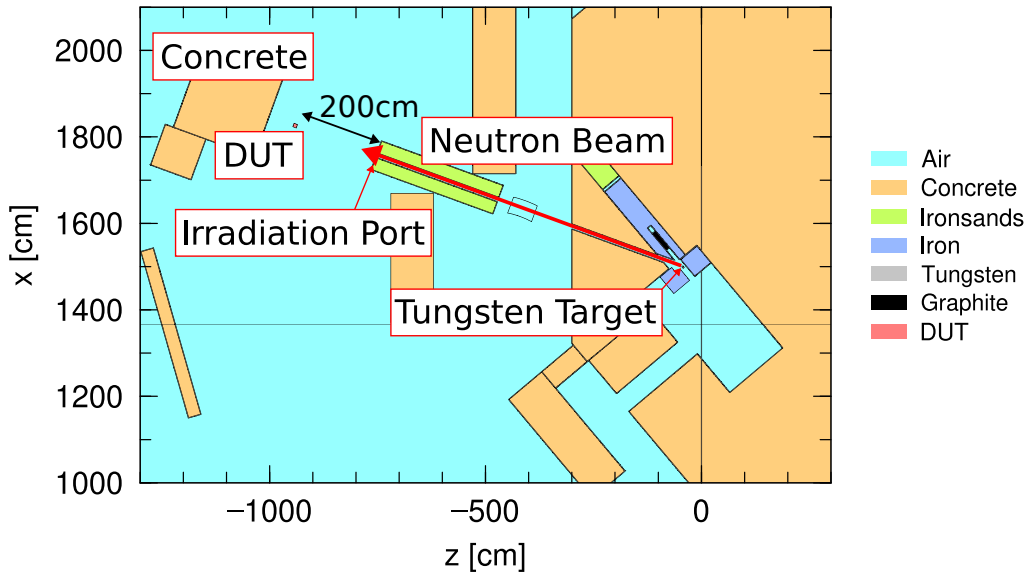


図 2.10: PHITS シミュレーションにおける RCNP の 3D 物理モデルの断面図 [51]. タングステンターゲットから照射口までの距離は 756.2 cm, 照射口から DUT までの距離は 200 cm である.

計算される. 海面高度における 10 MeV 以上の中性子数は, JESD89B[5] により $12.96 \text{ n/cm}^2/\text{hour}$ と定義されている. 照射口における F_{acc} は, ビーム停止時に 0 となる場合を除き, 平均で約 1.75×10^8 であった.

F_{acc} は, 空気による減衰の増大および中性子が立体角方向へ広がることによる減衰のため, 照射口から離れるほど低下する. 照射ポートからの距離と高エネルギー中性子数の関係の評価するため, 汎用モンテカルロ粒子輸送コードである PHITS を用いて計算を行った. ここで, ビームエネルギーの広がりには考慮していない. 図 2.10 および 2.11 に, PHITS で使用した物理モデル [51] と, RCNP の照射ポートからの距離と高エネルギー中性子数の関係を示す. シミュレーション結果は, 照射口 (Irradiation Port) での値を基準に正規化している.

試験チップを設置した照射ポートから 200 cm の位置における中性子数は, 照射ポート位置の約 67.5% であった. したがって, 200 cm における F_{acc} の平均値は 1.18×10^8 となる.

中性子照射試験では, 1 回 1800 秒間の照射を各 (Q, CLK) 条件につき 20 回実施した. 限られた測定時間内でエラー数を増やすために, 図 2.12 に示すように 32 個のテストチップを同時に測定した.

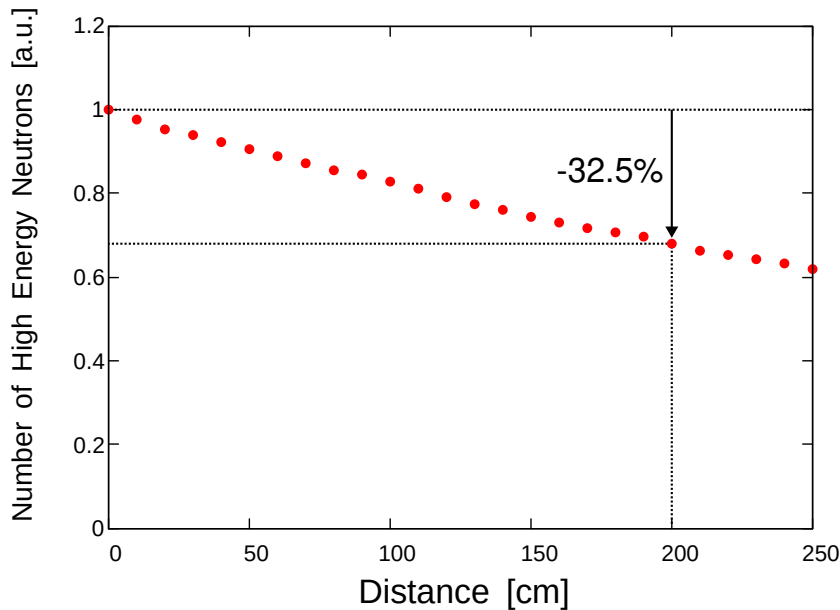


図 2.11: RCNP の照射口からの距離と高エネルギー中性子 (> 10 MeV) の関係。図 2.10 のモデルを用いて PHITS により計算したものである。DUT を設置した 200 cm 地点では、中性子数は約 0.675 に減少する。

2.3.2 アルファ線照射結果

図 2.13 に、 $V_{DD} = 1.2$ V における提案 FF のアルファ線起因の SEU rate (α -SER) を、95%信頼区間のエラーバーとともに示す。DICEFF ではエラーが発生しなかった。提案 FF は STDFE と比較してソフトエラー耐性が向上している。しかし、PLTGFF は $(Q, CLK) = (0, 0)$ のとき、STDFE よりもソフトエラー耐性が低い。

図 2.1, 2.2, 2.3 に示すように、出力 Q に接続されるインバータの位置が STDFE と提案 FF では異なる。そのため、測定ノードと (Q, CLK) の関係も STDFE と提案 FF で異なる。図 2.14 は、STDFE と提案回路間での (Q, CLK) の違いを考慮した α -SER を示す。STDFE と提案回路の結果を比較しやすくするために、図 2.14 では各ノードの値が 1 の場合の SER を示す。ノード 3 = 1 のとき、PLTGFF の α -SER は STDFE より 42% 小さく、FBTIFF の α -SER は 0 である。したがって、提案 FF は、STDFE と比べて脆弱ノード (ノード 1 および 3) で Q_{crit} が増加しているため、ソフトエラー耐性が向上している。全体の SER は、STDFE と比較し



図 2.12: 中性子照射試験における 32 チップの同時測定. 16 チップを実装した DUT ボードを 2 枚を重ねて同時に照射した.

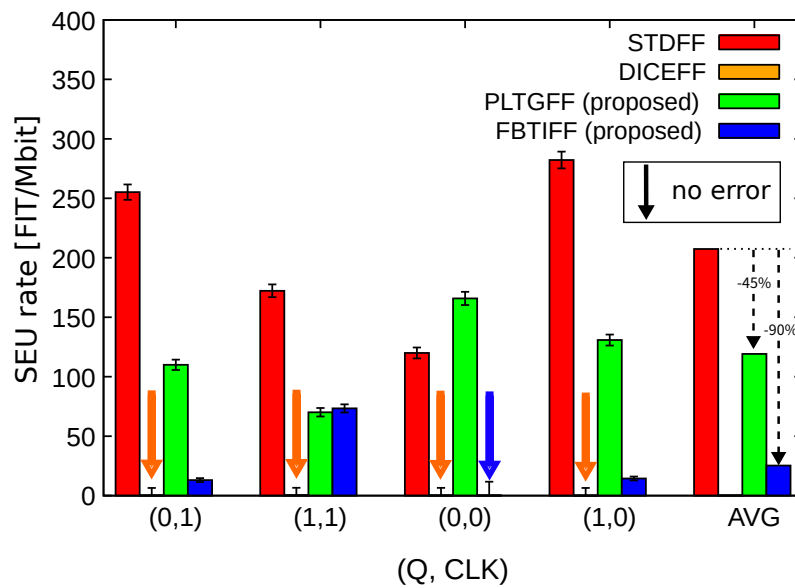


図 2.13: (Q, CLK)4 条件ごとの α -SER と平均 α -SER. エラーバーは 95%信頼区間を表す. これらの結果は SULA パッケージ (0.001 cph/cm^2) の使用を想定している. なお, DICEFF は全ての条件でエラーが発生していない.

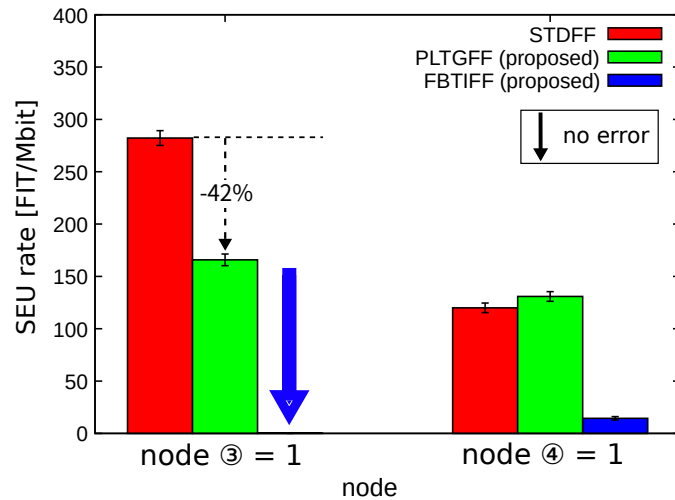


図 2.14: STDFF と提案回路における (Q, CLK) の違いを考慮した α -SER の結果. STDFF と提案回路の比較を容易にするため、各ノードの値が1の場合のノード別エラー率を示す.

て、PLTGFF が 45%低く、FBTIFF が 90%低い。

2.3.3 白色中性子線照射結果

図 2.15 に、 $V_{DD} = 1.2V$ における提案 FF の中性子起因の SEU rate (n-SER) を 95%信頼区間のエラーバーとともに示す。DICEFF の n-SER はほぼゼロであり、地上中性子に対して十分な耐性を持つことを示している。STDFF と比較すると、FBTIFF は $(Q, CLK) = (0, 0), (0, 1), (1, 0)$ においてソフトエラー耐性が向上しているが、一方で、 $(Q, CLK) = (1, 1)$ では Q_{crit} が不十分なため、STDFF より 49% 程度 SEU rate が高い。PLTGFF は $(Q, CLK) = (0, 1)$ および $(1, 0)$ においてソフトエラー耐性が向上しているが、 $(Q, CLK) = (0, 0)$ および $(1, 1)$ では耐性の向上が見られなかった。具体的には、PLTGFF の SEU rate は $(Q, CLK) = (0, 0)$ で STDFF より 7%大きく、 $(1, 1)$ では STDFF より 8%小さい。

表 2.1 より、 $(Q, CLK) = (1, 1)$ のとき、STDFF ではノード 2 の nMOS ドレイン領域で、PLTGFF ではノード 1' でソフトエラーが発生する。表 2.2 (a) より、 $(Q, CLK) = (1, 1)$ における PLTGFF の Q_{crit} は STDFF より小さい。CLK = 0 のときは、2.4.2 節で述べたように、測定ノードと (Q, CLK) の関係が STDFF と

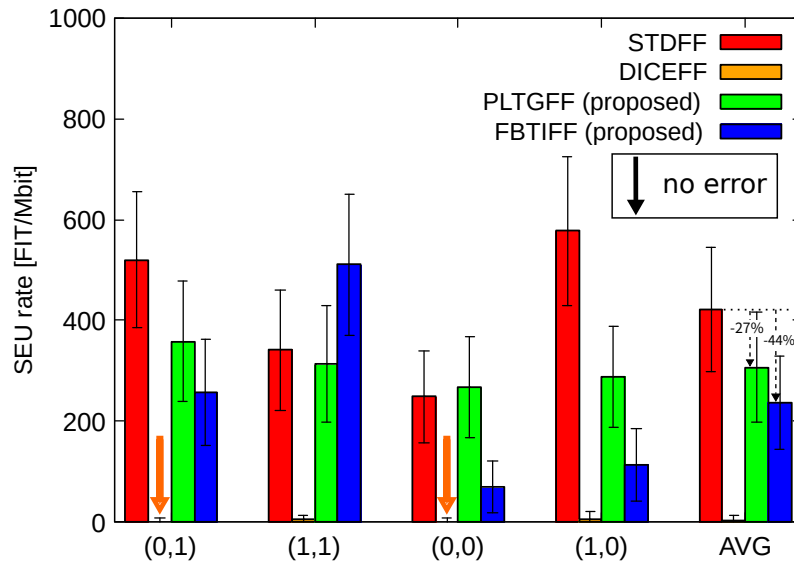


図 2.15: (Q, CLK)4 条件ごとの n-SER と平均 n-SER. エラーバーは 95%信頼区間を表す.

提案 FF で異なる. 図 2.16 に, STDFFF と提案回路間での (Q, CLK) の違いを考慮した n-SER の結果を示す. ノード 3 = 1 のとき, PLTGFF の n-SER は STDFFF より 54%小さく, FBTIFF は 88%小さい. 全体の SER は, STDFFF と比較して, PLTGFF が 27%小さく, FBTIFF が 44%小さい.

2.3.4 考察

2.3.4.1 ソフトエラー耐性の評価と要因分析

図 2.17 に, STDFFF, DICEFF, および提案 FF の α -SER と n-SER の合計を示す. 各 SER は 4 つの (Q, CLK) 条件の平均値である. すべての FF において, n-SER は α -SER より大きい値を示した. したがって, 本測定環境 (および一般的な地上環境) では, 中性子によるエラー率の方が α 粒子によるエラー率より支配的であるといえる.

文献 [52] では, α 粒子の LET が, 中性子の核破砕で生じる二次粒子より低いため, α -SER は n-SER より Q_{crit} に対する変化率が大きいと報告されている. そのため, 提案 FF の α 粒子照射に対する耐性の向上幅は, 中性子照射に対するものよりも 2 倍程度大きくなったと考えられる.

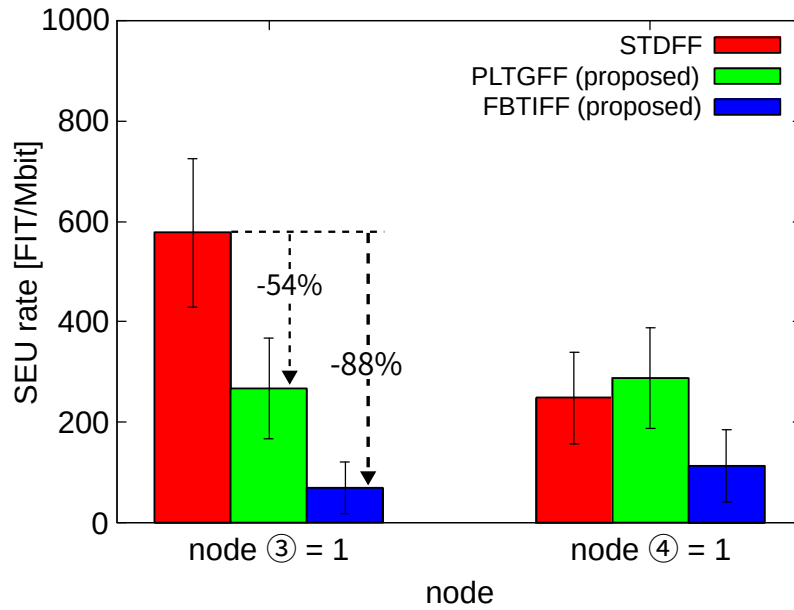


図 2.16: STDFFF と提案回路における (Q, CLK) の違いを考慮した n-SER の結果. STDFFF と提案回路の比較を容易にするため, 各ノードの値が1の場合のノード別エラー率を示す.

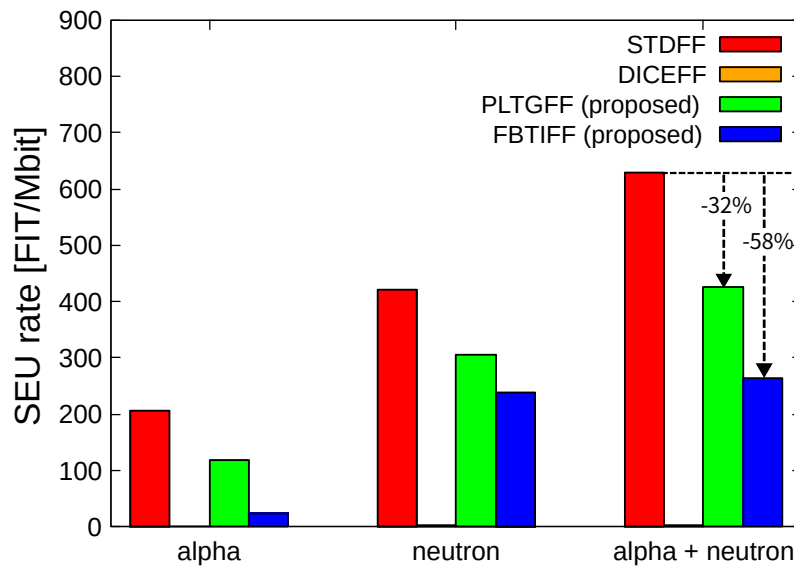


図 2.17: 平均 α -SER と平均 n-SER の合計.

DICEFF の α -および n-SER はほぼゼロであり, 極めて高いソフトエラー耐性を有している. 一方, 提案 FF は DICEFF ほどの完全な耐性は持たないものの,

STDFE と比較して PLTGFF は 32%, FBTIFF は 58%の SER 低減を達成した。

FBTIFF については、全体として高い耐性を示した一方で、 $(Q, CLK) = (1, 1)$ の条件においてのみ、SER が STDFE を上回ることが確認されている。これは、当該条件で反転に対して支配的となるノード 2 の nMOS の Q_{crit} が、回路構成上 STDFE より 1.8 fC 小さくなるのが主要因である。すなわち、FBTIFF の課題は $(Q, CLK) = (1, 1)$ 条件におけるノード 2 の局所的な Q_{crit} 低下に集約される。

この課題に対する改善手法として、ノード 1-2 間への OFF 状態のバストランジスタの追加が有効であると考えられる。1 章で述べたように、隣接ノード間にバストランジスタを追加することで、放射線突入時に収集された電荷を相互に分配 (チャージシェアリング) できる。これにより、ノード 2 における電位変動が緩和されるだけでなく、 $(Q, CLK) = (0, 1)$ に対応するノード 1 の電位変動も抑制されるため、結果として両ノードの実効的な Q_{crit} が増加する。このように電荷収集メカニズムを利用した回路構造を導入することで、FBTIFF の弱点を克服し、SER のさらなる低減が期待できる。

2.3.4.2 地上用途における費用対効果の評価

図 2.18 は、性能オーバーヘッドとソフトエラー耐性を 2 次元チャートで示したものである。SER の値は α -SER と n-SER の合計であり、SER と性能値 (面積・遅延・電力) は STDFE で正規化されている。図中の数値は原点からの距離を表し、値が小さいほど性能と信頼性のトレードオフが良いことを示す。

本評価において、性能 (面積, 電力, 遅延時間) と SER を対等に扱う理由は、本研究のターゲットが地上用途の民生品である点に基づく。宇宙用途のような極限環境では耐性の低下は許容できないが、コスト競争力が重視される地上製品においては、信頼性向上とコスト抑制は対等な設計目標となる。したがって、特定のパラメータに偏重しないこの距離指標による評価は、過剰なコスト増を排除し、実用上のバランスが最も優れた領域を特定するために妥当である。

図 2.18 より、DICEFF は最も高いソフトエラー耐性を持つ一方で、比較的大きな性能オーバーヘッドが生じる。地上環境では、提案 FF は DICEFF や STDFE と比較して、信頼性と性能のバランスが良い。特に、PLTGFF は面積の点で、FBTIFF は遅延の点で有利である。

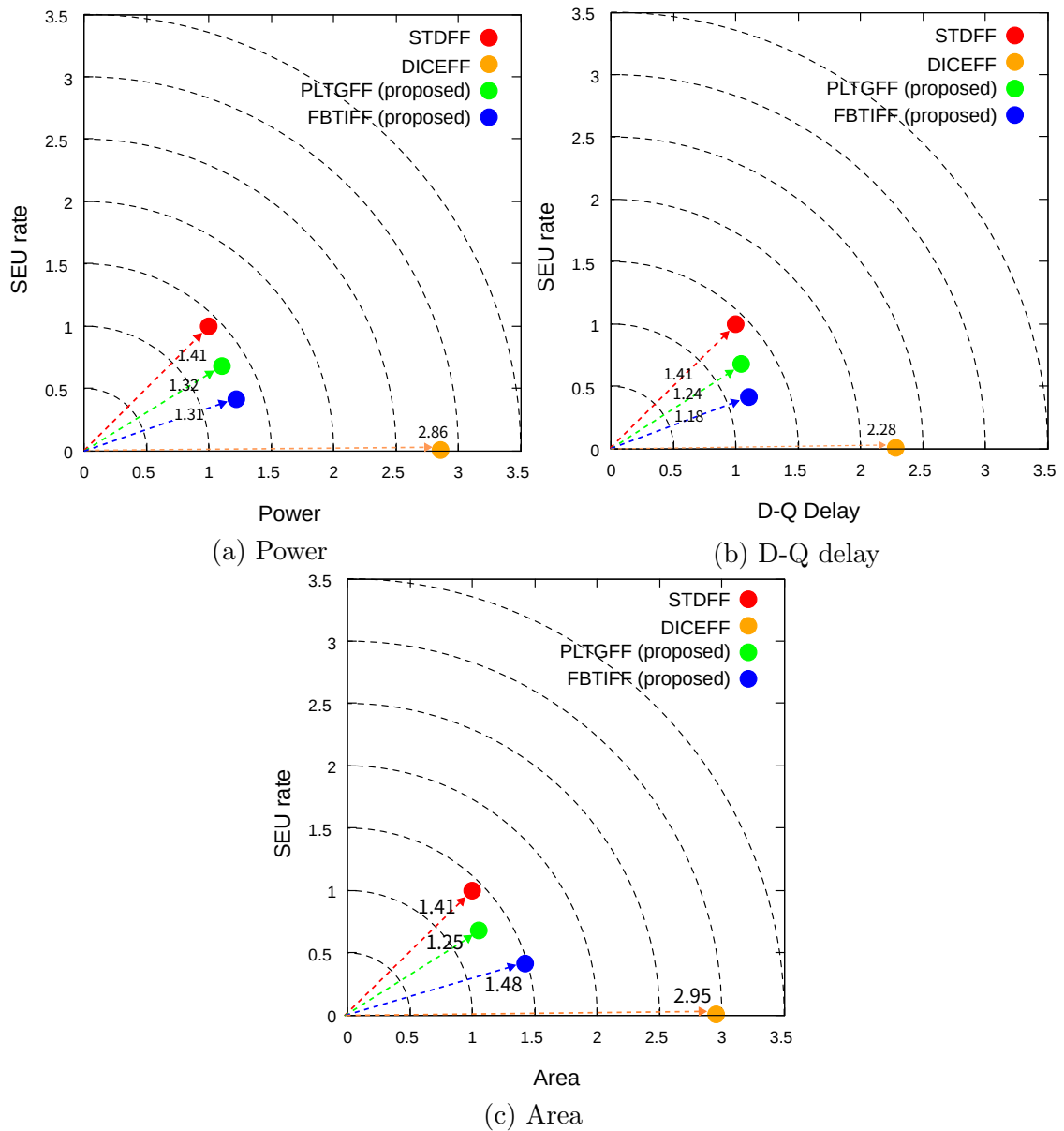


図 2.18: ソフトエラー耐性と各性能（面積，D-Q 遅延，電力）との 2 次元チャート．SEU rate は図 2.17 に示した合計値で，いずれも STDFF で規格化した．原点からの距離が小さいほど性能と信頼性のトレードオフが良い．

2.3.4.3 本手法の有効性

実測結果に基づき，部材コストおよびプロセス微細化の観点から本手法の有効性を議論する．

第一に、実装コストの低減に対する有効性である。本測定の結果、STDFに於ける n -SER は α -SER の約 2 倍であり、本研究想定環境下においては中性子がソフトエラーの主要因となった。しかし、これはパッケージ樹脂等からの α 線放出量が十分に低い ULA グレードを仮定した場合の結果である。実際の量産品において、コストダウンのために汎用的なモールド樹脂を採用した場合、 α 線放出量は 10 倍以上となり、 α 線が SER の支配的要因となる。このようなコスト重視の環境においてこそ、本手法の有効性が最大化される。FBTIF は α -SER を約 1/10 に、PLTGFF においても約 1/2 に低減させた。これらの耐性向上手法により、汎用樹脂の使用に伴い α 線が急増した場合でも、SER の増大を効果的に抑制できる。高純度材を使用する場合と比較して、汎用材を使用する場合の方が、全 SER に占める α 線成分の割合が大きくなるため、本手法による SER 削減効果は飛躍的に高まる。したがって、本手法は、信頼性を維持しつつ高価な対策部材を安価な汎用材に置き換えることを可能にし、民生用 LSI における大幅なコストダウンが期待できる。

第二に、微細化プロセスに対する適合性である。近年の微細プロセスでは電源電圧のスケーリングが停滞傾向にあるため、微細化が進んでも Q_{crit} の低下は限定的であると考えられる。このように Q_{crit} の低下が抑制される状況下においては、本手法によるソフトエラー耐性の向上効果も損なわれることなく、十分に発揮されることが期待できる。すなわち、 Q_{crit} の急激な低下が抑制される微細プロセスにおいて、標準的なレイアウトのまま高い信頼性を確保できる本手法は、実装効率と耐性のバランスに優れた有効な選択肢となり得る。

2.4 まとめ

本章では、地上環境におけるソフトエラー対策として、冗長化に依らず、性能オーバーヘッドと耐放射線性のバランスを考慮した耐ソフトエラー FF を検討した。従来の冗長化 FF は、ソフトエラーに対して高い耐性を有する一方で、トランジスタ数の増加に伴い、面積、遅延、および消費電力が大きくなるという課題がある。

本研究では、追加のトランジスタおよび配線を用いた回路トポロジの変更により、FF 内部の脆弱ノードにおける Q_{crit} を増加させる手法を用いた。PLTGFF では、PL におけるクロックインバータをトランスミッションゲートとインバー

タに分割し、出力インバータの接続位置を変更する回路トポロジを採用することで、STDFE と同一のトランジスタ数のまま、脆弱ノードの Q_{crit} を増加させた。FBTIFE では、pMOS パストランジスタの追加による Q_{crit} の増加に加え、nMOS トランジスタの追加により静的電力の抑制も実現した。提案 FE は、従来の多重化回路と比較してトランジスタ数が少なく、面積、遅延、および消費電力の増加を抑制できる。回路シミュレーションの結果、D-Q 遅延の増加は 10%以下に抑えられ、性能オーバーヘッドは DICEFE と比較して小さいことを確認した。

さらに、提案 FE を 65 nm バルクプロセスで試作し、 α 線および中性子照射試験を実施した。その結果、PLTGEF では約 32%、FBTIFE では約 58% のソフトエラー率の低減を確認した。提案 FE は DICEFE ほど高いソフトエラー耐性は有さないものの、非多重化構造のままソフトエラー率を低減できる点に特徴があり、信頼性と性能のトレードオフの観点で DICEFE および STDFE よりも優れていることをソフトエラー耐性と性能との 2次元チャートにより示した。

以上の知見から、本手法はソフトエラーに対して強靱な多重化 FE と、無防備な STDFE との間を埋める、コスト対効果に優れた選択肢であると結論付けられる。特に、実測で示された高い α 線耐性は、安価な汎用パッケージ樹脂の採用を許容するため、民生用 LSI の部材コスト削減に直接的に寄与する。さらに、電源電圧のスケーリング停滞により物理的な耐性が維持される近年の微細プロセスにおいて、過度なレイアウト制約を伴わずに信頼性を確保できる本手法は、実装効率と信頼性のバランスに優れた有効な選択肢となり得る。

第3章 宇宙向け耐ソフトエラーフリップフロップの提案と実測評価

3.1 まえがき

1章および2章で述べたように、ターゲットとする環境に応じた回路設計は、信頼性確保に必要なトータルコストを抑制するために不可欠である。宇宙空間においてソフトエラーの主要因となるのは高LETを有する重イオンであるため、地上よりも遥かに高い耐性が要求される。そのため、宇宙用LSIの開発には、従来のバルクプロセスと比較して本質的に放射線耐性に優れた製造プロセスの採用が有効である。FD-SOIプロセスはその構造的特徴により高い放射線耐性を有するため、宇宙機向けプロセッサに採用されている [53]。

しかし、FD-SOIであっても寄生バイポーラ効果によりソフトエラーが発生する。FD-SOIではスタック構造が特に有効であり、多重化回路を用いなくても効果的に耐性向上が可能である。しかし、全ての論理ゲートをスタック構造に置き換えると、遅延時間が増加する。この問題を解決するために、Dual Feedback Recovery FF (DFRFF) が提案されている [54][55]。DFRFFは遅延時間のオーバーヘッドを抑えながら、ガードゲート (GG) 構造により短いSETパルスを除去する点が特徴である。しかし、GG構造は高LET環境で発生する長いSETパルスを十分に抑制できず、GG遅延を伸ばせばソフトエラー耐性は向上するものの面積・消費電力が増大するというトレードオフが存在する。

本章では、宇宙環境において必須となる高いソフトエラー耐性を維持しつつ、性能オーバーヘッド (実装コスト) を最小化する耐ソフトエラーFFを提案することを目的とする。22 nm および 65 nm FD-SOIで設計したDFRFFおよびGG遅延を増やしたDFRFFLDに重イオン照射を行い、ソフトエラー耐性を評価する。その結果をもとにソフトエラー耐性と性能オーバーヘッドの抑制を両立したIRPSFFを提案し、ソフトエラー耐性を評価する。

表 3.1: 22/65 nm FD-SOI のデバイスパラメータ.

Technology node	Gate length [nm]	Body thickness [nm]	BOX thickness [nm]
22 nm	28	12	20
65 nm	65	12	15

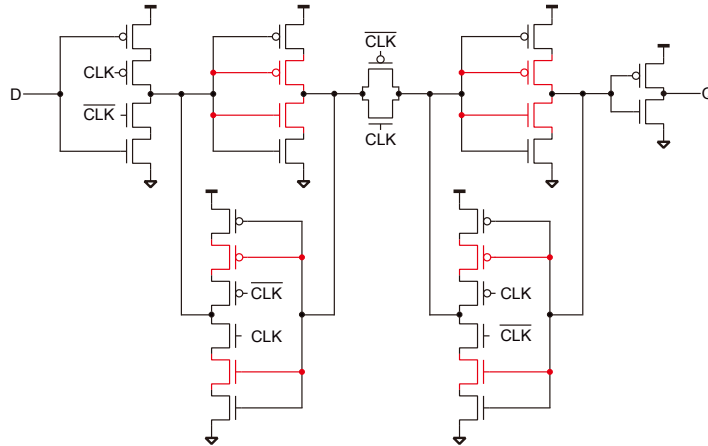
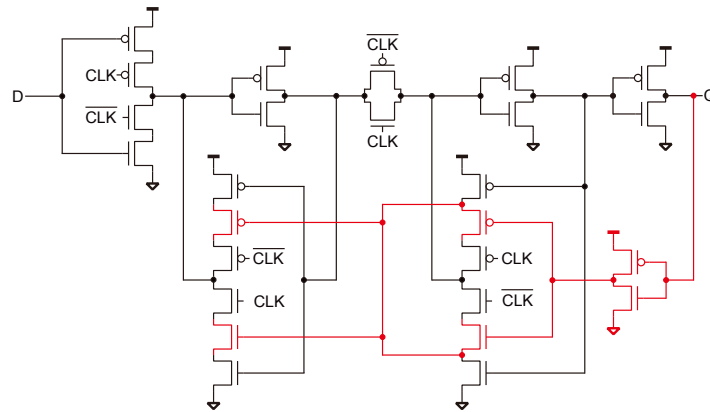


図 3.1: Stacked FF. 赤色のトランジスタと配線は STDFF に追加されたものである. ラッチ内のインバータを構成するトランジスタはスタック構造である.

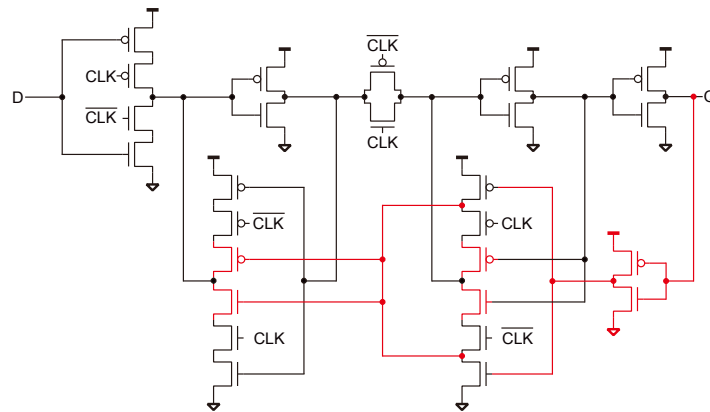
3.2 測定回路

本研究では, 22 nm および 65 nm thin-BOX FD-SOI プロセスにおいて, 標準フリップフロップ (STDF) および 2 種類の耐放射線フリップフロップ (DFRFF, DFRFFLD) の計 3 種類の FF を設計した. 22 nm プロセスでは, 65 nm プロセスにおける従来のウェル構造の代わりに, フリップウェル構造が採用されている [26]. フリップウェル構造では, pMOS および nMOS トランジスタのボディバイアスが通常 0 V (フォワードボディバイアス) に設定されているため, 従来構造と比較して pMOS トランジスタの性能が高い. 表 3.1 に, 22 nm および 65 nm プロセスのパラメータを示す [56][57]. 22 nm プロセスでは, 全ての FF にリセットおよびスキャン入力ピンを有するが, 65 nm プロセスの FF にはこれらのピンはない.

図 3.1 にスタック構造を採用した耐放射線 FF である Stacked FF を示す [37]. Stacked FF は, スタックトインバータおよびスタックトトライステートインバータを含むラッチで構成される. 1.3.3.1 節で述べたように, SOI における



(a) 従来型 [55].

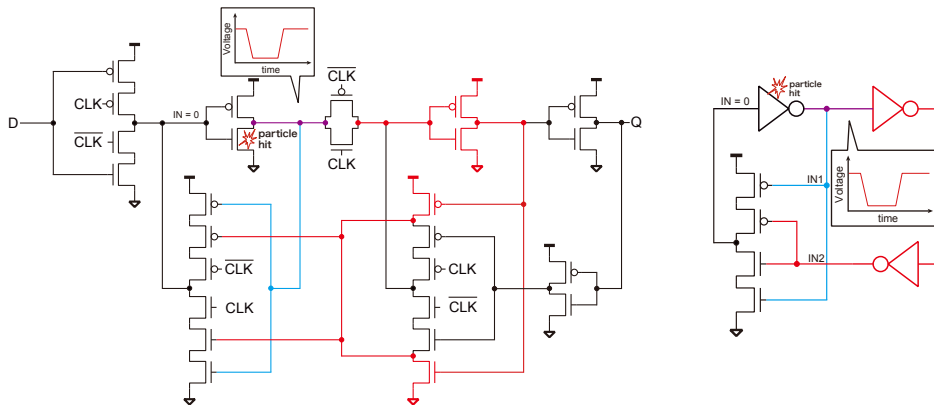


(b) 改良型.

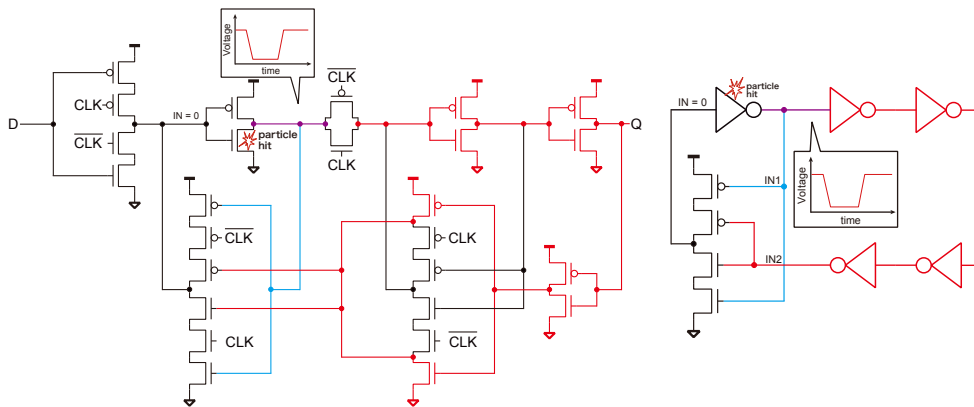
図 3.2: Dual feedback recovery flip-flop (DFRFF). 赤色のトランジスタと配線は STDFF に追加されたものである. 入力 D と出力 Q の間にあるインバータがスタック構造でないため, Stacked FF と比べて遅延オーバーヘッドが小さい.

スタック構造は, ソフトエラーの主要因である寄生バイポーラ効果 (PBE) を抑制する. しかし, Stacked FF は STDFF より性能が低く, 特に遅延時間は STDFF の約 2 倍であると報告されている [39][58].

図 3.2 に, Dual Feedback Recovery Flip-Flop (DFRFF) を示す. DFRFF は, 遅延, 面積, および電力のオーバーヘッドが小さい耐放射線フリップフロップである [55]. DFRFF 内の GG 構造はソフトエラーを抑制するが, DFRFF 内の GG 構造の遅延 (GG 遅延) は短く, 宇宙空間での重イオンにより発生する長い SET パルスを防ぐには, GG 遅延を長くする必要がある. 本研究では, 図 3.3 に示すよ



(a) 従来型 [55].



(b) 改良型.

図 3.3: DFRFF の PL における GG 構造. 赤線と青線は信号経路を示している. (a) の従来型に比べて (b) の改良型では赤色の信号経路が長いため, より時間幅が広い SET パルスを除去可能である.

うに, SL の C-element の入力を入れ替えることで, PL の GG 遅延を文献 [55] よりも増加させている. さらに, 図 3.4 に示すように, 本研究の DFRFF では, 文献 [55] の DFRFF と比較して修正されたスタック構造を採用している. CLK 入力を持つ ON 状態の nMOS トランジスタが, 2つの OFF 状態の nMOS トランジスタの間に配置されることで, 放射線粒子が 2つの OFF 状態トランジスタに同時に当たることを防ぐ.

図 3.5 に, DFRFF より長い GG 遅延を持つ Dual Feedback Recovery Flip-Flop with Long Delay (DFRFFLD) を示す. DFRFFLD は, 2段のインバータを遅延

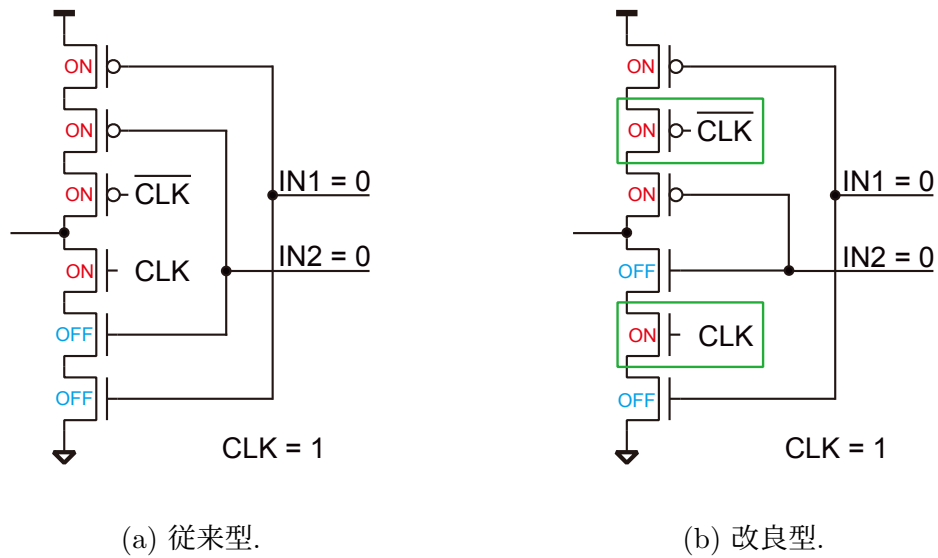


図 3.4: 2種類の C-element. 緑色の枠内のトランジスタは常にオン状態であり, 放射線粒子が2つのオフ状態のトランジスタに同時に入射することを防ぐ.

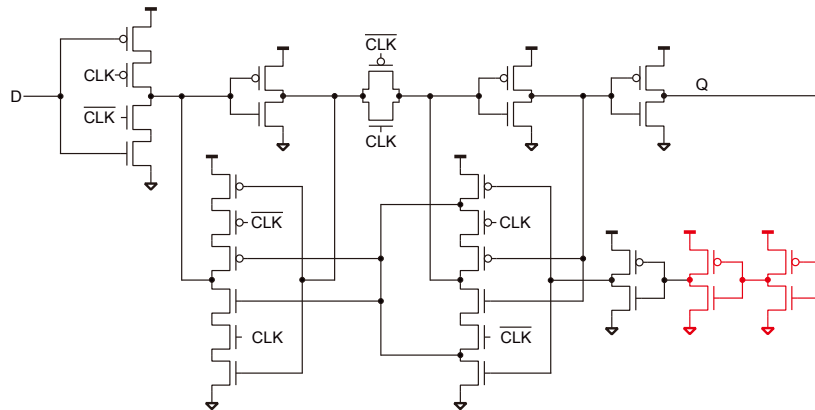


図 3.5: DFRFFLD. 赤色のインバータは DFRFF に追加された GG 遅延素子である.

素子として追加することで GG 遅延を増加させている. 22 nm プロセスでは, 出力インバータが GG 遅延素子の外側に配置されている.

表 3.2 に, 22 nm および 65 nm プロセスにおける STDFFF, DFRFF, および DFRFFLD の面積, セットアップ時間, ホールド時間, CLK-Q 遅延, および活性化率 10% 条件下における電力消費のシミュレーション結果を示す. 電源電圧 (V_{DD}) は,

表 3.2: 回路シミュレーションによる各 FF の性能評価結果. 全ての値は STDF の値で規格化した.

		Area	Setup time	Hold time	CLK-Q delay	Static power	Dynamic power
22 nm	STDF	1.00	1.00	-1.00	1.00	1.00	1.00
	DFRFF (Proposed type)	1.94	1.57	6.36	2.16	1.66	1.47
	DFRFFLD	2.05	1.37	0.91	2.22	1.61	1.60
65 nm	STDF	1.00	1.00	-1.00	1.00	1.00	1.00
	DFRFF (Conventional type)	1.18	1.21	-1.27	1.04	1.11	1.02
	DFRFF (Proposed type)	1.18	1.17	-1.27	1.16	1.10	1.09
	DFRFFLD	1.35	1.13	-1.21	1.15	1.24	1.08

22 nm で 0.8 V, 65 nm で 1.2 V に設定した.

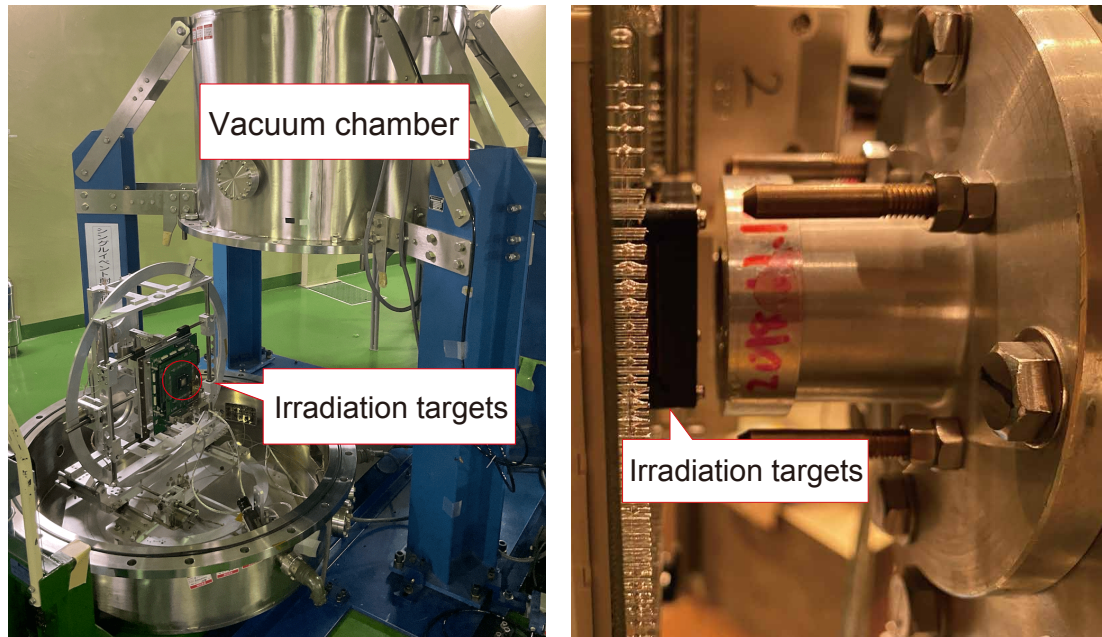
65 nm の DFRFF において, 改良型の性能オーバーヘッドは従来型と概ね等しく, CLK-Q 遅延のオーバーヘッドは約 10%に抑えられている. 65 nm では, DFRFF および DFRFFLD の動的電力オーバーヘッドはいずれも 10%未満である. DFRFF と DFRFFLD を比較すると, 遅延および動的電力に大きな差はないが, 追加された遅延素子により, DFRFFLD の面積および静的電力のオーバーヘッドは DFRFF より大きくなる.

22 nm では, 65 nm とは異なり, 全ての性能オーバーヘッドが大きい. これは, 厳格な設計ルールによるものであり, 著しく大きな面積オーバーヘッドは, DFRFF および DFRFFLD の C-element 内に存在するダミートランジスタによるものである. これらのダミートランジスタはデザインルールの制約により挿入が必須となるため, 結果としてセル面積が増大する. 22 nm では, 他プロセスで低オーバーヘッド型の耐放射線フリップフロップであっても性能オーバーヘッドが大きく, DICE のような大きなオーバーヘッドを持つ耐放射線フリップフロップでは, さらに大きな性能低下が生じることを意味する.

3.3 既存および改良型回路の重イオン照射による耐性評価と課題

3.3.1 測定条件

全てのフリップフロップ (FF) をシフトレジスタとしてテストチップに実装し, 22 nm および 65 nm FD-SOI プロセスで試作した. 重イオン照射試験は, Takasaki Ion Accelerators for Advanced Radiation Application (TIARA) および Cyclotron



(a) Ar, Kr (TIARA)

(b) Xe (CYRIC)

図 3.6: 重イオン照射. TIARA では重イオンビームが大気中で減衰するのを防ぐため真空チャンバを用いた. CYRIC では大気照射であるため, 測定対象を出射膜から 5 mm の位置まで近づけ, 大気中での減衰を最小限に留めた.

表 3.3: 重イオンのエネルギーと Si に対する LET.

	Ar	Kr	Xe
LET [MeV · cm ² /mg]	15.8	40.3	67.2
Energy [MeV]	137	289	454

and Radioisotope Center (CYRIC) において, アルゴン (Ar), クリプトン (Kr), およびキセノン (Xe) の重イオンを用いて実施された.

重イオン照射試験の実験セットアップ, 照射した重イオンの LET およびエネルギー, 宇宙空間における重イオンの存在確率をそれぞれ図 3.6, 表 3.3, 図 3.7[16] に示す. 宇宙空間では, 40 MeV · cm²/mg を超える粒子の数は, 40 MeV · cm²/mg 未満の粒子と比べて非常に少ない. 中性子が Si に衝突して生成される二次イオンの大部分は 18 MeV · cm²/mg 以下であり, これは Ar の LET に近い [13].

測定手順は以下の通りである.

1. 全ての FF を 0 または 1 で初期化する.

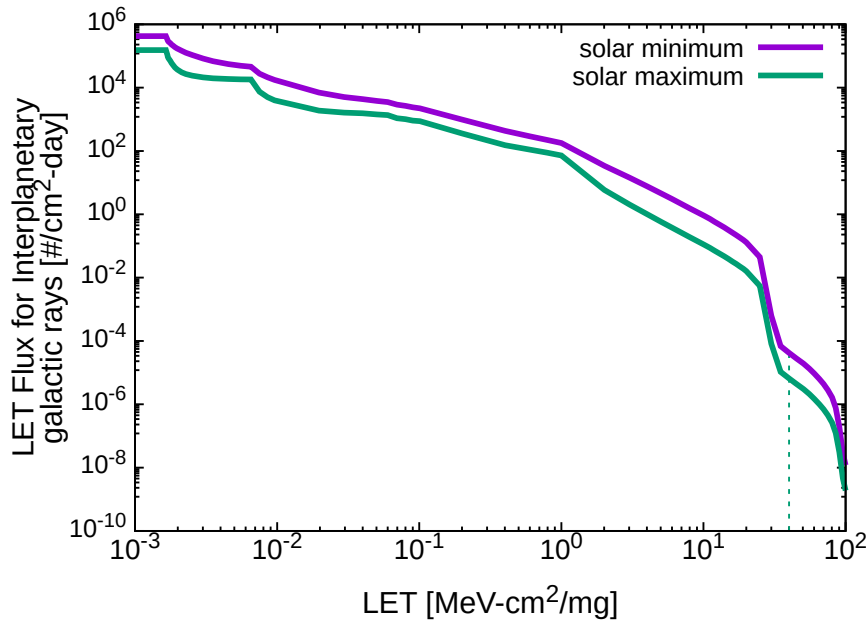


図 3.7: 宇宙空間における重イオンの LET 分布 [16]. 破線は $40 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ を示している。

2. クロック信号を 0 または 1 に固定した状態でイオンを照射する。
3. 全ての FF を読み出す。

照射試験は、 $(Q, \text{CLK}) = (0, 0), (0, 1), (1, 0), (1, 1)$ の 4 つの静的条件で実施した。照射時間は 1 回あたり 30 秒とし、試行回数は Ar (22/65 nm), Kr (65 nm) で 10 回, Kr (22 nm) で 7 回, Xe (22 nm) で 20 回である。 V_{DD} は 22 nm では 0.8 V, 65 nm では 1.2 V に設定した。

本章では、ソフトエラー耐性の評価指標として CS (Cross Section) を使用した。第 2 章で用いた SER [FIT/Mbit] は、規格化された地上中性子フラックスに基づく指標である。これに対し、宇宙環境における放射線フラックスは、ミッションの軌道 (高度, 傾斜角), 太陽活動, および機体の遮蔽条件によって大きく変動するため、一意な SER を算出することが困難である。そのため、特定の環境条件に依存しない、デバイス固有のソフトエラー感度を表す指標として CS を採用した。CS は式 (3.1) により算出される。

$$\text{CS} [\text{cm}^2/\text{bit}] = \frac{N_{\text{error}}}{N_{\text{FF}} \times N_{\text{ion}} \cos \theta} \quad (3.1)$$

ここで, N_{error} はエラー数, N_{FF} は FF 数, N_{ion} は単位面積あたりの有効重イオンフルエンス (cm^{-2}), θ は重イオンの照射角度である [59]. 本測定では, 重イオンはテストチップに対して垂直方向 ($\theta = 0^\circ$) から照射した.

3.3.2 測定結果

図 3.8 および 3.10 に, 22 nm および 65 nm における CS の実測結果を 95%信頼区間のエラーバーと共に示す. V_{DD} は 22 nm では 0.8 V, 65 nm では 1.2 V に設定した. 本研究では, FD-SOI プロセスにおいて, ソフトエラーの 90%以上が nMOS トランジスタへの重イオン入射によって発生することから, SET パルスは nMOS トランジスタのみで発生すると仮定している [60].

3.3.3 22 nm プロセスの実測結果

(Q, CLK) = (0, 0) の条件では, SL 内の GG 遅延が短いため, DFRFF のソフトエラー耐性は STDFE と同等である. したがって, DFRFF よりも多くの遅延素子を持つ DFRFFLD では, ソフトエラー耐性が向上した. 特に, Ar と Kr 照射下においては DFRFFLD ではエラーが発生しなかった.

DFRFFLD は Xe 照射下において, (Q, CLK) = (0, 1) および (1, 0) の条件でもエラーが発生しなかった. (Q, CLK) = (0, 0) の条件における DFRFFLD のソフトエラー耐性は, 全ての (Q, CLK) 条件の中で最も脆弱である. しかし, この場合においても, DFRFFLD のソフトエラー耐性は STDFE の 720 倍以上である.

図 3.8(c) に示すように, 全 (Q, CLK) 条件の平均において, DFRFFLD のソフトエラー耐性は STDFE の 1800 倍に達する. したがって, DFRFFLD の GG 構造は, 22 nm プロセスにおいて宇宙用途に必要な高いソフトエラー耐性を確保する上で有効である.

3.3.4 65 nm プロセスにおける DFRFF の従来型と改良型の比較

文献 [55] における DFRFF と改良型の Kr 照射結果の比較を図 3.9 に示す. (Q, CLK) = (1, 1) の条件では, PL の GG 遅延の増加により, 改良型の CS は減少している. (Q, CLK) = (1, 0) では, 図 3.4 に示す C-element の改良により CS が減少している. (Q, CLK) = (0, 0) では, SL の GG 遅延の増加により CS が減少している. 従来型の GG 遅延は 25.7 ps であり, これに対して改良型は 26.5 ps であ

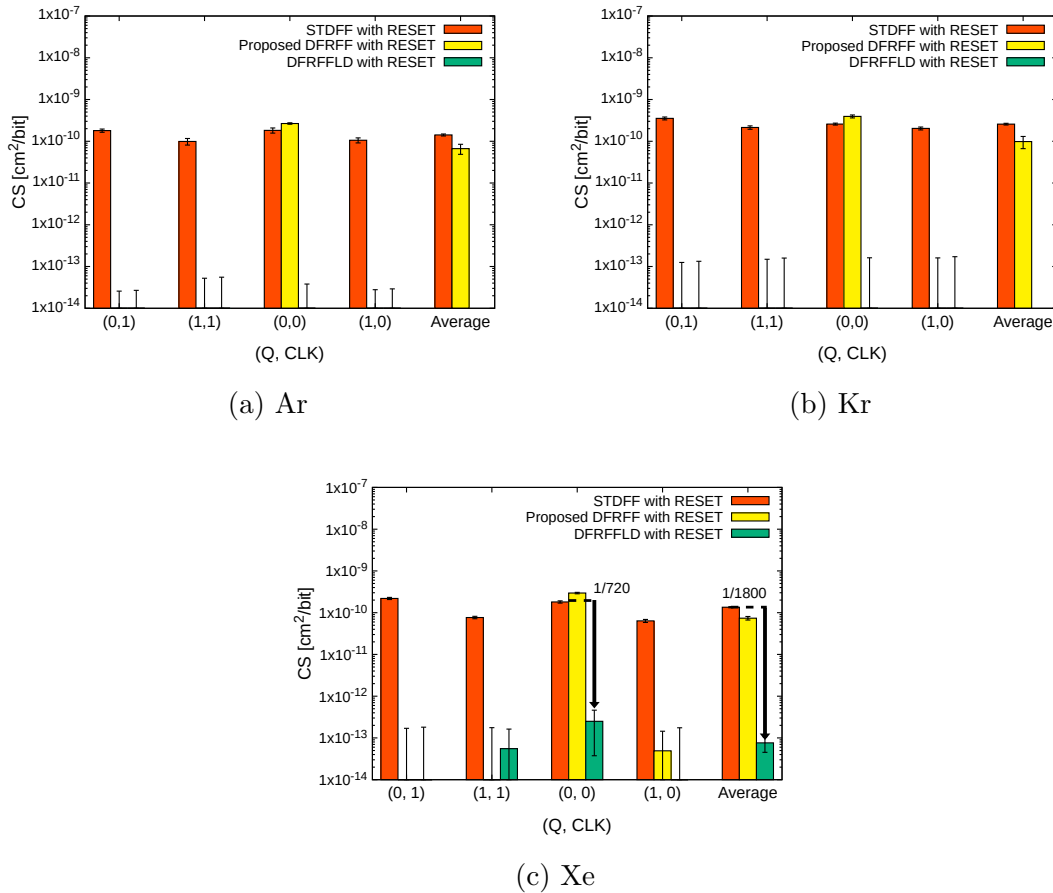


図 3.8: 22 nm プロセスにおける Ar, Kr, Xe 照射時の CS 測定結果. エラーバーは 95%信頼区間を示す. 電源電圧は 0.8 V に設定した.

る. GG 遅延素子の段数は変更していないが, C-element の配線経路の変更に伴う寄生成分の変化によって, GG 遅延が増加した. $(Q, CLK) = (0, 1)$ の条件では, C-element が変更されたにもかかわらず, 改良型の CS は従来型から変化していない. その理由については, 次節で述べる.

3.3.5 65 nm プロセスにおける DFRFFLD と DFRFF の比較

図 3.10 に, DFRFFLD と改良型 DFRFF の CS 測定結果の比較を示す. $(Q, CLK) = (0, 1)$ の条件では, 図 3.10(a) に示すように, Ar 照射下において DFRFF および DFRFFLD のソフトエラー耐性は, STDF の 200 倍以上であった. 一方, 図 3.10(b) に示すように, Kr 照射下では両者のソフトエラー耐性は

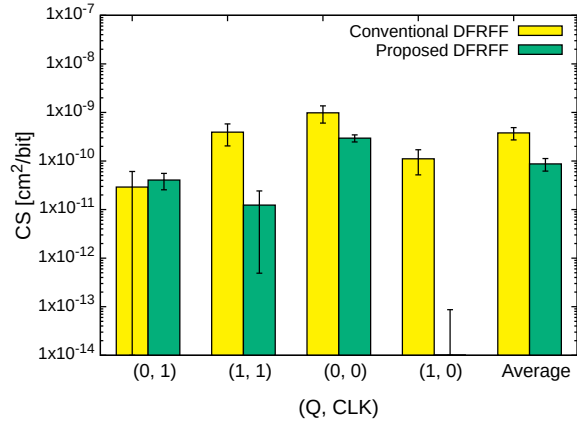


図 3.9: 従来型および改良型 DFRFF の Kr 照射結果比較. エラーバーは 95%信頼区間を表す. GG 遅延の増加と C-element の改良により, 平均 CS は約 77%低減した.

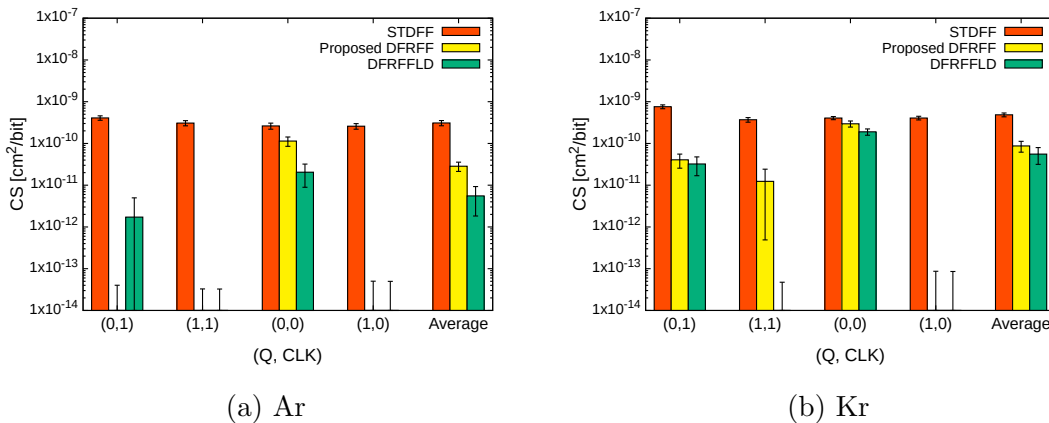


図 3.10: 65 nm プロセスにおける Ar, Kr 照射時の CS 測定結果. エラーバーは 95%信頼区間を示す. 電源電圧は 1.2 V に設定した.

STDF の約 20 倍にとどまった.

SET パルスは, PL のフィードバックゲート出力, または D 端子のクロックインバータで発生する. ただし, フィードバックゲートはスタックトランジスタで構成されているため, SET パルスは発生しない. 加えて, 22 nm プロセスでは, 図 3.11 に示すように, トランSMissionゲートが PL の入力に接続されており, エラーは観測されなかった. 同様に, SL についても同一の入力構成を有しており, エラーは観測されなかった. したがって, 65 nm プロセスにおける SET パル

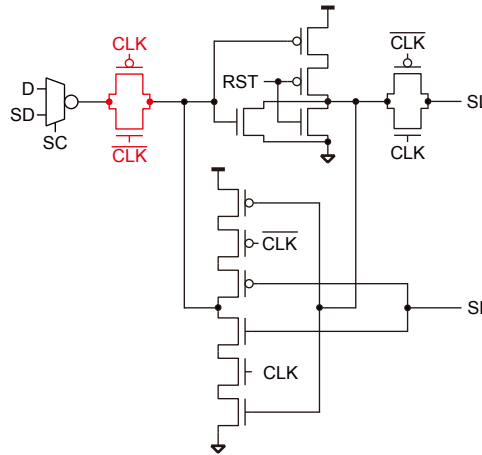


図 3.11: 22 nm プロセスにおける DFRFF と DFRFFLD の PL.

スは、D 端子のクロックインバータで発生しているため、 $(Q, CLK) = (0, 1)$ 条件下での DFRFF と DFRFFLD の CS の変化は見られなかったと考えられる。

Ar 照射下では、Kr よりも LET が低いため、生成される電荷量が減少し、結果として DFRFFLD の耐性は STDFFF の 200 倍以上となった。生成電荷量が減少すると、nMOS トランジスタのボディ層に蓄積される正孔量も減少する。そのため、チャネル電位が変化する領域が小さくなり、隣接トランジスタで寄生バイポーラ効果 (PBE) が発生しにくくなる。さらに、 $(Q, CLK) = (0, 1)$ 条件下において、D 端子のトライステートインバータ内の両方の nMOS トランジスタは OFF 状態であり、スタック構造と等価になる。したがって、放射線耐性を向上させるためには、D 端子のクロックインバータを、SL と同様にインバータとトランスミッションゲートに分割する必要がある。

$(Q, CLK) = (1, 1)$ の条件では、DFRFFLD は、DFRFF よりも 2 段多くのインバータを GG 遅延素子として有しているため、65 nm プロセスにおいてエラーが発生しなかった。一方で、 $(Q, CLK) = (0, 0)$ では、SL 内の GG 遅延が不十分であるため、65 nm プロセスでは DFRFF および DFRFFLD はいずれも STDFFF と同程度に脆弱である。特に、Kr 照射下における 65 nm プロセスの DFRFFLD のソフトエラー耐性は STDFFF の約 2 倍にとどまっているため、65 nm プロセスにおける DFRFFLD には、GG 遅延素子としてインバータをさらに追加する必要がある。

図 3.12 に、65 nm プロセスにおける Kr 照射下での GG 遅延と CS の関係を示

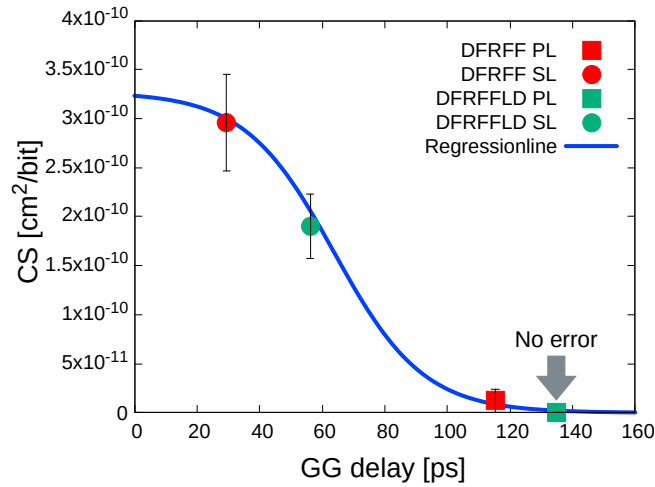


図 3.12: 65 nm プロセスにおける DFRFF および DFRFFLD の GG 遅延と Kr 照射時の CS の比較. DFRFFLD の PL における GG 遅延は 135 ps であり, エラーは観測されなかった.

す. CS の値は, 図 3.10(b) に示したものと同一である. なお, SPICE モデルの更新により GG 遅延の値が文献 [61] の値と 10 ps 程度異なる. DFRFFLD の PL における GG 遅延が 135 ps のとき, エラーは観測されなかった. 青線は式 (3.2) に示すフィッティング関数である.

$$\text{CS} [\text{cm}^2/\text{bit}] = \frac{3.27 \times 10^{-10}}{1 + \exp\{0.07 \times (\text{GGdelay} [\text{ps}] - 63.8)\}} \quad (3.2)$$

Stacked FF と比較すると, 文献 [9] では Kr 照射において Stacked FF でエラーが発生していないが, 信頼区間が $2 \times 10^{-12} \text{ cm}^2/\text{bit}$ 程度である. 式 (3.2) を用いて, CS が $2 \times 10^{-12} \text{ cm}^2/\text{bit}$ となる GG 遅延を算出すると, 137 ps となる. 以上より, 65 nm プロセスにおいて Kr によるエラーを防ぐためには, GG 遅延を 137 ps より長くする必要がある. しかし, DFRFFLD に GG 遅延素子を更に追加すると, 面積および消費電力のオーバーヘッドが増大するという課題がある.

3.4 提案回路

従来の DFRFF および DFRFFLD は, Kr や Xe といった高 LET 重イオン照射によって生成される長い SET パルスに対して, GG 遅延が不足していることが明らかになった. しかし, DFRFFLD のように GG 遅延を単純に拡張しようとする

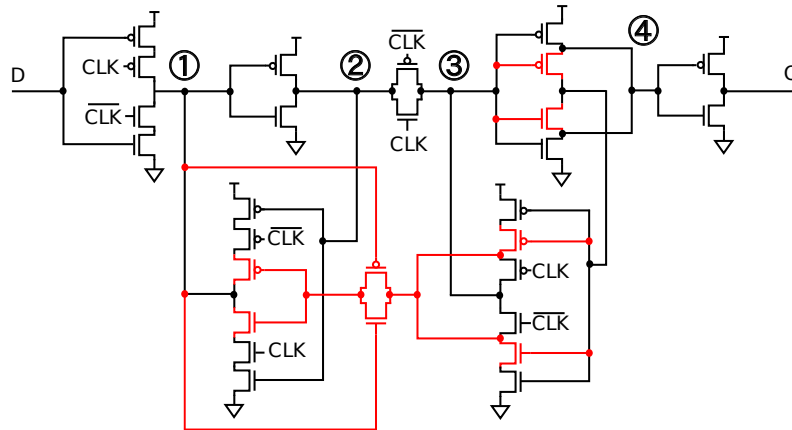


図 3.13: 提案 FF:IRPSFF. 赤色のトランジスタと配線は STDFF に追加されたものである. PL には GG 構造を, SL には RSR 構造を採用した.

と, 遅延素子の増加に伴い面積および消費電力のオーバーヘッドが増大するという課題がある. 本節では, このトレードオフを解消し, 低オーバーヘッドで高いソフトエラー耐性を実現する回路として, Improved Recovery-Path Structured FF (IRPSFF) を提案する.

3.4.1 Improved Recovery-Path Structured FF (IRPSFF)

セカンダリラッチに対する GG 遅延を設けずにソフトエラー耐性を改善する回路を提案する. 図 3.13 に提案回路 Improved Recovery-Path Structured FF (IRPSFF) を示す. DFRFF についても図 3.14 に示すように出力インバータの接続ノード変更を行った. 図 3.2 では出力 Q から配線を帰還してガードゲートを構成していたが, 出力 Q に接続した負荷の影響を受け, 後段の回路によって GG 遅延が変わるためである.

IRPSFF の DFRFF からのアップデートは以下の通りである.

3.4.1.1 セカンダリラッチの変更

DFRFF では, SL がガードゲート (GG) 構造を採用しており, 短い SET パルスをフィルタリングする. しかし, 高 LET 条件下では, 従来の GG 構造では長い SET パルスを完全には抑制できない. GG 経路に遅延素子を追加することでこれを緩和できるが, 面積と消費電力の増加を招く. IRPSFF では, GG ベースの SL を, RSR (reduce-sensitive-range) インバータ [38] とスタックトインバータの組み

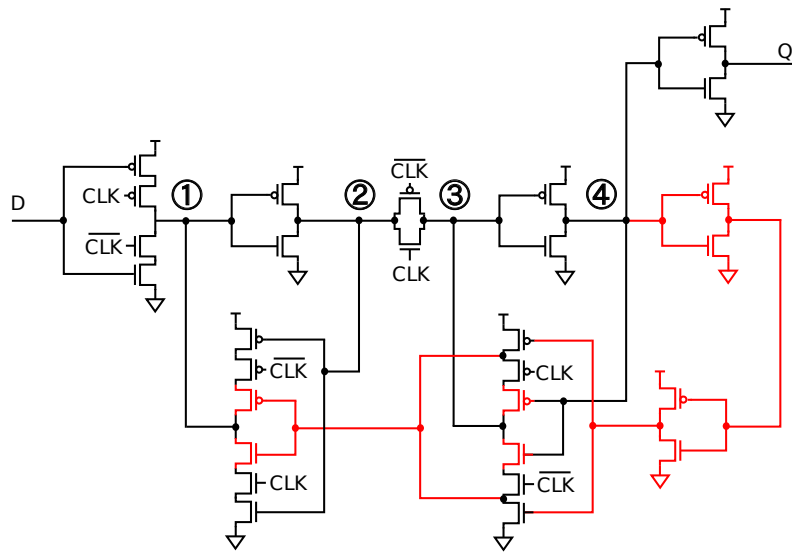


図 3.14: 出力インバータを追加した DFRFF.

合わせに置き換えている．D-Q 信号経路上のインバータは RSR 構造を採用しており，スタックされたトランジスタ間で拡散領域を接続し，配線を介して補償電流が流れることで，ソフトエラー耐性を向上させる．図 3.15 に示すように，RSR インバータの内部ノードは出力インバータに接続されており，これにより遅延の増加を抑制できる．

3.4.1.2 GG 遅延の強化

GG 遅延の設計目標値は 3.3.5 節に示した図 3.12 を基に算出する．ただし，図 3.12 は Kr 照射下で得られた結果である．ECSS の放射線耐性保証規格 [17] では， $LET = 60 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 以上の放射線耐性が要求されるため，Kr 照射下 ($LET = 40 \text{ MeV} \cdot \text{cm}^2/\text{mg}$) における設計目標値では十分に SET パルスを除去することができない．文献 [62] では，Xe 照射下での SET パルス幅が Kr 照射時の約 1.2 倍になると報告されている．3.3.5 節で述べた Kr 照射下において十分な耐性を得るのに必要な GG 遅延が 137 ps であるため，Xe 照射下ではおよそ 165 ps の GG 遅延が必要であると推測される．

提案回路では長い SET パルスに対する耐性を向上させるために，PL における GG 経路を改良している．図 3.16 に示すように，GG 遅延を増加させるためにパストランジスタを遅延素子として挿入している．各パストランジスタは，SET パルスの影響を受けにくいスタックトフィードバック経路の出力であるノード 1 から

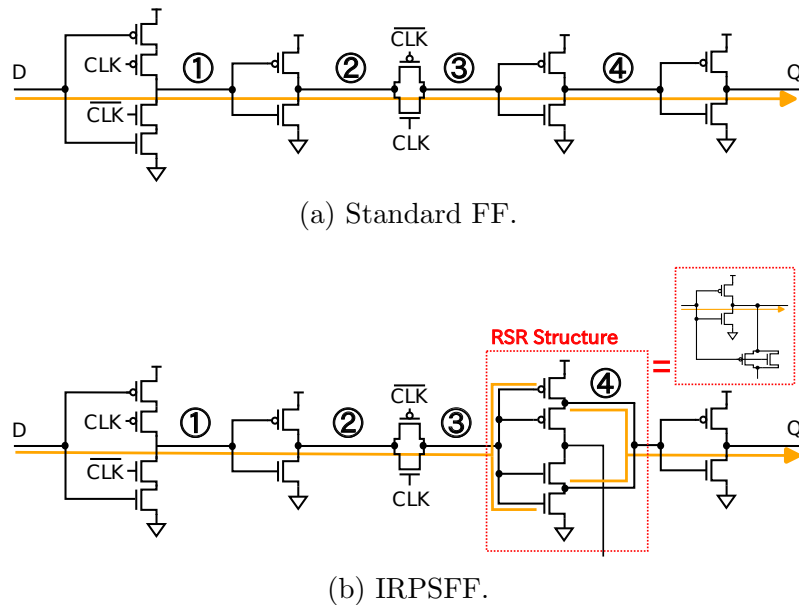


図 3.15: D から Q までの信号経路. (b) に示す IRPSFF は SL に RSR 構造を用いている. RSR インバータの内部ノードが出力インバータに接続されているため, STDFE と同じ段数のインバータで信号経路を構成できる.

入力を受ける. したがって, ノード 1 は GG 経路に対する信頼性の高い制御ノードとして機能する. 従来の FF では, GG 遅延素子はインバータまたはバッファで構成されている. パストランジスタは GG 遅延を増加させるだけでなく, GG 経路を通過する SET パルスの振幅も減衰させる. 回路シミュレーションにより算出した IRPSFF の GG 遅延は 162 ps であり, 設計目標値である 165 ps に近づけることができた.

3.4.2 性能評価

ポストレイアウトシミュレーションを実施し, 他の耐放射線性 FF と比較した. シミュレーションは標準電源電圧 1.2V で実施し, 正規化した結果を表 3.4 にまとめる. 表 3.4 に示すように, IRPSFF のセットアップ時間は, STDFE の 2.5 倍程度である. セットアップ時間増加の要因はノード 1 を入力としたパストランジスタの追加であり, これによりノード 1 の負荷容量が増加し, セットアップ時間が増加したと考えられる. 図 3.17 にパストランジスタのゲート幅の変更によるセットアップ時間および GG 遅延の変化を示す. ゲート幅を小さくすることで, セッ

表 3.4: チップに実装した FF の性能. 各値は STDFFF の値で規格化した.

		Area	Setup time	Hold time	CLK-Q delay	D-Q delay	Static power	Dynamic power
65 nm	STDFFF	1.00	1.00	-1.00	1.00	1.00	1.00	1.00
	DFRFF	1.29	1.26	-1.49	1.21	1.20	1.16	1.12
	Stacked FF	1.24	2.57	-2.61	1.69	1.85	0.87	1.08
	IRPSFF	1.29	2.59	-2.63	1.10	1.28	1.00	1.10

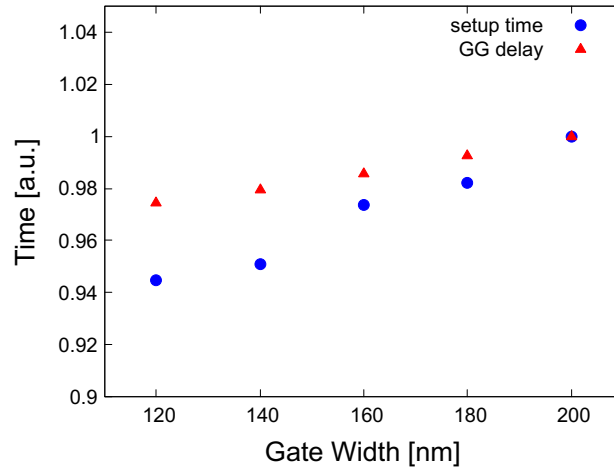


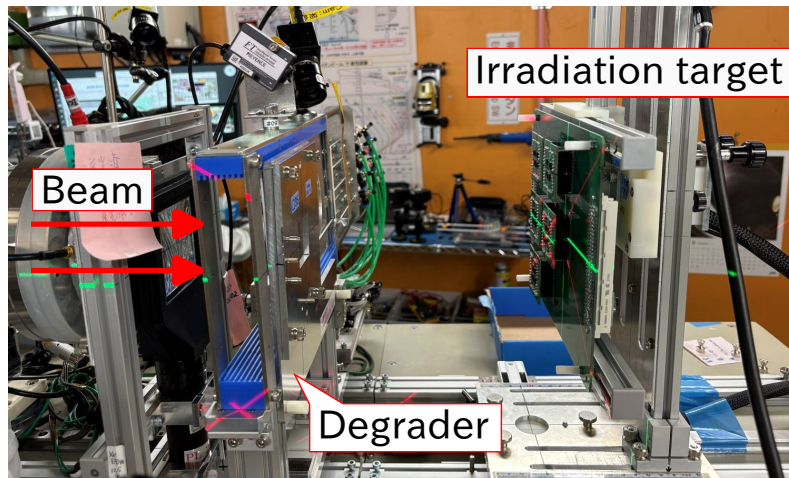
図 3.17: パストランジスタのゲート幅変更によるセットアップ時間と GG 遅延の変化. 今回設計したパストランジスタのゲート幅は 200 nm である.

遅延特性に着目すると, IRPSFF の CLK-Q 遅延は DFRFF より 9%小さい. 一方, D-Q 遅延は DFRFF より 6%大きい. ただし, いずれの値も Stacked FF と比較すると, CLK-Q 遅延が 35%小さく, D-Q 遅延が 31%小さいため, ノード強化に伴う伝搬遅延の増加は局所的に抑えられている. さらに, 面積は DFRFF と等しく, 静的電力および動的電力も DFRFF より抑えられている.

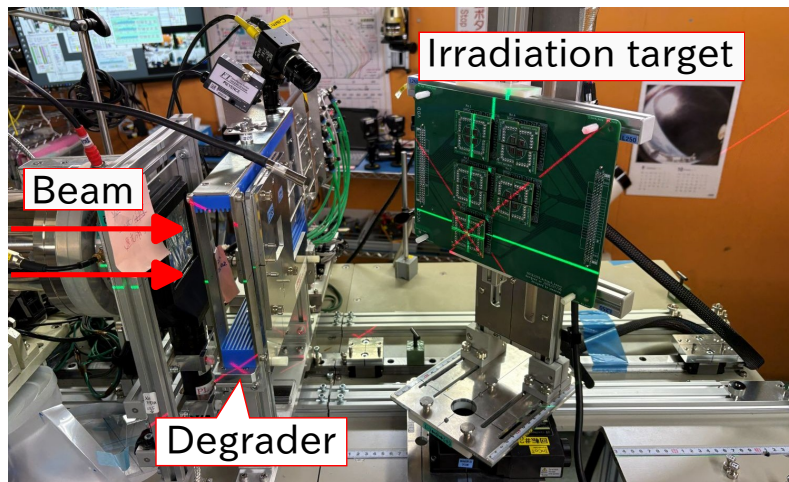
したがって, IRPSFF に施した RSR 構造とパストランジスタを組み合わせたガードゲート遅延構造は, 性能オーバーヘッドを抑えつつソフトエラー耐性を向上させる構成であることが分かる.

3.4.3 重イオン照射による耐性評価

4種類の FF を設計し, 65 nm FD-SOI プロセスで製造された同一テストチップ上に実装した. 重イオン照射試験は, 理化学研究所 仁科加速器科学研究センター RI ビームファクトリー (RIBF) [8] にて, LET が $69.3 \text{ MeVcm}^2/\text{mg}$ の Xe ビー



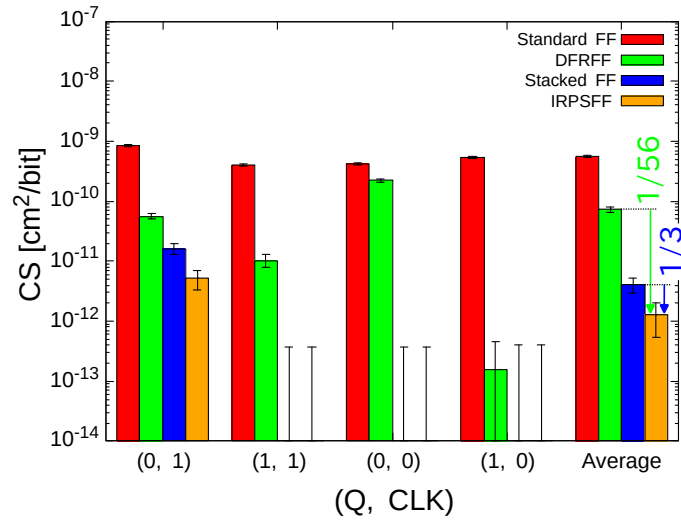
(a) 垂直照射.



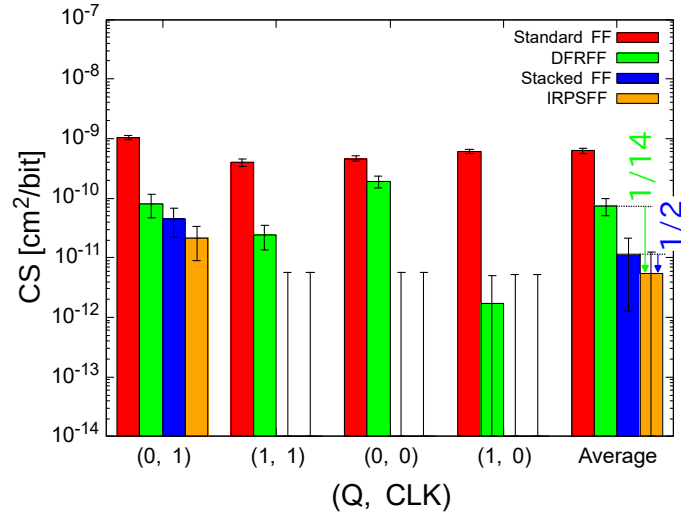
(b) 斜め照射 (45°).

図 3.18: RIBF での測定セットアップ. LET の調整およびビームの遮断にはデグラダを使用した.

ムを用いて実施した. 照射は垂直入射と 45° 傾斜入射の両方で行い, Single Event Upset (SEU) の角度依存性を調査した. 図 3.18 に RIBF での実験セットアップを示す. 照射中, すべての FF は同一の論理状態 (All-0 または All-1) に初期化した. 照射時間は 1 回あたり 60 秒とし, 垂直照射では各 (Q, CLK) 条件約 10 回, 傾斜入射では約 5 回繰り返した. 総フルエンスは約 3.36×10^8 ions/cm² である. テストチップの電源電圧は 1.2V に設定した.



(a) 垂直照射.



(b) 斜め照射 (45°).

図 3.19: Xe 照射試験による CS の結果. エラーバーは 95%信頼区間を表す. 全条件において IRPSFF の CS が最小となった.

図 3.19 に, 0° および 45° における 4 種類の (Q, CLK) 条件下での各 FF の CS を示す. 0° 条件では, IRPSFF は最も小さい平均 CS を示し, DFRFF の約 $1/56$, Stacked FF の約 $1/3$ となった. 角度を 45° に変更すると, 平均 CS は DFRFF で 1.03 倍, Stacked FF で 2.78 倍, IRPSFF で 4.17 倍増加した. それでも, Stacked FF と IRPSFF では $(Q, CLK) = (0, 1)$ でのみ SEU が発生した. $(Q, CLK) = (0, 1)$ で

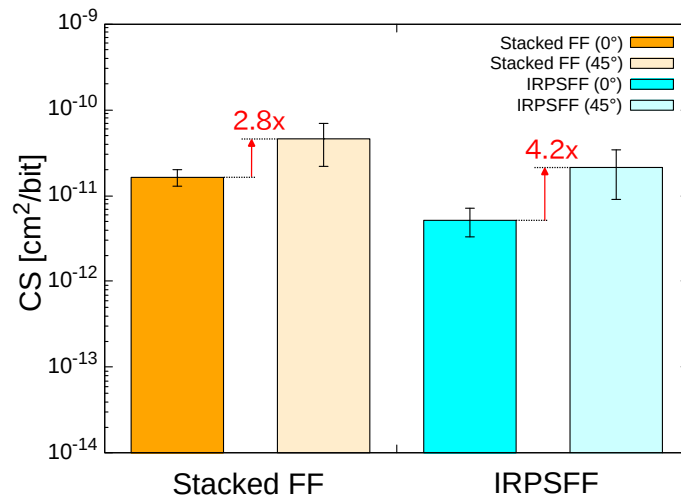


図 3.20: Stacked FF と IRPSFF の CS を垂直照射と斜め照射で比較した結果。

発生した SEU は、3.3.5 節で述べたように、D を入力とするクロックインバータで発生したものである。図 3.20 は Stacked FF と IRPSFF の 0° および 45° における CS を示す。CS は Stacked FF で 2.77 倍、IRPSFF で 4.17 倍増加した。IRPSFF の CS 増加率は Stacked FF より大きいものの、CS 値自体は Stacked FF とほぼ同程度に保たれており、45° の傾め照射に対しても高い堅牢性を示している。IRPSFF は、DFRFF 構造に最小限の変更を加えることで、Stacked FF に匹敵するソフトエラー耐性を達成しつつ、性能オーバーヘッドを抑制している。

3.5 まとめ

本研究では、22 nm および 65 nm FD-SOI プロセスにおいて、STDFP、DFRFF、および DFRFFLD の 3 種類のフリップフロップ (FF) のソフトエラー耐性を重イオン照射により評価した。

DFRFF については、ガードゲート (GG) 構造および C-element 構造を改良した。SL の C-element の入力を入れ替えることで、PL の GG 遅延を増加させた。放射線が 2 つの OFF 状態トランジスタに同時に当たるのを防ぐために、CLK 入力を持つ ON 状態のトランジスタを、2 つの OFF 状態トランジスタの間に配置した。

22 nm プロセスでは、DFRFFLD は Ar および Kr 照射試験下でエラーが発生しなかった。Xe 照射下では、STDFP の 1800 倍のソフトエラー耐性を示した。したがって、22 nm プロセスの DFRFFLD は、宇宙用途に十分なソフトエラー耐性を

有している。

65 nm プロセスでは、改良型 DFRFF の CS は、従来型 DFRFF と比較して 77% 低減した。したがって、ガードゲート構造および C-element の改良は有効であることが確認された。一方で、65 nm プロセスにおける DFRFFLD は、Kr 照射下の $(Q, CLK) = (0, 0)$ 条件で、STDFFF の約 2 倍のソフトエラー耐性にとどまった。

GG 遅延と CS の関係から、Kr 照射下でエラーが観測されなかった GG 遅延条件が明らかとなった。重イオンによるエラーを防ぐためには、GG 遅延をこの条件よりも長く設定する必要がある。

これらの結果を踏まえ、本研究では、設計変更を最小限に抑えつつソフトエラー耐性をさらに高めた IRPSFF を提案した。改良版 FF である IRPSFF は、RSR 構造を用いた SL とパストランジスタベースのガードゲートを組み合わせることで、ソフトエラー耐性を改善している。ポストレイアウトシミュレーションおよび重イオン照射試験により、65 nm プロセスにおける IRPSFF は DFRFF と同等の低消費電力・低遅延特性を維持しつつ、Stacked FF に匹敵する放射線耐性を有することが確認された。

第4章 医療用炭素線を用いた中性子起因ソフトエラー耐性評価手法

4.1 まえがき

地上環境のソフトエラー評価は、一般的に JESD89B が推奨する白色中性子 (WN) 施設で実施される。しかし、国際的に利用可能な施設は 4 か所と限られているため、ビームタイムの確保が困難であり、評価に係るコストの増大が課題となっている。このような実測検証の機会不足は、設計段階での迅速なフィードバックを困難にする。その結果、十分な耐性検証を経ずにマージンを削ることがリスク要因となり、安全策として過剰な冗長性を持たせた設計が選択され、結果として回路の実装コストの増大につながる可能性がある。

これらの制約を補う目的で、いくつかの代替評価手法が検討されてきた。一つは、準単色中性子や陽子照射の結果に Weibull 関数を適用し、地上環境でのソフトエラー率を推定する手法である。近年では準単色中性子照射と粒子輸送シミュレーション PHITS コードを組み合わせたソフトエラー率の推定手法も提案されている。これらの手法は実験効率の面では有効であるが、いずれも中性子専用照射施設を必要とし、施設の総数は限られている。この制約を踏まえ、新たなビーム源として粒子線治療施設に着目した。粒子線治療施設はがん治療のために世界各地で建設が進められており、今後も増加が見込まれる [63][64]。医療用陽子線を用いた SER 評価はすでに報告されている [65] が、医療用炭素線を用いた手法はこれまで提案されていない。

本章では、地上環境向けソフトエラー評価におけるビームタイム確保の困難性を解消し、評価コスト（時間・機会損失）を最小化するための新たな評価手法を確立することを目的とし、医療用炭素線を利用して白色中性子を生成・照射する新たな地上環境ソフトエラー評価手法を提案する。

4.2 提案手法

医療用炭素線ビームを用いた主な評価手順は以下のとおりである。

表 4.1: RCNP と医療用炭素線施設における中性子生成手法および荷電粒子除去方法の比較.

	RCNP	Carbon beam facilities
Beam Used	Proton	C-ion
Target	Tungsten	Acrylic block
Charged Particle Removal	Clearing magnets	Pb blocks

- 中性子生成：炭素線をアクリルに照射し，中性子を生成．
- 荷電粒子の除去：鉛ブロックによる荷電粒子の除去．
- ソフトエラー評価：生成した中性子をテストチップに照射．加速係数は PHITS により算出．

4.2.1 医療用炭素線を用いた白色中性子ビームの生成

医療用炭素線照射施設では，RCNP で用いられている方法と同様に，荷電粒子ビームをターゲットに照射することによって中性子を発生させる．表 4.1 に，RCNP と炭素線施設における中性子生成方法と荷電粒子除去方法の比較を示す．

中性子は，炭素線をアクリルブロックに照射した際に起こる核破砕反応により発生する [66]．アクリルブロックの使用は，半減期の長い重イオンの発生を防ぐことで治療室の放射化を防ぎ，患者の放射線被ばくリスクを低減することを目的としている．炭素線のブラッグピークがアクリル内で発生するように，炭素線のエネルギーとアクリルブロックの厚みを調整する必要がある．アクリルブロックで発生する二次粒子の大部分は，中性子，陽子，およびアルファ粒子である．治療室にクリアリングマグネットを設置することは困難であるため，荷電粒子の除去には鉛ブロックを用いる．テストチップに照射される粒子のスペクトルは，粒子輸送シミュレーションによって求める必要がある．

4.2.2 GHMC のビーム条件と治療室における炭素線エネルギーの特定

群馬大学医学部附属病院 重粒子線医学センター (GHMC) [67] で炭素線照射試験を実施した．GHMC におけるビーム条件を表 4.2 に示す．炭素線はシンクロトロ

表 4.2: GHMC におけるビーム条件. ビーム強度は照射サイクルを考慮して平均化した.

Energy	279 MeV/u C-ion
Beam Profile	Gaussian distribution pencil beam ($\sigma = 11$ mm).
Beam Intensity	1×10^9 particles per sec (pps)
Irradiation Cycle	irradiated for 1 second in a 3-second cycle.

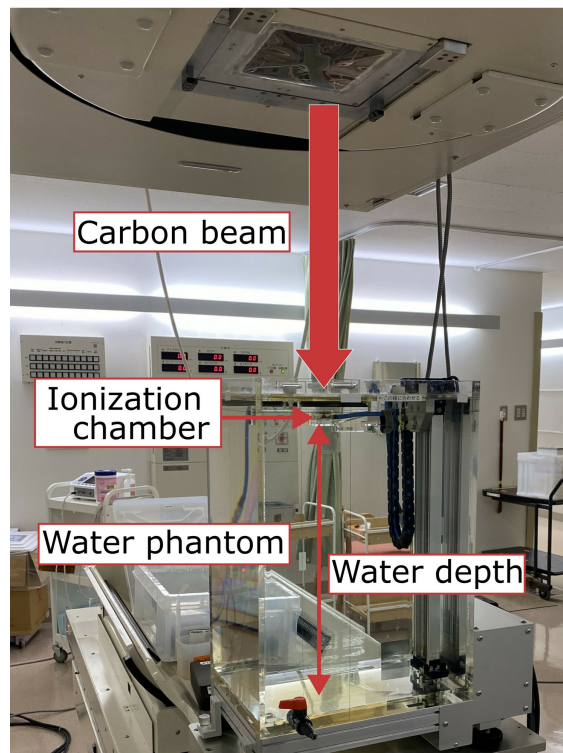


図 4.1: 水中飛程の測定系. 水中で電離箱を深さ方向に走査し, 各深さにおける電離量を測定する. 得られた深さ-線量分布からブラッグピーク位置を特定する.

ンから 290 MeV/u で出射されるが, 治療室に到達するまでに数 m の大気や他の物質を通過するため, エネルギーが低下する. PHITS で計算される中性子生成量は炭素線エネルギーに依存する. 正確なビームエネルギー値はアクリルブロック内のブラッグピーク位置を決定するために必要であり, この位置がシフトすると生成される二次粒子の数も変化する. そのため, 治療室におけるビームエネルギーは水槽を用いた水中飛程の実測および PHITS シミュレーションにより特定した. 測定セットアップおよび測定結果をそれぞれ図 4.1, 4.2 に示す. 炭素線の水中飛

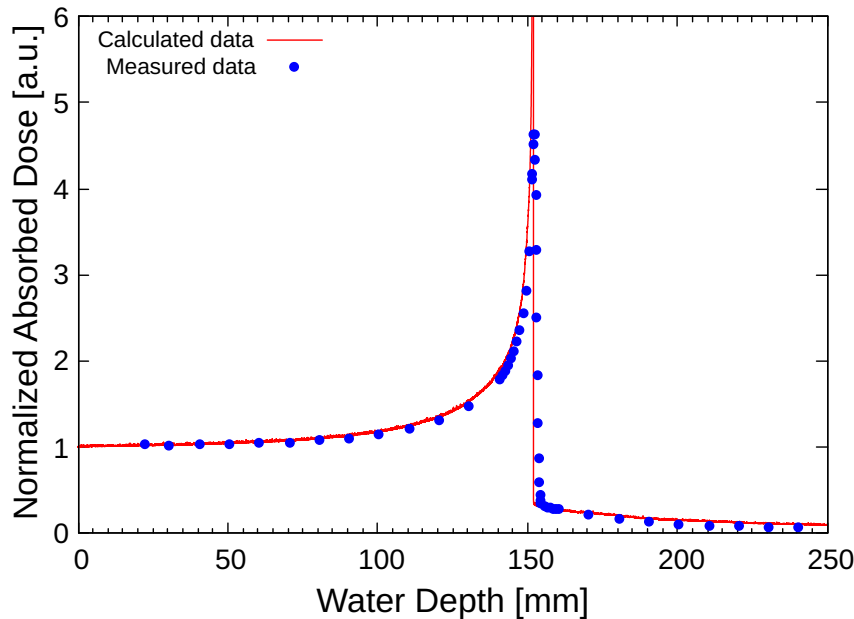


図 4.2: 水中飛程の測定値およびシミュレーション結果. ピーク位置は約 152.1 mm.

程は, 152.1 mm であった. PHITS シミュレーションで, ピーク位置が 152.1 mm となるときの炭素線エネルギーは 279 MeV/u と算出されたため, 中性子生成過程のシミュレーションにおける炭素線エネルギーを 279 MeV/u に設定した. なお, ビームエネルギーのばらつきについては考慮していない.

4.2.3 発生した中性子を用いた測定手法

炭素線照射の測定セットアップおよび PHITS で使用した体系を, それぞれ図 4.3 および 4.4 に示す. 測定対象 (DUT: Device Under Test) は中性子源となるアクリルブロックの下流約 31 cm に設置した. ビーム下流では中性子が多く存在しているため, 加速係数が増加し, 測定時間の短縮が可能となる [68]. GHMC では実際のエネルギースペクトルを測定することが難しいため, スペクトルは PHITS を用いて計算した. 炭素線がアクリルブロックに入射すると, 中性子に加えて陽子や重イオンなどの荷電粒子も同時に生成される. 本研究では中性子起因のソフトエラー評価を目的としているため, これらの荷電粒子による影響を可能な限り低減する必要がある. 荷電粒子を遮蔽するため, DUT とアクリルブロックの間に

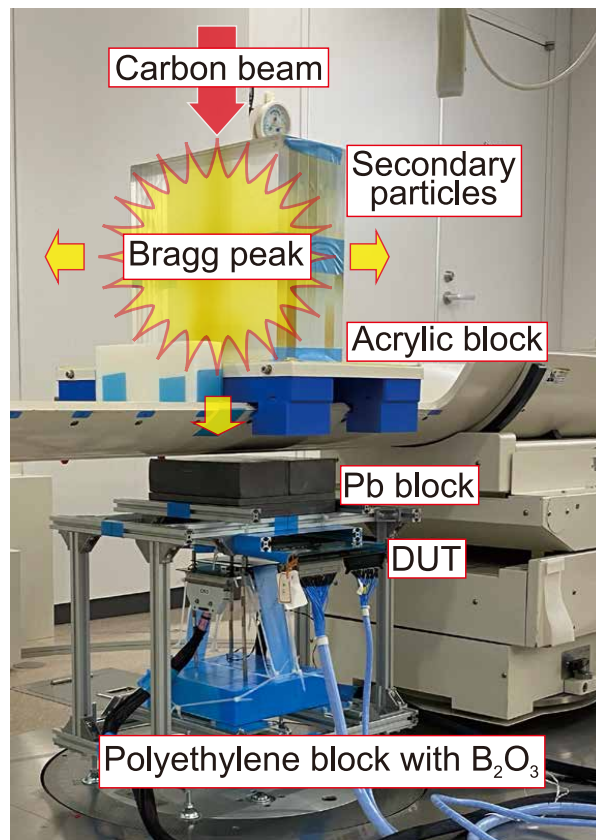


図 4.3: GHMC でのソフトエラー測定セットアップ。

鉛ブロックを配置した。

4.2.4 鉛ブロックによる荷電粒子の遮蔽

図 4.5 は、PHITS で計算した鉛ブロックの厚さ (d_{Pb}) と粒子数の関係を示している。 d_{Pb} に依らず、中性子以外の荷電粒子の 98%以上が 10 MeV を超える高エネルギーを持つ。

4.2.4.1 アルファ粒子に対する遮蔽効果

d_{Pb} が 0 cm および 2 cm の場合、10 MeV を超える高エネルギー粒子の中で α 粒子が占める割合はそれぞれ 32%と 17%である。 d_{Pb} が 4 cm を超えると、 α 粒子の割合が他の荷電粒子の 1/10 以下となり、 α 粒子起因で発生する SER は減少する。 d_{Pb} が 8 cm のとき、 α 粒子の割合はほぼ 0 である。

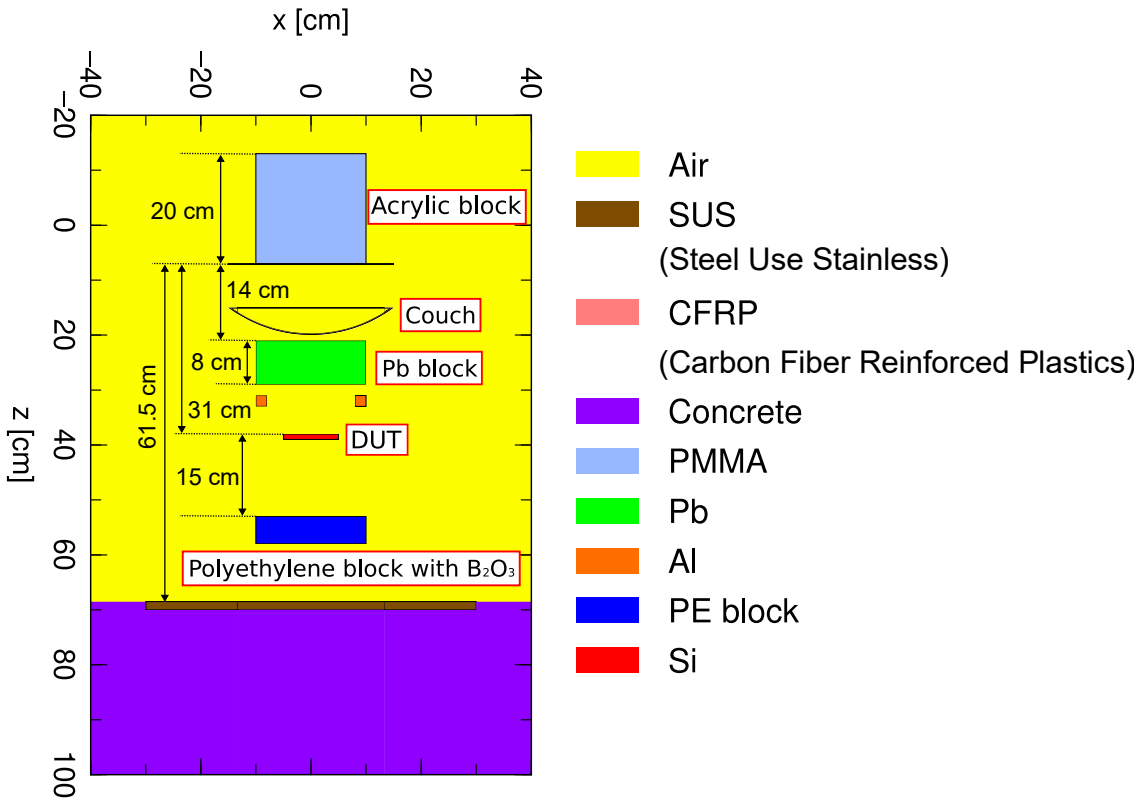


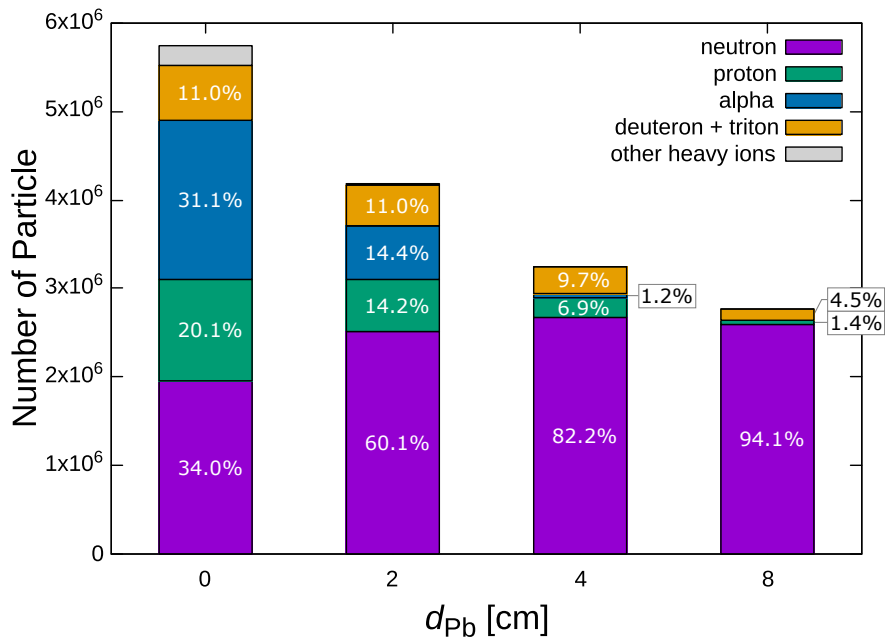
図 4.4: PHITS シミュレーションで使用した 3D モデル. DUT と書かれた赤いブロックが測定対象.

4.2.4.2 高エネルギー重陽子および三重陽子に対する遮蔽効果

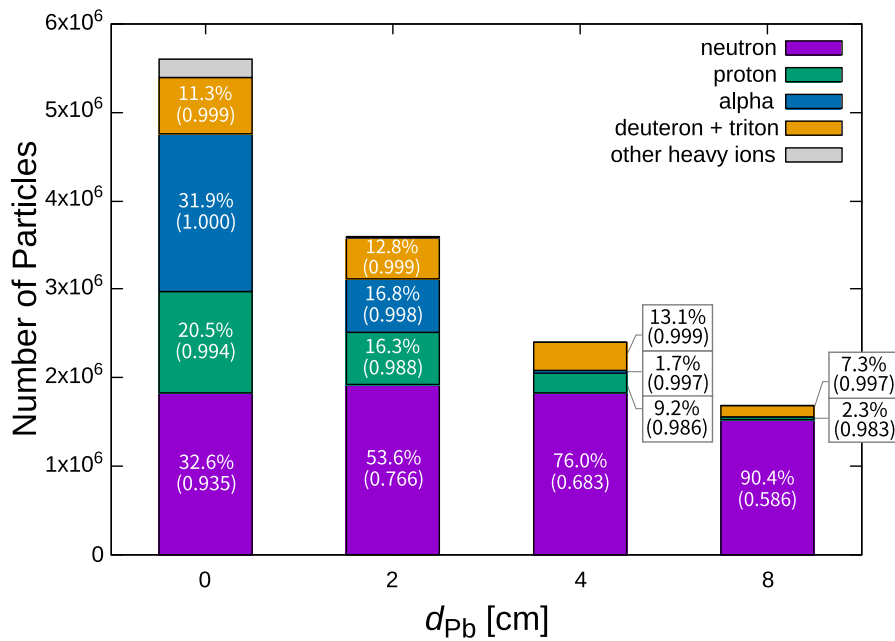
d_{Pb} が 0, 2, および 4 cm では, 重陽子および三重陽子が全体に占める割合は約 11~13% とほぼ一定である. しかし, d_{Pb} が 8 cm のとき, 重陽子および三重陽子の割合は約 7% に減少する. 重陽子および三重陽子によって誘起される SER が有意である場合, 4 cm と 8 cm での SER が異なることが予想される.

4.2.4.3 低エネルギーの荷電粒子に対する遮蔽効果

従来, 重イオンに比べて LET が低い陽子によるエラーは, 間接電離によるものが支配的と考えられてきた. しかし, プロセススケーリングによるシングルイベント耐性の低下に伴い, 直接電離の影響も顕著になっている. 文献 [23] によれば, 10 MeV 以下の陽子の SEU 断面積は, 50 MeV 以上の陽子の数倍に達する. 同様に, 重陽子および三重陽子も陽子と同等の LET を持つため, ソフトエラーに顕



(a) 全エネルギー範囲.



(b) 高エネルギー範囲 (> 10 MeV).

図 4.5: PHITSにより求めたGHMCにおける d_{Pb} と粒子数の関係。括弧内の値は、全エネルギー範囲における粒子数で規格化したものである。 $d_{Pb} = 8$ cmでは、中性子が全体の90%以上を占める。

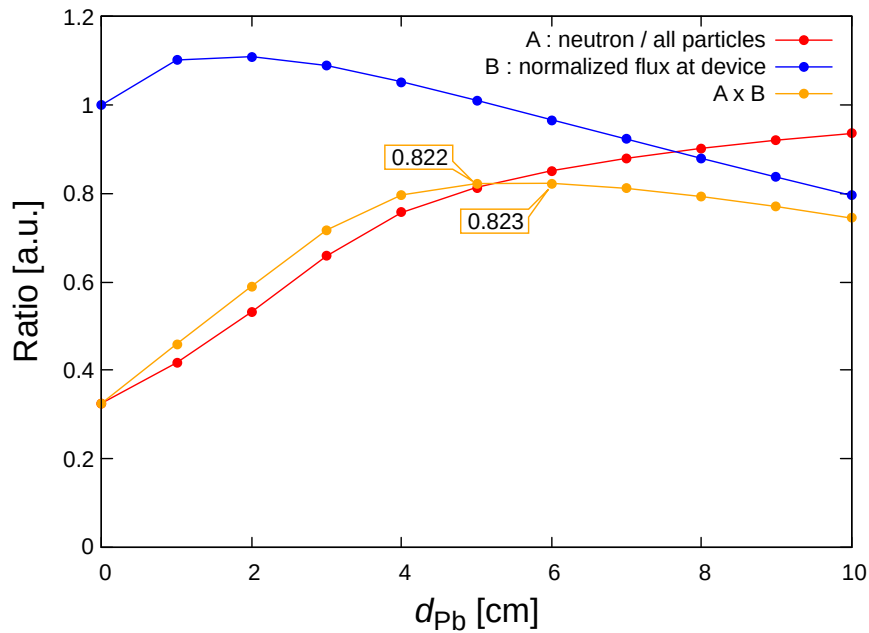


図 4.6: 10 MeV 以上の中性子の割合, 中性子フラックス, およびそれらの積(FoM). 中性子フラックスは $d_{Pb} = 0$ cm のときの値を 1 として規格化した. FoM は $d_{Pb} = 6$ cm で最大となる.

著な影響を示す.

しかし, モールド樹脂の材質や厚みが不明であるため, PHITS を使用した直接電離の影響を推定することは困難である. そのため, d_{Pb} の変化に伴う荷電粒子数および SER の変化から, 荷電粒子の影響を調査した.

4.2.4.4 $d_{Pb} = 8$ cm のときのエネルギースペクトルと空間分布

図 4.6 は, 10 MeV 以上の中性子比, 中性子フラックス, およびそれらの積として定義される指標 (Figure of Merit: FoM) を示している. ここで中性子比とは, 10 MeV を超える中性子の数を全粒子の数で割った値を意味する. FoM は, 加速試験における二つの主要な要素, すなわち中性子比と中性子フラックスを評価するために定義される. FoM は中性子比と中性子フラックスの積として計算される. この定義は, 中性子比と中性子フラックスの重みを等しい (1:1) と仮定している. 中性子比を優先するとフラックスが低下し, 統計的に有意な結果を得るためにはより長い照射時間が必要となる. 一方で, フラックスを優先すると荷電粒

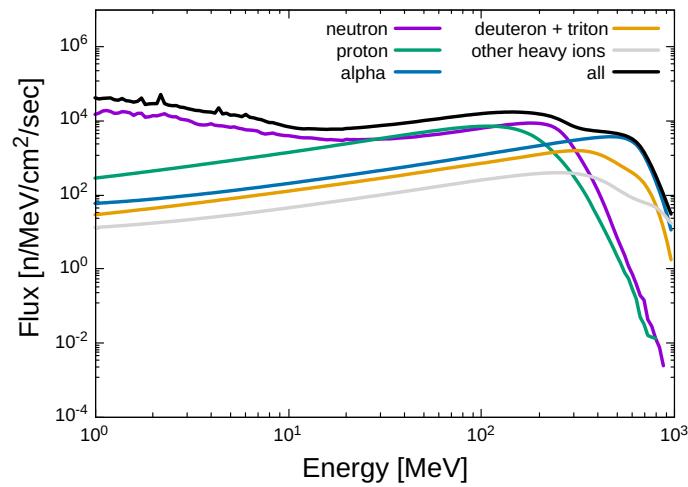
子の割合が増加し、中性子起因のソフトエラー評価の精度が低下する。したがって、FoMは加速器ビームの照射時間が限られている条件下において、実用的な指標として利用できる。図4.6に示すように、FoMは $d_{Pb} = 6\text{ cm}$ で最大値を示し、この条件は、中性子比と中性子フラックスの間で適切なバランスを得られる。ただし、これらの要素の重要性は、プロセスノードや回路構造によって異なる場合がある。たとえば、デバイスが α 粒子によるソフトエラーの影響を受けにくい場合、LET値が α 粒子より低い二次荷電粒子の影響も受けにくい。図4.5に示すように、炭素ビーム照射では様々な荷電粒子が生成され、それらの大部分は陽子、重陽子、三重陽子、および α 粒子である。陽子、重陽子、三重陽子のLET値は、 α 粒子のそれよりも低い。このような場合には、中性子フラックスが十分に高ければ、中性子比がわずかに低くても許容できる。FoMのピークより左側の条件、すなわちより高いフラックスと中程度の純度低下を伴う条件が、適切な場合もある。一方で本研究では、RCNPとGHMCにおける中性子スペクトルの違いによって生じるSEUおよびSETの差を調べることを目的とし、中性子比を優先した。したがって、中性子比が90%以上の条件の中でFoMが最も高い $d_{Pb} = 8\text{ cm}$ を採用した。

図4.7~4.9は、Pbブロックの有無によるエネルギースペクトルおよび空間分布の変化を示している。Pbブロックを使用することで、荷電粒子のスペクトルは減少し、特に α 粒子の99%以上が遮蔽される。一方、中性子の数はおよそ16%の減少にとどまる。

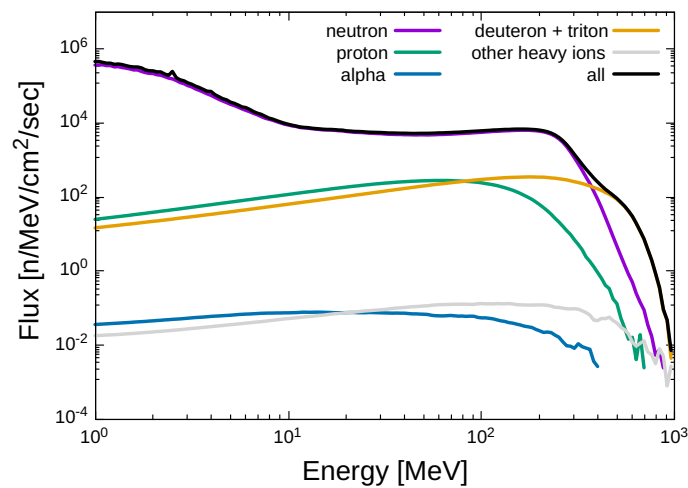
4.3 測定条件

4.3.1 エネルギースペクトルと加速係数

GHMCおよびRCNPにおけるエネルギースペクトルと F_{acc} を図4.10および表4.3に示す。これらの加速係数は、10 MeV以上の中性子数および50 MeV以上の陽子数に基づいて算出した。これは、50 MeV以上では陽子と中性子の核反応が類似するためである[5][20][21][22]。GHMCにおける F_{acc} は、 d_{Pb} が厚くなるにつれて減少する。また、GHMCの F_{acc} はRCNPの約2.5倍であるため、RCNPと比較してGHMCでは照射時間の短縮が可能である。GHMCの照射試験では、標準条件である鉛厚8 cmにおいて、1回30分間の照射を各(Q, CLK)条件につき4回実施した。また、その他の遮蔽条件(0, 2, 4cm)においても1回10分間の照射



(a) 鉛ブロック無し.

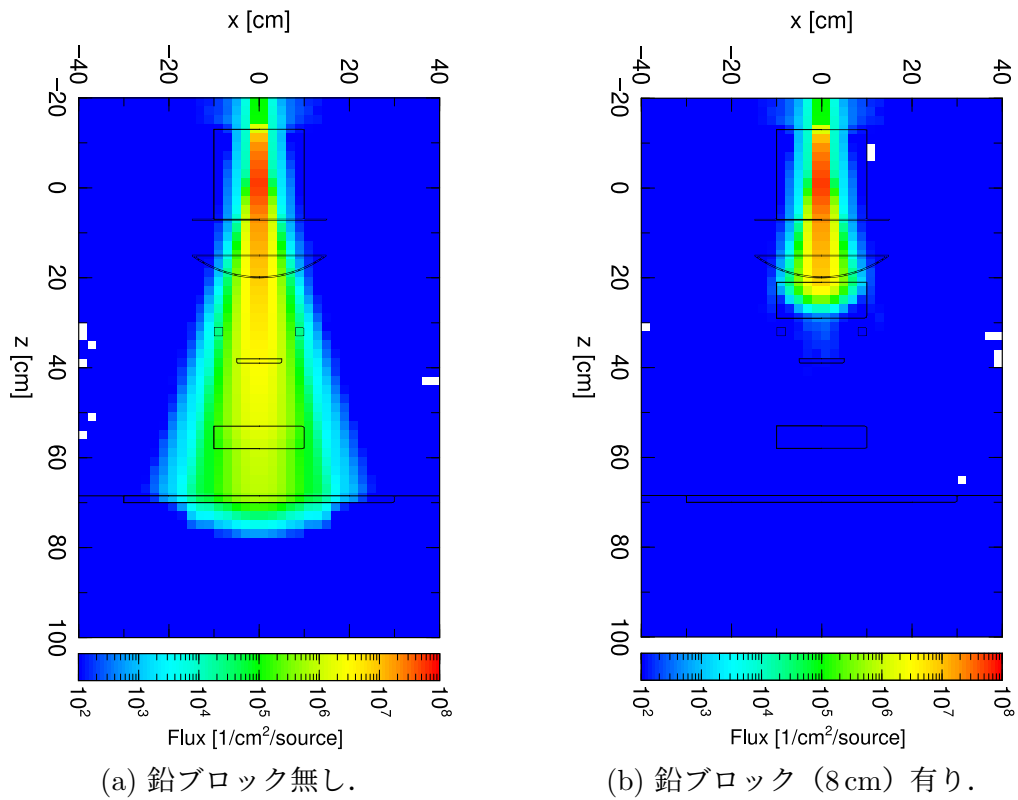
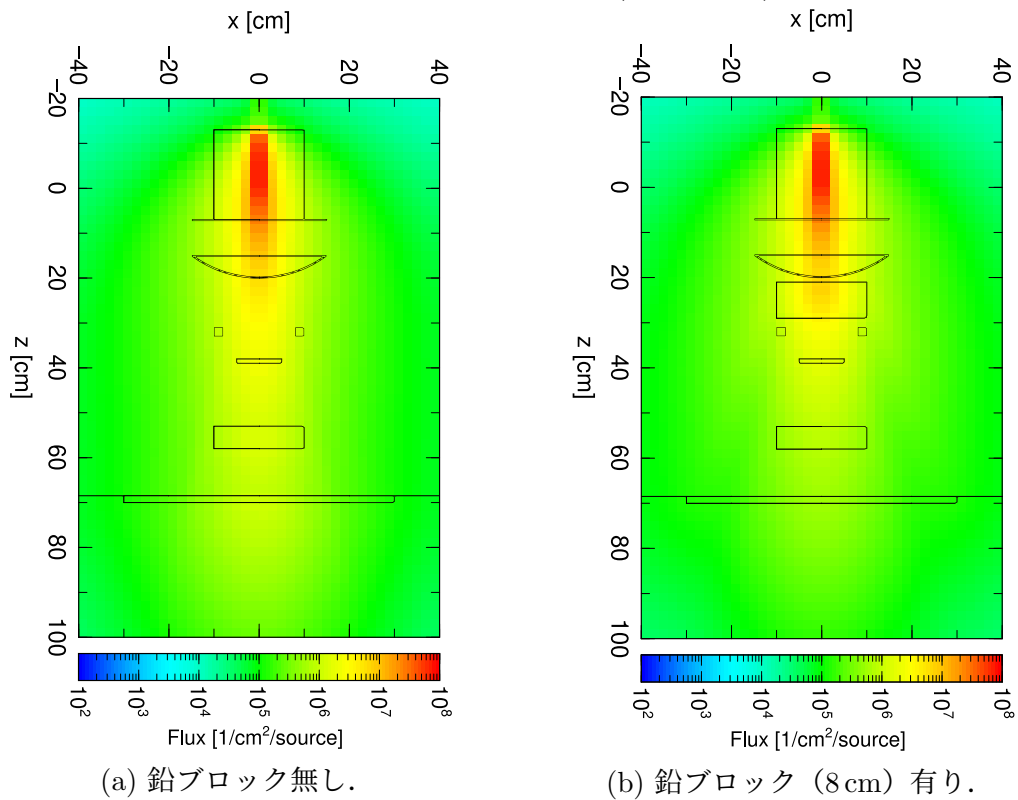


(b) 鉛ブロック (8 cm) 有り.

図 4.7: 鉛の有無によるエネルギースペクトルの変化. なお, スペクトルにチップ内部で生成された粒子は含まれていない.

を 2 回ずつ行った.

GHMC では, 照射中にアクリルブロック上の炭素線フラックス (ϕ_{carbon}) は測定されず. 加速器立ち上げ時にファラデーカップ (FC) で測定される. 測定された ϕ_{carbon} が約 1×10^9 pps の場合, 補正なしで表 4.3 の $F_{\text{acc}} (1 \times 10^9)$ を用いる.

図 4.8: α 粒子の空間分布 (> 10 MeV).図 4.9: 中性子の空間分布 (> 10 MeV).

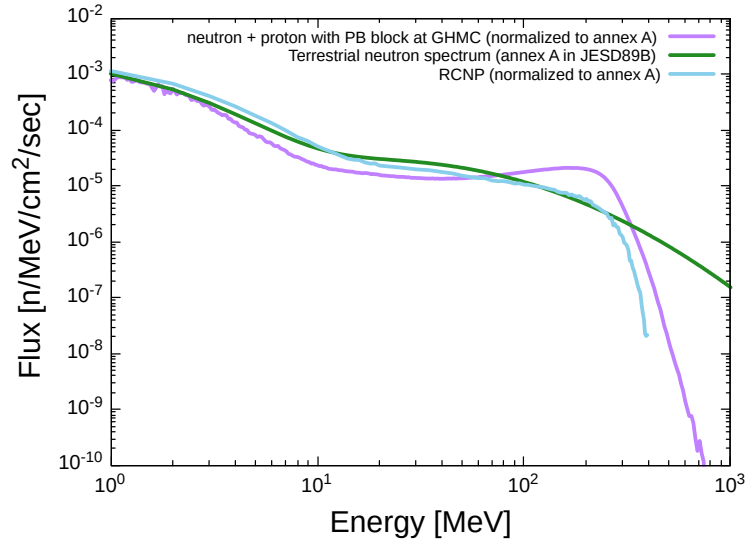


図 4.10: GHMC, RCNP, および地上環境におけるエネルギースペクトル. 地上の中性子スペクトルは文献 [5] で定義されている. GHMC では, RCNP と比較して 100 MeV を超える中性子が多い.

表 4.3: 中性子の平均加速係数 F_{acc} . GHMC における F_{acc} は, 炭素線フラックスが公称値 1×10^9 pps であると仮定し, 10 MeV 以上の中性子数と 50 MeV 以上の陽子数から算出した. 鉛の厚みが増加するに連れて, F_{acc} は緩やかに減少する.

Facility	Condition	$F_{acc} (\times 10^8)$
GHMC	Pb thickness: 0 cm	8.00
	Pb thickness: 2 cm	6.77
	Pb thickness: 4 cm	5.62
	Pb thickness: 8 cm	4.37
RCNP	Distance from beam exit: 0 cm	1.75
	Distance from beam exit: 200 cm	1.18

$F_{acc}(1 \times 10^9)$ は, GHMC が公称値として提供する $\phi_{carbon} = 1 \times 10^9$ pps を基準に定義した. ϕ_{carbon} が公称値からずれる場合, F_{acc} は式 (4.1) で補正される.

$$F_{acc} = F_{acc}(1 \times 10^9) \times \frac{\phi_{carbon} [\text{pps}]}{1 \times 10^9 \text{ pps}} \quad (4.1)$$

GHMC の F_{acc} はビーム停止期間を含む照射期間全体の平均値である. そのため, 照射時間には実際の経過時間を用いた. 一方, ビーム引き出し中の平均フラックスを用いる場合は, 照射時間はビームオン時間とする必要がある.

ビームラインに設置されたモニタ線量計は、照射中の総フルーエンスを計測する。GHMC では、各実験日の最初のソフトエラー試験時にフルーエンスを記録し、以降のすべての測定における自動ビーム制御に用いられる。設定値を制御システムに入力すると、目標値に達するとビームが自動停止する。自動制御は手動時に比べるとばらつきを抑えることができるが、モニタ線量計に数%程度の測定誤差が生じる。

4.3.2 SEU

65 nm バルクプロセスで試作された 6 種類の FF を標準電圧 1.2 V で評価した。図 4.11 に 6 種類の FF を示す。これらのうち 5 種類は非冗長 FF であり、1 種類は冗長 FF (DICEFF) である。測定条件は $(Q, CLK) = (0, 1), (1, 1), (0, 0), (1, 0)$ の 4 通りであり、Q は出力、CLK はクロック入力を表す。全ての FF はシフトレジスタとして実装されている。測定手順および SEU rate 算出式は 2 章のとおりである。なお、 d_{Pb} と SEU rate の関係は、Pb ブロックなしの照射で最大のエラー数が得られた条件である $(Q, CLK) = (1, 0)$ の TGFF を対象に調査した。

4.3.3 SET

nMOS で発生する SET パルスの時間幅は文献 [69] の回路を用いて測定した。本研究では SET パルスの実電圧波形は記録しておらず、パルス幅は時間・デジタル変換 (TDC) 回路によって取得した。図 4.12 に TDC の回路図と動作原理を示す。TDC の分解能は 35 ps であり、30 段の遅延バッファチェーンと 30 段のスキャン FF から構成される。SET パルスは 27 入力 AND ゲートを通して PULSE_IN および TRIG_IN に入力される。本測定では、TDC によって取得された値をそのまま SET パルス幅として示している。ただし、測定系 (主に 27 入力 AND ゲート) におけるパルスブロードニング (pulse broadening) の影響により、観測値には実際のパルス幅に対して約 70 ps のオフセットが含まれている。さらに、本回路構成は SET target の nMOS 並列数が多いため、配線やゲートの寄生容量が無視できない。これにより、極めて短いパルス幅の SET は伝搬過程で減衰・消失し、TDC まで到達しない可能性がある。

PULSE_IN に入力された信号はバッファチェーンを伝搬し、各段で TRIG_CLK によって記録される。得られた “1” と “0” のパターンから、遅延パルスの伝搬距

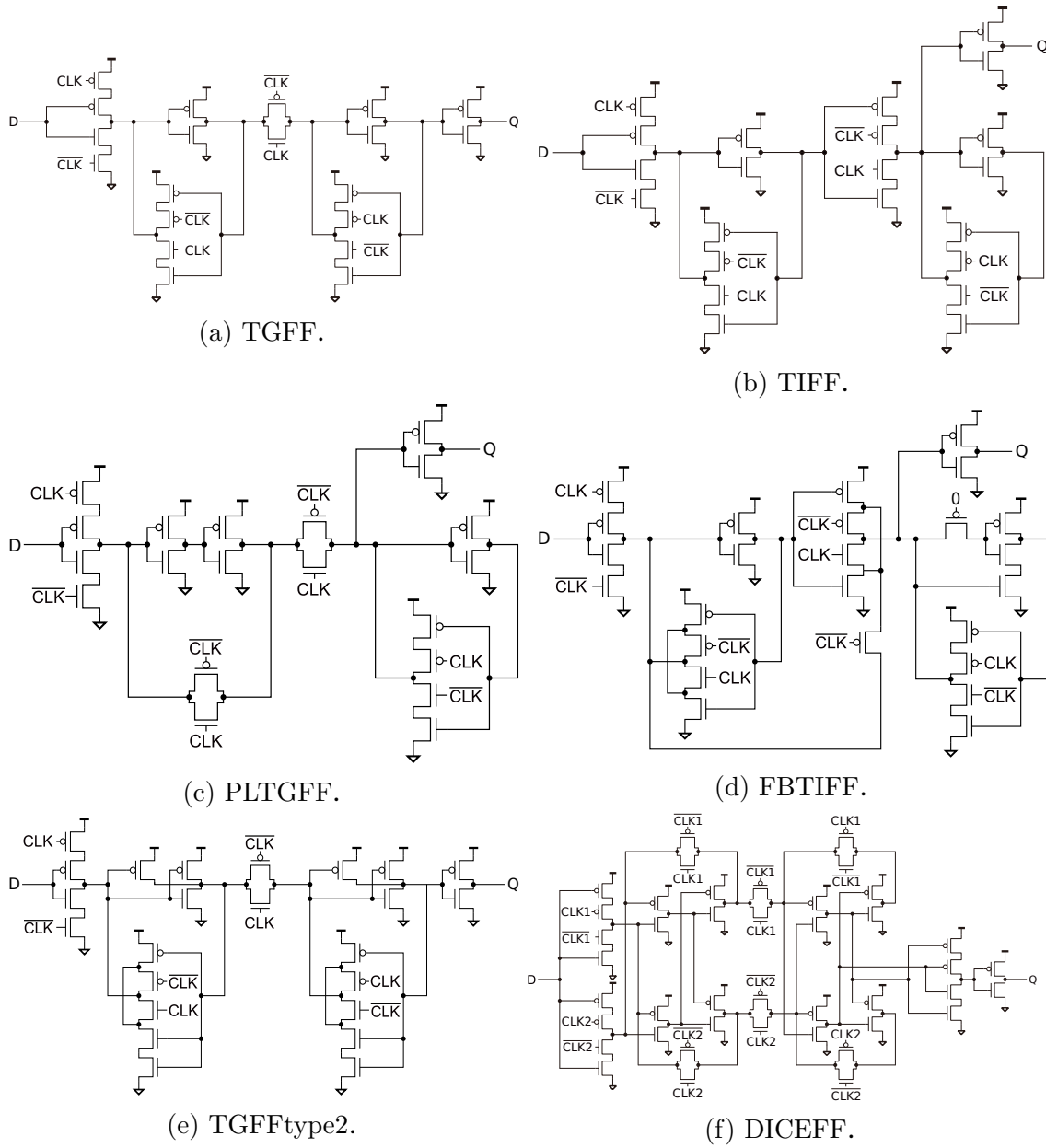
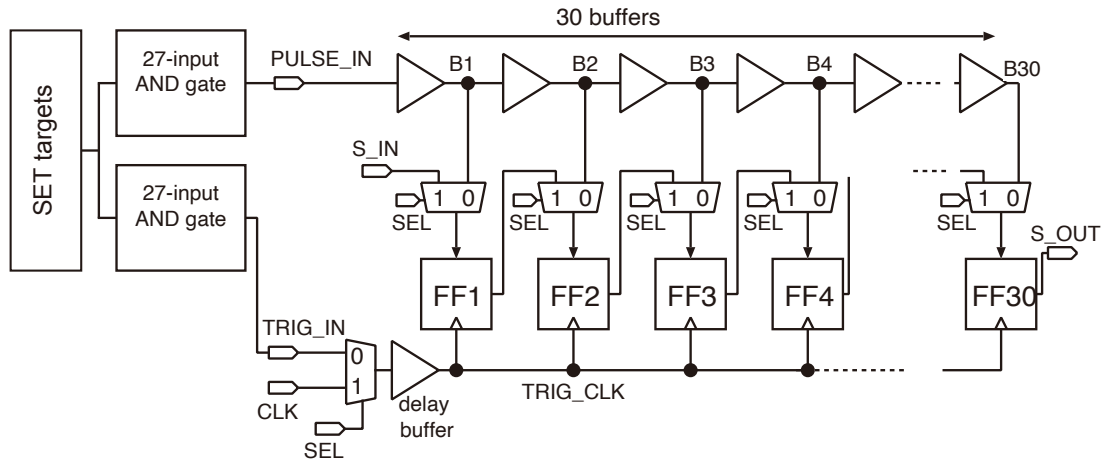
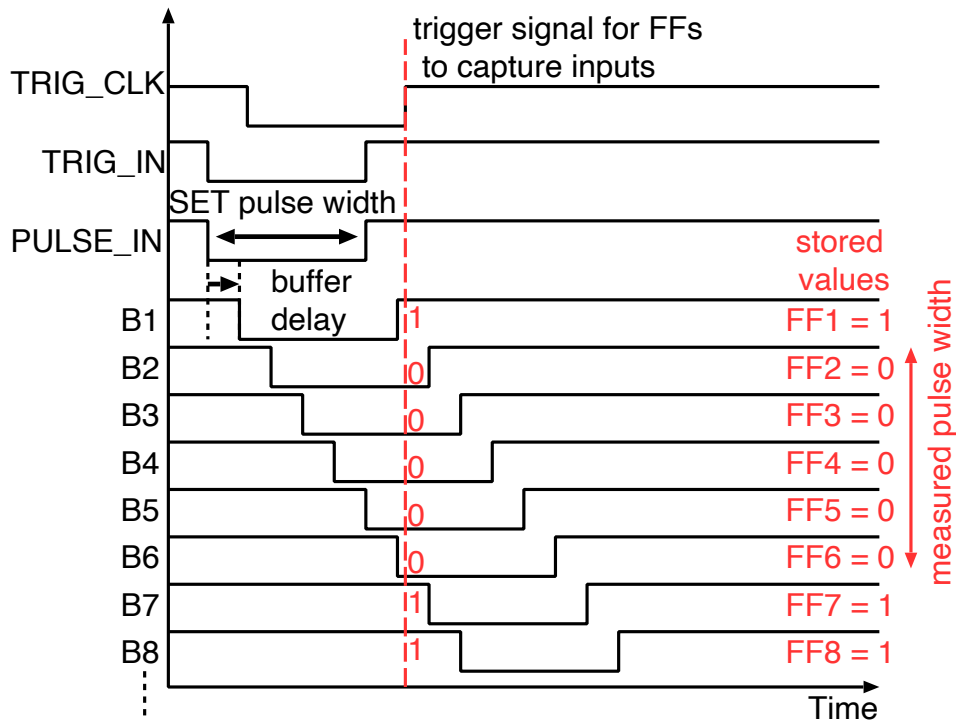


図 4.11: 測定対象.

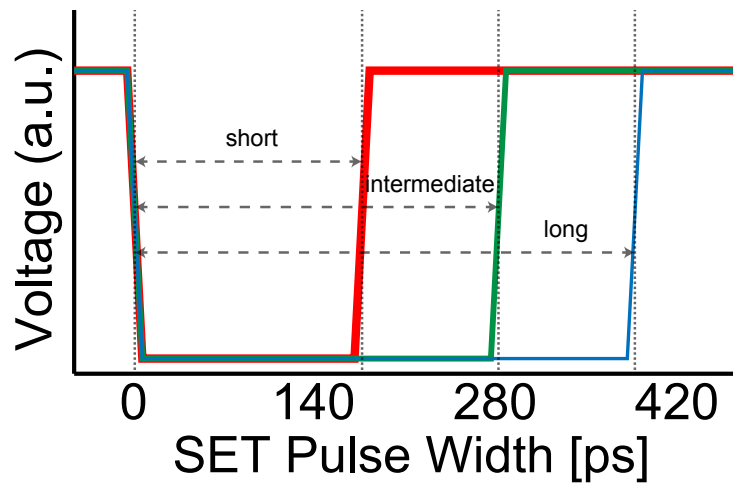


(a) 回路図.

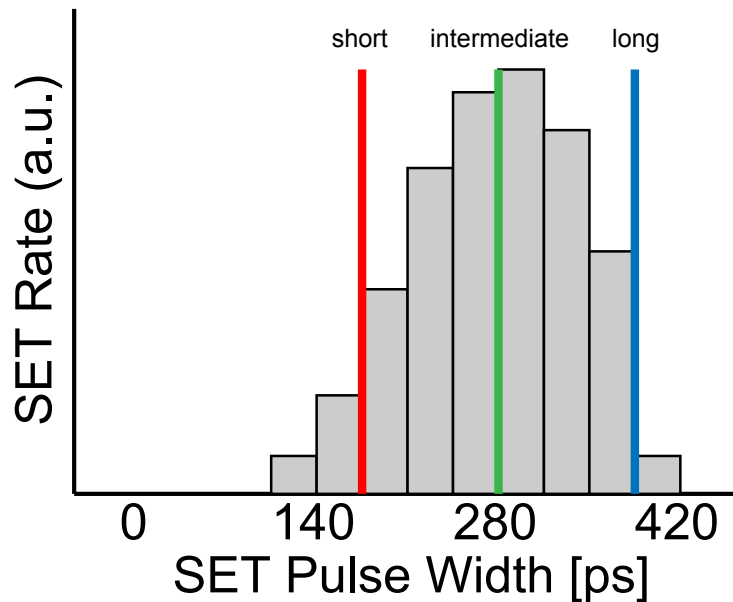


(b) タイミングチャート.

図 4.12: SET パルス幅測定に用いた TDC の回路図とタイミングチャート [69]. 本回路は 30 段の遅延バッファチェーンと 30 段のスキャン FF から構成される. SET パルスは 27 入力 AND ゲートを通じて PULSE_IN と TRIG_IN に分配され, TRIG_CLK によりトリガされたスキャン FF の保持値からパルス幅を求める.



(a) 短・中・長の SET パルスの概念図.



(b) TDC により取得した SET パルス幅分布の概念図.

図 4.13: SET パルスおよびパルス幅分布の概念図.

離を読み取り、パルス幅を算出する。なお、スキャン FF のモードを変更することで、TDC をシフトレジスタとして動作させられるため、測定手順は SEU 測定とほぼ同じである。

図 4.13 は (a) 短・中・長のパルスの概念例と、(b) SET パルス幅の分布を示す。これらは、測定結果の議論において、SET パルスの時間幅の違いをどのよう

に分類し扱うかを説明するために示している。SET rate は、SET ターゲット数 (N_{target}) を用いて式 (4.2) により算出する。

$$\text{SET rate [FIT/target]} = \frac{N_{\text{error}} \times 10^9}{N_{\text{target}} \times F_{\text{acc}} \times t [\text{hour}]} \quad (4.2)$$

4.4 測定結果と考察

4.4.1 SER と鉛厚の関係

d_{Pb} と SEU rate の関係を調査した。GHMC において、4 種類の d_{Pb} (0, 2, 4, 8 cm) で SEU rate を測定した。 d_{Pb} と SEU rate の関係を図 4.14 に示す。 $d_{\text{Pb}} = 8$ cm における SEU rate と比較すると、 $d_{\text{Pb}} = 0$ cm および 2 cm における SEU rate はそれぞれ約 4.7 倍および 3.0 倍大きい。 $d_{\text{Pb}} = 4$ cm と 8 cm における SEU rate の差はわずか 6% である。

隣接する FF が同時にエラーを示した場合はマルチビットアップセット (MBU) としてカウントした。0 cm および 8 cm では MBU は発生しなかった。2 cm および 4 cm では、それぞれ 123 件および 51 件のエラーのうち 1 件ずつ MBU が観測された。これらの結果は、測定条件下では MBU の発生が限定的であることを示している。

荷電粒子による SEU rate と α 粒子数の関係を図 4.15 に示す。荷電粒子による SEU rate は次式により算出した。

$$\text{SEU}_{\text{chargedparticles}}(d_{\text{Pb}}) = \text{SEU}(d_{\text{Pb}}) - \text{SEU}(8 \text{ cm}) \quad (4.3)$$

ここで、 $\text{SEU}(d_{\text{Pb}})$ は、ある d_{Pb} における SEU rate を示す。荷電粒子による SEU rate と α 粒子数の相関係数は 0.99 であり、 α 粒子が荷電粒子の中で最も大きな影響を与えていることがわかる。

d_{Pb} を 4 cm から 8 cm に増加させると、 α 粒子の比率は概ね 0 に、陽子および重陽子+三重陽子の比率は約半分に減少した。一方で、4 cm と 8 cm における SEU rate の差は 6% に留まり、65 nm FF の SEU に対して陽子および重陽子+三重陽子の寄与が小さいと考えられる。したがって、SEU 測定において荷電粒子の影響を低減するためには、4 cm より厚い d_{Pb} が必要である。

さらに、GHMC において $d_{\text{Pb}} = 4$ cm および 8 cm で SET パルス幅も測定した。 d_{Pb} と SET パルス幅の関係を図 4.16 に示す。SET rate は、10 MeV 以上のエネル

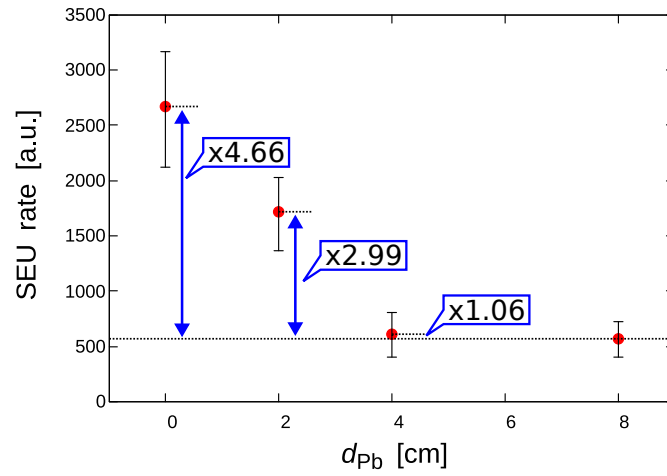


図 4.14: $(Q, CLK) = (1, 0)$ 条件における STDF の d_{Pb} と SEU rate の関係. エラーバーは 95%信頼区間を表す. $d_{Pb} < 4$ cm では, 荷電粒子の影響により SEU rate が増加する.

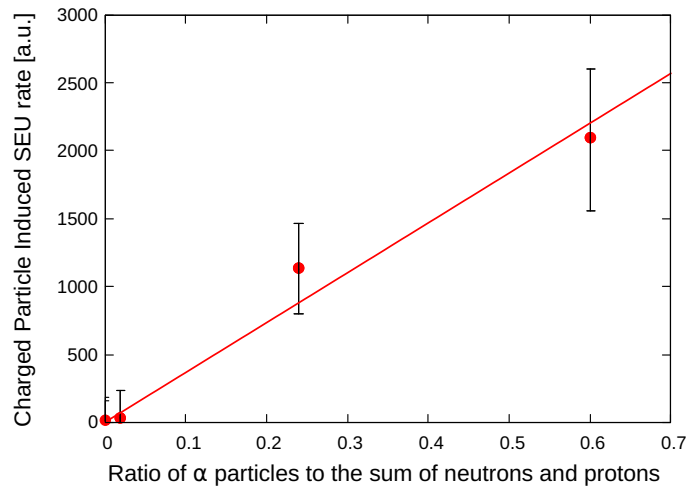


図 4.15: 荷電粒子による SEU rate と α 粒子数との関係. 赤線は, 最小二乗法を用いて求めた一次近似である.

ギーを持つ中性子を用いて計算した. 図 4.17 は, GHMC における異なる Pb 厚での特定のパルス幅以上の SET rate およびフィッティング曲線を示している. 淡色の領域は, 測定回路における TDC の分解能 (35 ps) を考慮したものである.

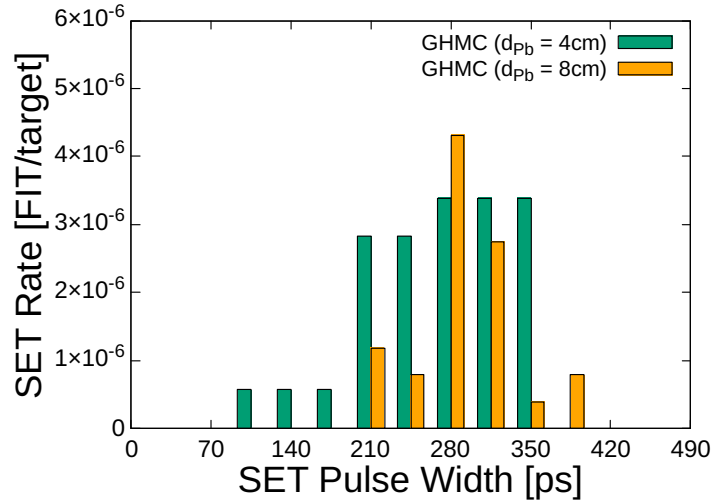


図 4.16: GHMC において測定した SET パルス幅分布. d_{pb} は 4 cm と 8 cm とした.

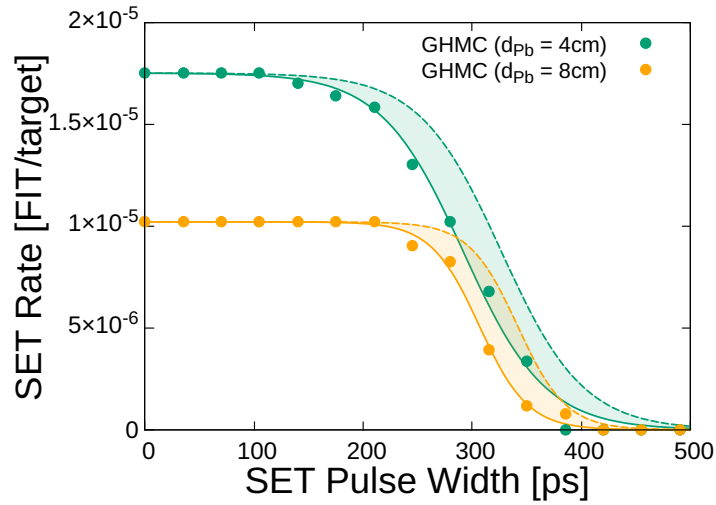


図 4.17: GHMC における, 異なる d_{pb} に対する特定パルス幅以上の SET rate とその近似曲線. 測定回路に用いた TDC の分解能 (35 ps) を, 淡色で示す.

$d_{pb} = 4\text{cm}$ では, 8 cm と比較して 245 ps 未満のパルスが多く観測された. これらのパルスは, 遮蔽されていない陽子, 重陽子, 三重陽子による直接電離が原因であると考えられる. 4 cm における総 SET rate は, 8 cm に比べて 70% 高かったが, 65 nm FF の SEU rate の差はわずか 6% であった. 本測定で用いた SET ターゲッ

トとFFを構成するトランジスタはゲート幅が異なるため、観測されたSETパルス幅とFFの保持値反転を引き起こすパルス幅は厳密には対応しない。しかしながら、TDCにおいて245, ps未満のSETパルスが発生させる粒子（陽子、重陽子、三重陽子）が大幅に増加しているにもかかわらず、FFのSEU rateはほとんど変化しなかった。このことから、これらの短パルスを生成する粒子は、65 nm FFのSEUに対してほとんど影響を与えないと結論づけられる。

一方、245 psより長いパルスに対するSET rateでも、8 cmよりも4 cmの方が高かった。このSET rateの増加は、遮蔽されていない α 粒子の存在によるものと考えられる。観測されたSET特性の差は、4 cmと8 cmにおける6%のSEU rate差が生じた要因であると考えられる。

4.4.2 GHMCとRCNP間のSER比較

RCNPのWNと、GHMCにおける炭素線照射によって生成された中性子の照射結果を比較した。GHMCでは、荷電粒子の影響を最小化するために $d_{Pb} = 8$ cmに設定した。6種類のFFに対するSEU測定結果を図4.18に示す。エラーバーは95%信頼区間内にある。RCNPおよびGHMCの結果間の相関係数は0.98であり、それらの(Q, CLK)依存性はほぼ等価である。

図4.19はRCNPとGHMCにおける結果の比較を示す。式(4.4)は、RCNPにおけるSEU rateである SEU_{RCNP} と、GHMCにおけるSEU rateである SEU_{GHMC} の関係を示す。

$$SEU_{GHMC} = 1.01 \times SEU_{RCNP} \quad (4.4)$$

SEU_{GHMC} は、 SEU_{RCNP} よりおよそ1%高く、数%程度と見積もられるGHMCのモニタ線量計によるフルエンス測定の不確かさに含まれる範囲である。したがって、観測された差はフルエンス測定の不確かさに起因すると考えられる。この結果は、GHMCとRCNPで中性子スペクトルが異なるにもかかわらず、それぞれの中性子環境がSEUに有意な差をもたらさなかったことを示している。

SET測定結果を図4.20に示す。GHMCおよびRCNPの両方において、280 psのパルスが最も多く観測された。図4.21は、GHMCおよびRCNPにおける特定のパルス幅以上のSET rateおよびフィッティング曲線を示し、245 psを超えるパルス幅に対しては、GHMCとRCNPの結果は概ね一致している。一方で、245 ps未満のパルス幅では、RCNPにおけるSET rateがGHMCより高い。いくつかの先

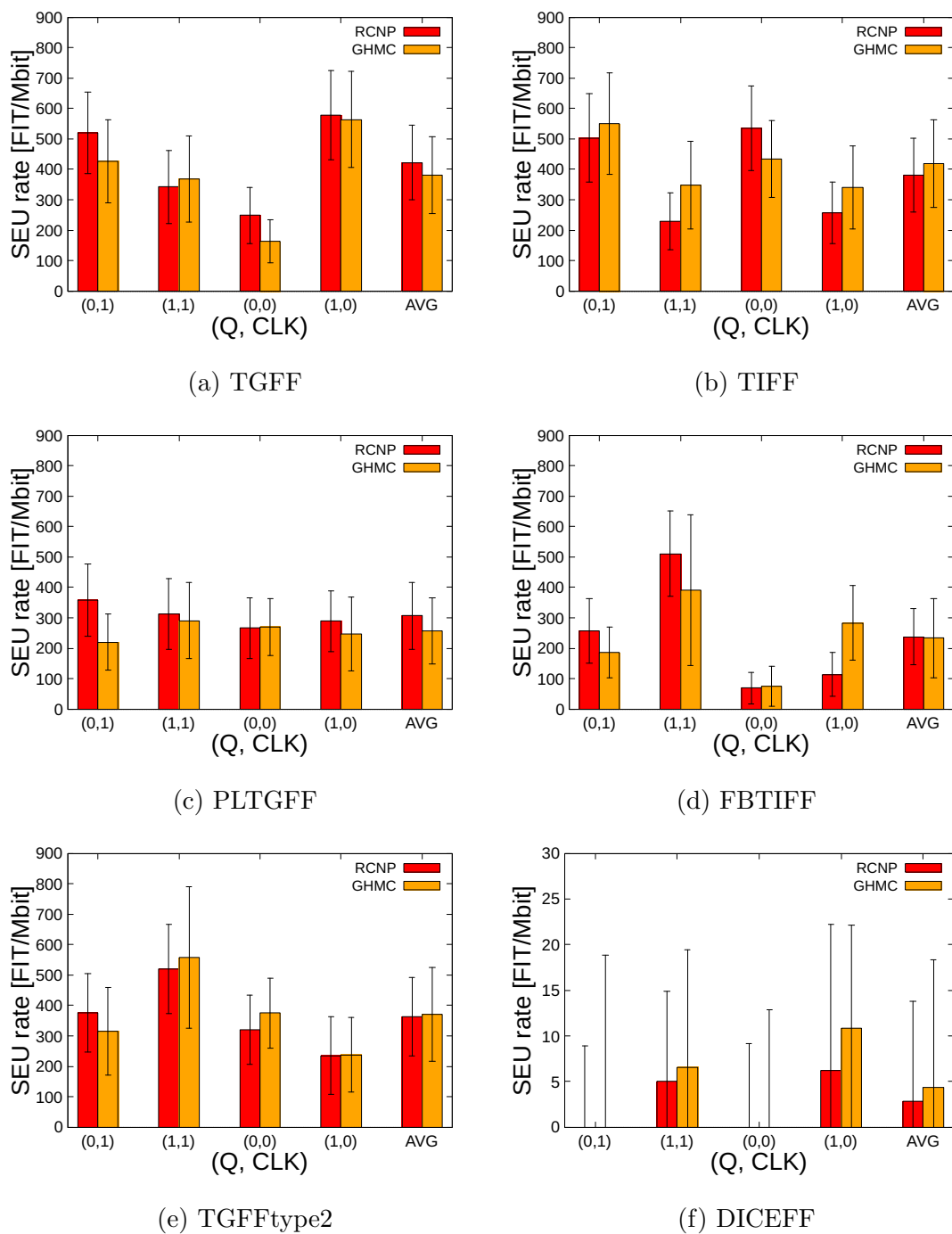


図 4.18: GHMC および RCNP における 6 種類の FF の SEU rate. エラーバーは 95%信頼区間を表す. なお, (f) のみ縦軸のスケールが異なる.

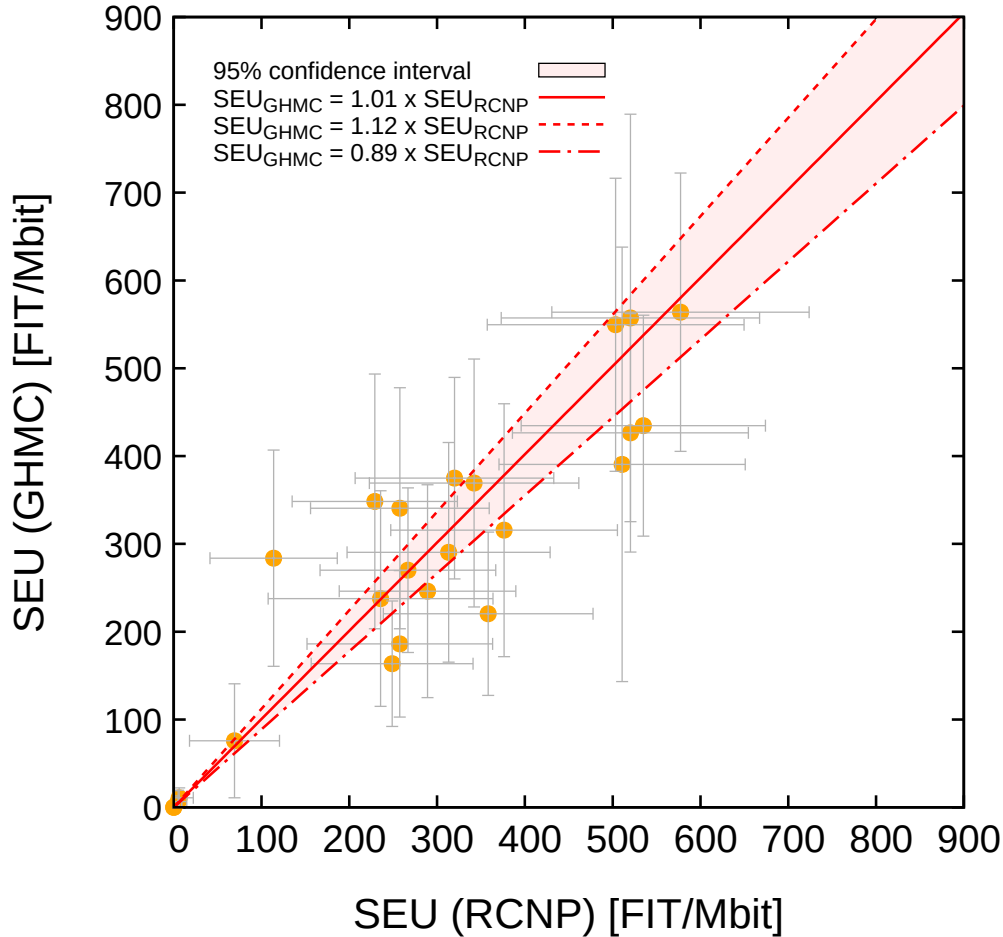


図 4.19: RCNP と GHMC における SEU rate の比較. 赤線は, SEU_{RCNP} と SEU_{GHMC} の関係に対する一次近似であり, 直交距離回帰を用いて求めたものである. 薄赤色の領域は近似直線の 95%信頼区間である.

行研究では, 中エネルギー中性子 (1~10 MeV) が 65 nm プロセスのソフトエラーに無視できない寄与を持つ可能性が報告されている [70][71][72][73][74]. 本測定で見られた短パルス成分の増加は, 表 4.4 に示す通り RCNP において 1~10 MeV の中性子の比率が高いことに起因すると考えられる. すなわち, RCNP では GHMC よりも 1~10 MeV の中性子が多く, これらが 245, ps 未満の SET パルスを生じさ

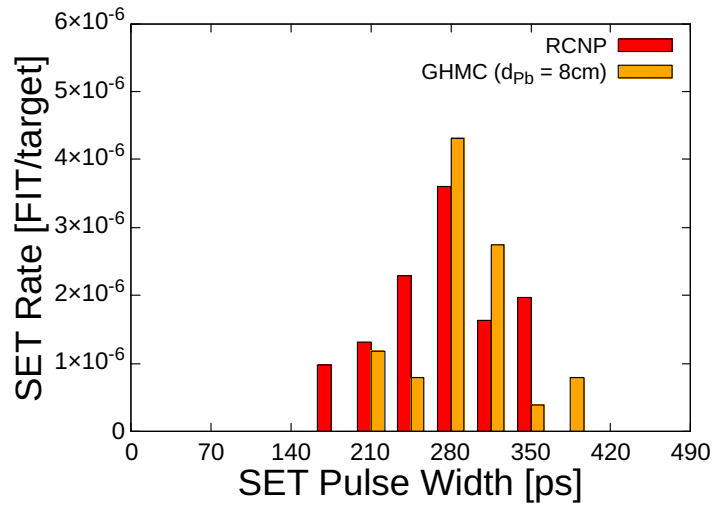


図 4.20: RCNP と GHMC で測定した SET パルス幅分布. GHMC の測定では d_{pb} を 8 cm とした.

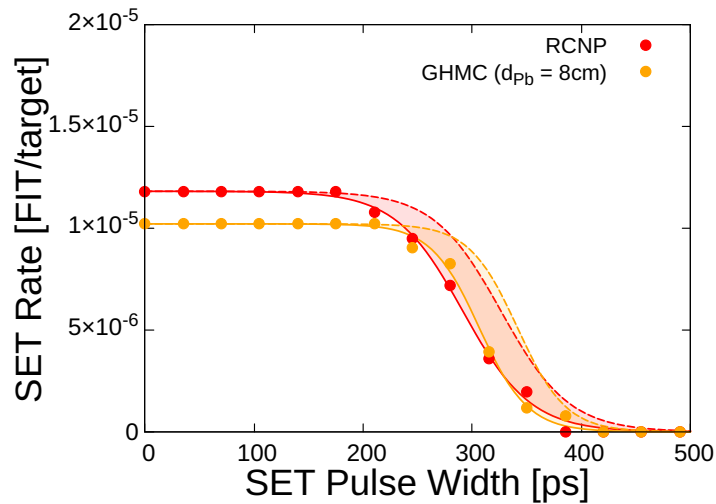


図 4.21: RCNP および GHMC における, 特定パルス幅以上の SET rate と近似曲線. 測定回路に用いた TDC の分解能 (35 ps) を淡色で示す.

せたと考えられる. しかしながら, 前述の通り SEU rate には両施設間で有意な差は観測されなかった. SET target と FF を構成するトランジスタはゲート幅が異なるため, 観測されたパルス幅と FF の反転閾値となるパルス幅は厳密には対応しないが, 少なくとも本研究で用いた 65 nm FF においては, この「245, ps 未満

表 4.4: 各試験施設の 1-10 MeV/10+ MeV スペクトルと地上スペクトルとの差異.

Energy Range	NYC[74]	GHMC	RCNP
1 - 10 MeV	36%	24%	57%
10 + MeV	64%	76%	43%

の SET パルスが発生させる粒子（中エネルギー中性子）」が、SEU に対してほとんど寄与しなかったことを示している。したがって、中エネルギー中性子の影響による SEU の増加が無視できる条件においては、医療用炭素線は白色中性子ビームの代替となり得る。

4.5 まとめ

本章では、医療用炭素線照射施設を用いた半導体チップのソフトエラー耐性評価手法を提案した。中性子は炭素ビームをアクリルブロックに照射することで生成し、中性子とともに生成された荷電粒子は、Pb ブロックによって遮蔽した。シミュレーション結果より、 $d_{Pb} \geq 4 \text{ cm}$ において荷電粒子の影響が十分に抑制されることが示され、特に、 $d_{Pb} = 8 \text{ cm}$ では中性子の割合が 90% を超えた。

実測により、 d_{Pb} と SEU/SET 率の関係を調査した。SEU 率は、 $d_{Pb} < 4 \text{ cm}$ では荷電粒子の影響により増加し、 $d_{Pb} = 8 \text{ cm}$ では安定し、直接電離の影響が低減した。SET 測定では、 $d_{Pb} = 4 \text{ cm}$ において 245 ps 未満のパルスがより多く観測され、陽子、重陽子、三重陽子が十分に遮蔽されていないことが示唆された。しかし、 $d_{Pb} = 4 \text{ cm}$ と 8 cm における SEU 率の差は 6% 以内であり、これらの短パルスは SEU 率にほとんど影響を与えなかった。

さらに、提案手法による結果と、65 nm バルクプロセス FF を用いた WN による結果を比較した。SEU_{GHMC} と SEU_{RCNP} の相関係数は 0.98 であった。それらの (Q, CLK) 依存性はほぼ等価であり、SEU 率の差は約 1% 以内であった。SET 測定においても、GHMC および RCNP の結果は概ね一致し、特に、245 ps より長いパルスでは両施設で類似した傾向を示した。一方、245 ps 未満のパルスでは RCNP の方が発生率が高かった。これは、RCNP における 1-10 MeV の中エネルギー中性子の割合が GHMC よりも高いことによると考えられる。しかしながら、両施設で SEU 率は概ね等価であり、1-10 MeV の中エネルギー中性子が 65 nm バルクプロセス FF の SEU 率に与える影響が限定的であることを示している。

以上の結果から、中エネルギー中性子の影響が支配的でない場合において、本手法による医療用炭素線は白色中性子ビームの代替として十分に利用可能であり、地上向けソフトエラー評価の可用性向上に寄与することを示した。

第5章 結論

本論文では、地上環境および宇宙環境を想定した耐ソフトエラーフリップフロップを提案および実測による耐性評価を行った。医療用炭素線を用いた地上向けソフトエラー評価手法を構築し、白色中性子施設との比較によりその有効性を示した。

5.1 研究成果のまとめ

第2章では、性能オーバーヘッドと放射線耐性のバランスをとった、地上用途向けの耐放射線 FF を提案した。提案 FF は、従来の多重化回路と比較して少ないトランジスタ数で性能オーバーヘッドは DICEFF より小さく、D-Q 遅延の増加を 10%未満に抑制できる。提案 FF を 65 nm バルクプロセスで試作し、 α 線および中性子照射試験を実施したところ、PLTGFF と FBTIFF は、それぞれ 32%、58% ソフトエラー率を低減した。提案 FF は DICEFF ほどのソフトエラー耐性を有さないものの、信頼性と性能のトレードオフは DICEFF および STDFF よりも優れていることを示した。

第3章では、22 nm および 65 nm FD-SOI プロセスにおいて、STDFF、DFRFF、および DFRFFLD の3種類のフリップフロップ (FF) のソフトエラー耐性を、重イオン照射により評価した。DFRFF については、ガードゲート (GG) 構造および C-element 構造を改良した。SL の C-element の入力を入れ替えることで、PL の GG 遅延を増加させた。放射線が2つの OFF 状態トランジスタに同時に当たるのを防ぐために、CLK 入力を持つ ON 状態のトランジスタを、2つの OFF 状態トランジスタの間に配置した。22 nm プロセスでは、DFRFFLD は Ar および Kr 照射試験下でエラーが発生せず、Xe 照射下では STDFF の 1800 倍のソフトエラー耐性を示したことから、22 nm プロセスの DFRFFLD は、宇宙用途に十分なソフトエラー耐性を有している。65 nm プロセスにおいては、改良型 DFRFF の CS は従来型 DFRFF と比較して 77%低減し、ガードゲート構造および C-element の改良が有効であることが確認された。一方で、65 nm プロセスにおける DFRFFLD は、Kr 照射下の (Q, CLK) = (0, 0) 条件では STDFF の約 2 倍のソフトエラー耐

性にとどまった。さらに、GG 遅延と CS の関係から、Kr 照射下でエラーが観測されなかった GG 遅延条件も明らかになった。重イオンによるエラーを防ぐためには、GG 遅延をこの条件よりも長く設定する必要がある。これらの結果を踏まえ、設計変更を最小限に抑えつつソフトエラー耐性をさらに高めた IRPSFF を提案した。改善版 FF である IRPSFF は、RSR 構造を用いた SL とパストランジスタベースのガードゲートを組み合わせることで、ソフトエラー耐性を改善している。ポストレイアウトシミュレーションおよび重イオン照射試験により、65 nm プロセスにおける IRPSFF は DFRFF と同等の低消費電力・低遅延特性を維持しつつ、Stacked FF に匹敵する放射線耐性を有することが確認された。

第4章では、医療用炭素線照射施設を用いた半導体チップのソフトエラー耐性評価手法を提案した。中性子は炭素ビームをアクリルブロックに照射することで生成し、中性子とともに生成された荷電粒子は、Pb ブロックによって遮蔽した。シミュレーション結果より、 $d_{Pb} \geq 4 \text{ cm}$ において荷電粒子の影響が十分に抑制され、特に、 $d_{Pb} = 8 \text{ cm}$ では中性子の割合が 90% を超えた。実測により、 d_{Pb} と SEU/SET 率の関係を調査した。SEU 率は、 $d_{Pb} < 4 \text{ cm}$ では荷電粒子の影響により増加、 $d_{Pb} = 8 \text{ cm}$ では安定し、直接電離の影響が低減した。SET 測定では、 $d_{Pb} = 4 \text{ cm}$ において 245 ps 未満のパルスがより多く観測され、陽子、重陽子、三重陽子が十分に遮蔽されていないことが示唆された。しかし、 $d_{Pb} = 4 \text{ cm}$ と 8 cm における SEU 率の差は 6% 以内であり、これらの短パルスは SEU 率にほとんど影響を与えなかった。次いで、提案手法による結果と、65 nm バルクプロセス FF を用いた WN による結果を比較した。SEU_{GHMC} と SEU_{RCNP} の相関係数は 0.98、(Q, CLK) 依存性はほぼ等価であり、SEU 率の差は約 1% 以内であった。SET 測定においても、GHMC および RCNP の結果は概ね一致し、特に、245 ps より長いパルスでは両施設で類似した傾向を示した。一方、245 ps 未満のパルスでは RCNP の方が発生率が高かった。これは、RCNP における 1-10 MeV の中エネルギー中性子の割合が GHMC よりも高いことによると考えられる。しかしながら、両施設で SEU 率は概ね等価であり、1-10 MeV の中エネルギー中性子が 65 nm バルクプロセス FF の SEU 率に与える影響が限定的であることを示す。これらの結果に基づき、中エネルギー中性子の影響を無視できる場合には、医療用炭素線は白色中性子ビームの代替として使用できる可能性があることを示した。

以上の通り、本研究では「環境・プロセスに適應した低オーバーヘッドな回路設計 (第2, 3章)」と「可用性の高い迅速な評価手法 (第4章)」をそれぞれ確立した。

本研究で示した可用性の高い評価手法を開発フローに組み込み、実測検証のサイクルを短縮することで、従来のような過度な冗長化（TMR や DICE 等）に頼ることなく、本研究で提案したような性能オーバーヘッドの小さい回路構造を積極的に採用することが可能となる。すなわち、本研究で得られた実装コストを低減する設計技術と評価コストを低減する評価技術は、相互に補完し合うことで、高信頼性集積回路の開発におけるトータルコストの低減に寄与する有効な技術基盤となるものである。

5.2 今後の展望

今後の展望は評価と設計の双方から以下のように整理される。評価面においては、本研究で構築した医療用炭素線による評価手法を、宇宙開発に向けた重イオン照射の代替・補完技術へと応用展開が期待される。近年の宇宙開発の活発化に伴い、宇宙用途集積回路の評価件数も増加し、現時点で確保できている重イオン照射ビームタイムについても、将来的には逼迫することが予想される。炭素線照射を宇宙環境向けの耐性評価にも活用できれば、ビームタイムの逼迫を緩和する1つの手段となる。このような評価手法を成立させるためには、特定の粒子照射試験とデバイスシミュレーションに基づいて、電荷収集に関わる物理パラメータを抽出し、未評価条件におけるソフトエラー耐性を推定する耐性予測モデルの構築が必要と考えられる。

設計面においては、本研究の環境適応型設計を、超低温環境などのさらなる極限環境へと拡張する。その実現の鍵となるのが、評価技術との連携強化である。具体的には、実測で得られた知見を「耐性予測モデル」へフィードバックし、シミュレーションとの乖離を最小化し、過剰なマージンを徹底的に排除する。これにより、従来はソフトエラーが障壁となっていた極限領域において、高信頼かつ高効率なシステムの実現を可能にする。

このように、本研究で得た設計技術と評価技術を土台とすることで、あらゆる環境において高信頼性集積回路を最短期間で実現する、実践的な設計基盤としての展開が見込まれる。

謝辞

本研究の機会を与えていただき、懇切丁寧なご指導を賜りました小林和淑教授に深く感謝いたします。また、多くの貴重なご助言とご指導を賜りました岡山県立大学 古田潤准教授、京都工芸繊維大学 高井伸和教授、廣木彰准教授、新谷道広准教授、高山創助教ならびに熊代成孝シニアフェローに深く感謝いたします。京都大学 橋本昌宜教授、九州大学 渡辺幸信教授、株式会社ソシオネクスト 加藤貴志博士、日本原子力研究開発機構 安部晋一郎博士には、ソシオネクストとの共同研究報告会およびQASS打ち合わせにおいて本研究に対する貴重なご意見を頂きました。ここに深く感謝いたします。また、imec インターンシップにおいて多くのご助言とご指導を賜りましたLaurent Berti氏、金信寧博士ならびにKU Leuven Paul Leroux 教授に深く感謝申し上げます。九州大学 酒井真理講師には、炭素線のエネルギー特定方法および実験セットアップについて直接ご指導いただきました。ここに深く感謝いたします。出張や物品購入などの手続きで多くのご助力をいただきました秘書の嶋倉有美子女史ならびに寺本みわ女史に深謝いたします。

日頃から有益な助言と、さまざまなご助力を頂いた小林研究室のソフトウェアグループの伊藤貴史氏、杉谷昇太郎氏、小澤太希氏、杉崎春斗氏、吉田圭汰氏、中本耀氏、松本新大氏、谷口宗太郎氏、並びに万代周平氏に深く感謝いたします。また、研究生活をともにした同期のみなさまにも心より感謝いたします。日々の議論や励ましに支えられ、本研究を進めることが出来ました。とりわけ、阿部佑貴氏、伊藤貴史氏、高橋岳大氏、野池峻平氏には、多方面にわたり助けていただきました。

実験に協力していただきました東北大学 先端量子ビーム科学研究センター RARiS (旧 CYRIC)、高崎量子応用研究所 TIARA、理化学研究所 仁科加速器科学研究センター RI ビームファクトリー (RIBF)、大阪大学核物理研究センター RCNP、群馬大学医学部附属病院 重粒子線医学センター (GHMC) の職員の皆様、並びにデータの提供をいただきました方々に深く感謝いたします。シミュレーションやレイアウト設計に用いたツールは東京大学大学院工学系研究科附属システムデザイン研究センター基盤設計研究部門 (VDEC) を通して日本シノプ

シス合同会社，日本ケイデンス株式会社，シーメンス EDA ジャパン株式会社から提供されました。VDEC のスタッフおよび関係者のみなさまに感謝いたします。JST 次世代研究者挑戦的研究プログラム（SPRING）ならびに日本学術振興会特別研究員制度による助成をいただいたことに深く感謝いたします。

最後に，学部 1 回生から今日に至るまで支え続けてくれた妻 竹邊日和博士（京都大学 助教）に，深甚なる謝意を表します。

参考文献

- [1] G. Moore, “Cramming more components onto integrated circuits,” *Proceedings of the IEEE*, vol. 86, no. 1, pp. 82–85, 1998.
- [2] R. Baumann, “Radiation-induced soft errors in advanced semiconductor technologies,” *IEEE Transactions on Device and Materials Reliability*, vol. 5, no. 3, pp. 305–316, 2005.
- [3] H. Ando, R. Kan, Y. Tosaka, K. Takahisa, and K. Hatanaka, “Validation of hardware error recovery mechanisms for the SPARC64 V microprocessor,” in *2008 IEEE International Conference on Dependable Systems and Networks With FTCS and DCC (DSN)*, 2008, pp. 62–69.
- [4] S. Baeg, S. Wen, and R. Wong, “SRAM interleaving distance selection with a soft error failure model,” *IEEE Transactions on Nuclear Science*, vol. 56, no. 4, pp. 2111–2118, 2009.
- [5] *Measurement and Reporting of Alpha Particle and Terrestrial Cosmic Ray-Induced Soft Errors in Semiconductor Devices*, Standard JEDEC JESD89B, 2021.
- [6] C. Hsieh, P. Murley, and R. O’Brien, “A field-funneling effect on the collection of alpha-particle-generated carriers in silicon devices,” *IEEE Electron Device Letters*, vol. 2, no. 4, pp. 103–105, 1981.
- [7] N. N. Mahatme, N. J. Gaspard, S. Jagannathan, T. D. Loveless, B. L. Bhuvu, W. H. Robinson, L. W. Massengill, S.-J. Wen, and R. Wong, “Impact of supply voltage and frequency on the soft error rate of logic circuits,” *IEEE Transactions on Nuclear Science*, vol. 60, no. 6, pp. 4200–4206, 2013.
- [8] P. Hazucha and C. Svensson, “Impact of CMOS technology scaling on the atmospheric neutron soft error rate,” *IEEE Transactions on Nuclear Science*, vol. 47, no. 6, pp. 2586–2594, 2000.

-
- [9] M. Ebara, K. Yamada, J. Furuta, and K. Kobayashi, "Comparison of radiation hardness of stacked transmission-gate flip flop and stacked tristate-inverter flip flop in a 65 nm thin BOX FDSOI process," in *2019 IEEE 25th International Symposium on On-Line Testing and Robust System Design (IOLTS)*, 2019, pp. 1–6.
- [10] S. A. Khan, S.-J. Wen, and S. Baeg, "Assessing alpha-particle-induced SEU sensitivity of flip-chip bonded SRAM using high energy irradiation," *IEICE Electronics Express*, vol. 13, no. 17, pp. 20 160 627–20 160 627, 2016.
- [11] Y.-P. Fang and A. S. Oates, "Thermal neutron-induced soft errors in advanced memory and logic devices," *IEEE Transactions on Device and Materials Reliability*, vol. 14, no. 1, pp. 583–586, 2014.
- [12] R. Ramanarayanan, V. S. Degalahal, R. Krishnan, J. Kim, V. Narayanan, Y. Xie, M. J. Irwin, and K. Unlu, "Modeling soft errors at the device and logic levels for combinational circuits," *IEEE Transactions on Dependable and Secure Computing*, vol. 6, no. 3, pp. 202–216, 2009.
- [13] H. Asai, K. Sugimoto, I. Nashiyama, Y. Iide, K. Shiba, M. Matsuda, and Y. Miyazaki, "Terrestrial neutron-induced single-event burnout in SiC power diodes," in *2011 12th European Conference on Radiation and Its Effects on Components and Systems*, 2011, pp. 238–243.
- [14] J. Ziegler, "Terrestrial cosmic rays," *IBM Journal of Research and Development*, vol. 40, no. 1, pp. 19–39, 1996.
- [15] H. Iwashita, G. Funatsu, H. Sato, T. Kamiyama, M. Furusaka, S. A. Wender, E. Pitcher, and Y. Kiyanagi, "Energy-resolved soft-error rate measurements for 1–800 MeV neutrons by the time-of-flight technique at LANSCE," *IEEE Transactions on Nuclear Science*, vol. 67, no. 11, pp. 2363–2369, 2020.
- [16] C. P. Jenet L. B., John C. I., "The radiation environment for the next generation space telescope," in *NGST Document*, Sep. 2000 [Online] Available: <https://bhi.gsfc.nasa.gov>, pp. A8–A12.

- [17] *Space product assurance Radiation hardness assurance - EEE components*, Standard ECSS ECSS-Q-ST-60-15C Rev.1, 2025. [Online]. Available: [https://ecss.nl/wp-content/uploads/2025/03/ECSS-Q-ST-60-15C-Rev.1\(20March2025\).pdf](https://ecss.nl/wp-content/uploads/2025/03/ECSS-Q-ST-60-15C-Rev.1(20March2025).pdf)
- [18] J. Alcaraz, D. Alvisi, B. Alpat, G. Ambrosi, H. Anderhub, L. Ao, A. Arefiev, P. Azzarello, E. Babucci, L. Baldini, M. Basile, D. Barancourt, F. Barao, G. Barbier, G. Barreira, R. Battiston, R. Becker, U. Becker, L. Bellagamba, P. Béné, J. Berdugo, P. Berges, B. Bertucci, A. Biland, S. Bizzaglia, S. Blasko, G. Boella, M. Boschini, M. Bourquin, G. Bruni, M. Buenerd, J. Burger, W. Burger, X. Cai, R. Cavalletti, C. Camps, P. Cannarsa, M. Capell, D. Casadei, J. Casaus, G. Castellini, Y. Chang, H. Chen, H. Chen, Z. Chen, N. Chernoplekov, A. Chiarini, T. Chiueh, Y. Chuang, F. Cindolo, V. Commichau, A. Contin, A. Cotta-Ramusino, P. Crespo, M. Cristinziani, J. da Cunha, T. Dai, J. Deus, N. Dinu, L. Djambazov, I. D'Antone, Z. Dong, P. Emonet, J. Engelberg, F. Eppling, T. Eronen, G. Esposito, P. Extermann, J. Favier, C. Feng, E. Fiandrini, F. Finelli, P. Fisher, R. Flaminio, G. Fluegge, N. Fouque, Y. Galaktionov, M. Gervasi, P. Giusti, D. Grandi, W. Gu, K. Hangarter, A. Hasan, V. Hermel, H. Hofer, M. Huang, W. Hungerford, M. Ionica, R. Ionica, M. Jongmanns, K. Karlamaa, W. Karpinski, G. Kenney, J. Kenny, W. Kim, A. Klimentov, R. Kossakowski, V. Koutsenko, G. Laborie, T. Laitinen, G. Lamanna, G. Laurenti, A. Lebedev, S. Lee, G. Levi, P. Levtchenko, C. Liu, H. Liu, M. Lolli, I. Lopes, G. Lu, Y. Lu, K. Lübelmeyer, D. Luckey, W. Luster mann, C. Maña, A. Margotti, F. Massera, F. Mayet, R. McNeil, B. Meillon, M. Menichelli, F. Mezzanotte, R. Mezzenga, A. Mihul, G. Molinari, A. Mourao, A. Mujunen, F. Palmonari, G. Pancaldi, A. Papi, I. Park, M. Pauluzzi, F. Pauss, E. Perrin, A. Pesci, A. Pevsner, R. Pilastrini, M. Pimenta, V. Plyaskin, V. Pojidaev, H. Postema, V. Postolache, E. Prati, N. Produit, P. Rancoita, D. Rapin, F. Raupach, S. Recupero, D. Ren, Z. Ren, M. Ribordy, J. Richeux, E. Riihonen, J. Ritakari, U. Roeser, C. Roissin, R. Sagdeev, D. Santos, G. Sartorelli, A. Schultz von Dratzig, G. Schwering, E. Seo, V. Shoutko, E. Shoumilov, R. Siedling, D. Son, T. Song, M. Steuer, G. Sun, H. Suter, X. Tang,

-
- S. C. Ting, S. Ting, M. Tornikoski, G. Torromeo, J. Torsti, J. Trümper, J. Ulbricht, S. Urpo, I. Usoskin, E. Valtonen, J. Vandenhirtz, F. Velcea, E. Velikhov, B. Verlaat, I. Vetlitsky, F. Vezzu, J. Vialle, G. Viertel, D. Vité, H. Von Gunten, S. Waldmeier Wicki, W. Wallraff, B. Wang, J. Wang, Y. Wang, K. Wiik, C. Williams, S. Wu, P. Xia, J. Yan, L. Yan, C. Yang, M. Yang, S. Ye, P. Yeh, Z. Xu, H. Zhang, Z. Zhang, D. Zhao, G. Zhu, W. Zhu, H. Zhuang, and A. Zichichi, “Protons in near earth orbit,” *Physics Letters B*, vol. 472, no. 1, pp. 215–226, 2000. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/S0370269399014276>
- [19] D. M. Gomez-Coral, C. Gerrity, R. Munini, and P. von Doetinchem, “Current status and new perspectives on cosmic ray deuterons,” *Phys. Rev. D*, vol. 107, p. 123008, Jun 2023. [Online]. Available: <https://link.aps.org/doi/10.1103/PhysRevD.107.123008>
- [20] J. Baggio, V. Ferlet-Cavrois, H. Duarte, and O. Flament, “Analysis of proton/neutron SEU sensitivity of commercial SRAMs-application to the terrestrial environment test method,” *IEEE Transactions on Nuclear Science*, vol. 51, no. 6, pp. 3420–3426, 2004.
- [21] E. Normand, “Extensions of the burst generation rate method for wider application to proton/neutron-induced single event effects,” *IEEE Transactions on Nuclear Science*, vol. 45, no. 6, pp. 2904–2914, 1998.
- [22] C. Dyer, S. Clucas, C. Sanderson, A. Frydland, and R. Green, “An experimental study of single-event effects induced in commercial SRAMs by neutrons and protons from thermal energies to 500 MeV,” *IEEE Transactions on Nuclear Science*, vol. 51, no. 5, pp. 2817–2824, 2004.
- [23] N. A. Dodds, M. J. Martinez, P. E. Dodd, M. R. Shaneyfelt, F. W. Sexton, J. D. Black, D. S. Lee, S. E. Swanson, B. L. Bhuva, K. M. Warren, R. A. Reed, J. Trippe, B. D. Sierawski, R. A. Weller, N. Mahatme, N. J. Gaspard, T. Assis, R. Austin, S. L. Weeden-Wright, L. W. Massengill, G. Swift, M. Wirthlin, M. Cannon, R. Liu, L. Chen, A. T. Kelly, P. W. Marshall, M. Trinczek, E. W. Blackmore, S.-J. Wen, R. Wong, B. Narasimham, J. A. Pellish, and H. Puchner,

- “The contribution of low-energy protons to the total on-orbit SEU rate,” *IEEE Transactions on Nuclear Science*, vol. 62, no. 6, pp. 2440–2451, 2015.
- [24] P. Roche, J.-L. Autran, G. Gasiot, and D. Munteanu, “Technology downscaling worsening radiation effects in bulk: SOI to the rescue,” in *2013 IEEE International Electron Devices Meeting*, 2013, pp. 31.1.1–31.1.4.
- [25] N. H. Weste and D. Harris, “CMOS VLSI design a circuits and systems perspective fourth edition,” in *Addison Wesley*, 2010.
- [26] R. Ranica, N. Planes, O. Weber, O. Thomas, S. Haendler, D. Noblet, D. Croain, C. Gardin, and F. Arnaud, “FDSOI process/design full solutions for ultra low leakage, high speed and low voltage SRAMs,” in *2013 Symposium on VLSI Circuits*, 2013, pp. T210–T211.
- [27] D. G. Mavis and P. H. Eaton, “Soft error rate mitigation techniques for modern microcircuits,” in *IRPS*, 2002, pp. 216–225.
- [28] M. Zhang, S. Mitra, T. M. Mak, N. Seifert, N. J. Wang, Q. Shi, K. S. Kim, N. R. Shanbhag, and S. J. Patel, “Sequential element design with built-in soft error resilience,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 14, no. 12, pp. 1368–1378, Dec 2006.
- [29] J. Furuta, C. Hamanaka, K. Kobayashi, and H. Onodera, “A 65nm bistable cross-coupled dual modular redundancy flip-flop capable of protecting soft errors on the c-element,” in *2010 Symposium on VLSI Circuits*, June 2010, pp. 123–124.
- [30] F. Mori, M. Ebara, Y. Tsukita, J. Furuta, and K. Kobayashi, “Intrinsic vulnerability to soft errors and a mitigation technique by layout optimization on DICE flip flops in a 65-nm bulk process,” *IEEE Transactions on Nuclear Science*, vol. 68, no. 8, pp. 1727–1735, 2021.
- [31] T. Calin, M. Nicolaidis, and R. Velazco, “Upset hardened memory design for submicron CMOS technology,” *IEEE Transactions on Nuclear Science*, no. 6, pp. 2874–2878, Dec 1996.

-
- [32] R. Yamamoto, C. Hamanaka, J. Furuta, K. Kobayashi, and H. Onodera, "An area-efficient 65 nm radiation-hard dual-modular flip-flop to avoid multiple cell upsets," *IEEE Transactions on Nuclear Science*, vol. 58, no. 6, pp. 3053–3059, 2011.
- [33] T. Karnik, S. Vangal, V. Veeramachaneni, P. Hazucha, V. Erraguntla, and S. Borkar, "Selective node engineering for chip-level soft error rate improvement in CMOS," in *2002 Symposium on VLSI Circuits. Digest of Technical Papers (Cat. No.02CH37302)*, 2002, pp. 204–205.
- [34] M. Glorieux, S. Clerc, G. Gasiot, J.-L. Autran, and P. Roche, "New d-flip-flop design in 65 nm CMOS for improved SEU and low power overhead at system level," *IEEE Transactions on Nuclear Science*, vol. 60, no. 6, pp. 4381–4386, 2013.
- [35] H. Jiang, H. Zhang, D. R. Ball, L. W. Massengill, B. L. Bhuvu, T. R. Assis, and B. Narasimham, "SE performance of a schmitt-trigger-based d-flip-flop design in a 16-nm bulk FinFET CMOS process," in *2016 IEEE International Reliability Physics Symposium (IRPS)*, 2016, pp. 3B-2-1–3B-2-6.
- [36] N. Seifert, V. Ambrose, B. Gill, Q. Shi, R. Allmon, C. Recchia, S. Mukherjee, N. Nassif, J. Krause, J. Pickholtz, and A. Balasubramanian, "On the radiation-induced soft error performance of hardened sequential elements in advanced bulk CMOS technologies," in *2010 IEEE International Reliability Physics Symposium*, 2010, pp. 188–197.
- [37] A. Makihara, T. Yamaguchi, H. Asai, Y. Tsuchiya, Y. Amano, M. Midorikawa, H. Shindou, S. Onoda, T. Hirao, Y. Nakajima, T. Takahashi, K. Ohnishi, and S. Kuboyama, "Optimization for SEU/SET immunity on 0.15 μm fully depleted CMOS/SOI digital logic devices," *IEEE Transactions on Nuclear Science*, vol. 53, no. 6, pp. 3422–3427, 2006.
- [38] A. Makihara, T. Yamaguchi, Y. Tsuchiya, T. Arimitsu, H. Asai, Y. Iide, H. Shindou, S. Kuboyama, and S. Matsuda, "SEE in a 0.15 μm fully depleted CMOS/SOI commercial process," *IEEE Transactions on Nuclear Science*, vol. 51, no. 6, pp. 3621–3625, 2004.

- [39] K. Yamada, M. Ebara, K. Kojima, Y. Tsukita, J. Furuta, and K. Kobayashi, “Radiation-hardened structure to reduce sensitive range of a stacked structure for FDSOI,” *IEEE Transactions on Nuclear Science*, vol. 66, no. 7, pp. 1418–1426, 2019.
- [40] A. Balasubramanian, B. Bhuva, J. Black, and L. Massengill, “RHBD techniques for mitigating effects of single-event hits using guard-gates,” *IEEE Transactions on Nuclear Science*, vol. 52, no. 6, pp. 2531–2535, 2005.
- [41] B. Narasimham, B. L. Bhuva, R. D. Schrimpf, L. W. Massengill, M. J. Gadlage, O. A. Amusan, W. T. Holman, A. F. Witulski, W. H. Robinson, J. D. Black, J. M. Benedetto, and P. H. Eaton, “Characterization of digital single event transient pulse-widths in 130-nm and 90-nm CMOS technologies,” *IEEE Transactions on Nuclear Science*, vol. 54, no. 6, pp. 2506–2511, 2007.
- [42] T. Uezono, T. Toba, K. Shimbo, F. Nagasaki, and K. Kawamura, “Evaluation technique for soft-error rate in terrestrial environment utilizing low-energy neutron irradiation,” in *2016 IEEE 25th Asian Test Symposium (ATS)*, 2016, pp. 293–297.
- [43] S.-I. Abe, M. Hashimoto, W. Liao, T. Kato, H. Asai, K. Shimbo, H. Matsuyama, T. Sato, K. Kobayashi, and Y. Watanabe, “A terrestrial SER estimation methodology based on simulation coupled with one-time neutron irradiation testing,” *IEEE Transactions on Nuclear Science*, vol. 70, no. 8, pp. 1652–1657, 2023.
- [44] T. Sato, Y. Iwamoto, S. Hashimoto, T. Ogawa, T. Furuta, S.-I. Abe, T. Kai, Y. Matsuya, N. Matsuda, Y. Hirata, T. Sekikawa, L. Yao, P.-E. Tsai, H. N. Ratliff, H. Iwase, Y. Sakaki, K. Sugihara, N. Shigyo, L. Sihver, and K. Niita, “Recent improvements of the particle and heavy ion transport code system – PHITS version 3.33,” *Journal of Nuclear Science and Technology*, vol. 61, no. 1, pp. 127–135, 2024.
- [45] K. Takami, Y. Gomi, R. Yasuda, S.-I. Abe, M. Itoh, H. Kanda, M. Fukuda, and M. Hashimoto, “Validating terrestrial SER in 12-, 28-, and 65-nm SRAMs

-
- estimated by simulation coupled with one-time neutron irradiation,” *IEEE Transactions on Nuclear Science*, vol. 72, no. 8, pp. 2622–2628, 2025.
- [46] P. Shivakumar, M. Kistler, S. Keckler, D. Burger, and L. Alvisi, “Modeling the effect of technology trends on the soft error rate of combinational logic,” in *Proceedings International Conference on Dependable Systems and Networks*, 2002, pp. 389–398.
- [47] R. Nakajima, K. Ioki, J. Furuta, and K. Kobayashi, “Radiation hardened flip-flops minimizing area, power, and delay overheads with 1/100 lower α -SER in a 130 nm bulk process,” in *2022 IEEE 28th International Symposium on On-Line Testing and Robust System Design (IOLTS)*, 2022, pp. 1–5.
- [48] K. Yamada, H. Maruoka, J. Furuta, and K. Kobayashi, “Radiation-hardened flip-flops with low-delay overhead using pMOS pass-transistors to suppress SET pulses in a 65-nm FDSOI process,” *IEEE Transactions on Nuclear Science*, vol. 65, no. 8, pp. 1814–1822, 2018.
- [49] H. Kobayashi, N. Kawamoto, J. Kase, and K. Shiraishi, “Alpha particle and neutron-induced soft error rates and scaling trends in SRAM,” in *2009 IEEE International Reliability Physics Symposium*, 2009, pp. 206–211.
- [50] C. W. Slayman, “Theoretical correlation of broad spectrum neutron sources for accelerated soft error testing,” *IEEE Transactions on Nuclear Science*, vol. 57, no. 6, pp. 3163–3168, 2010.
- [51] H. Kanda, N. Kobayashi, T. Shima, A. Tamii, K. Nagayama, M. Fukuda, T. Yorita, Z. Hang, S.-I. Abe, Y. Iwamoto, and D. Satoh, “Restart of the RCNP white neutron source,” in *Proceedings of 21st Annual Meeting of Particle Accelerator Society of Japan (PASJ)*, Yamagata, Japan, 2024, pp. 1084–1088, (in Japanese).
- [52] T. Uemura, B. Chung, S. Chung, S. Lee, Y. Hwang, and S. Pae, “Impact of design and process on alpha-induced SER in 4 nm Bulk-FinFET SRAM,” in *2023 IEEE International Reliability Physics Symposium (IRPS)*, 2023, pp. 1–8.

- [53] M. M. Mahmoud, J. Prinzie, and P. Leroux, “Acinonyx: A fault-tolerant high-performance microprocessor in 28-nm FD-SOI for long-term space missions,” in *2023 European Data Handling & Data Processing Conference (EDHPC)*, 2023, pp. 1–7.
- [54] K. Yamada, J. Furuta, and K. Kobayashi, “Radiation-hardened flip-flops with small area and delay overheads using guard-gates in FDSOI processes,” in *2018 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)*, 2018, pp. 1–3.
- [55] M. Ebara, K. Yamada, K. Kojima, Y. Tsukita, J. Furuta, and K. Kobayashi, “Evaluation of soft-error tolerance by neutrons and heavy ions on flip flops with guard gates in a 65-nm thin BOX FDSOI process,” *IEEE Transactions on Nuclear Science*, vol. 67, no. 7, pp. 1470–1477, 2020.
- [56] J. Auerhammer, C. Hartig, K. Wendt, R. van Oostrum, G. Pfeiffer, S. Bayer, and B. Srocka, “Silicon thickness variation of FD-SOI wafers investigated by differential reflective microscopy,” in *2016 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)*, 2016, pp. 1–3.
- [57] Y. Yamamoto, H. Makiyama, H. Shinohara, T. Iwamatsu, H. Oda, S. Kamohara, N. Sugii, Y. Yamaguchi, T. Mizutani, and T. Hiramoto, “Ultralow-voltage operation of silicon-on-thin-box (SOTB) 2Mbit SRAM down to 0.37 V utilizing adaptive back bias,” in *2013 Symposium on VLSI Circuits*, 2013, pp. T212–T213.
- [58] J. Furuta, J. Yamaguchi, and K. Kobayashi, “A radiation-hardened non-redundant flip-flop, stacked leveling critical charge flip-flop in a 65 nm thin BOX FD-SOI process,” *IEEE Transactions on Nuclear Science*, vol. 63, no. 4, pp. 2080–2086, 2016.
- [59] J. S. Kauppila, T. D. Loveless, R. C. Quinn, J. A. Maharrey, M. L. Alles, M. W. McCurdy, R. A. Reed, B. L. Bhuva, L. W. Massengill, and K. Lilja, “Utilizing device stacking for area efficient hardened SOI flip-flop designs,” in *2014 IEEE International Reliability Physics Symposium*, 2014, pp. SE.4.1–SE.4.7.

-
- [60] K. Yamada, H. Maruoka, J. Furuta, and K. Kobayashi, "Sensitivity to soft errors of nmos and pmos transistors evaluated by latches with stacking structures in a 65 nm FDSOI process," in *2018 IEEE International Reliability Physics Symposium (IRPS)*, 2018, pp. P-SE.3-1-P-SE.3-5.
- [61] R. NAKAJIMA, T. ITO, S. SUGITANI, T. KII, M. EBARA, J. FURUTA, K. KOBAYASHI, M. LOUVAT, F. JACQUET, J.-C. ELOY, O. MONTFORT, L. JURE, and V. HUARD, "Soft-error tolerance by guard-gate structures on flip-flops in 22 and 65 nm FD-SOI technologies," *IEICE Transactions on Electronics*, vol. E107.C, no. 7, pp. 191-200, 2024.
- [62] T. Makino, D. Kobayashi, K. Hirose, Y. Yanagawa, H. Saito, H. Ikeda, D. Takahashi, S. Ishii, M. Kusano, S. Onoda, T. Hirao, and T. Ohshima, "LET dependence of single event transient pulse-widths in SOI logic cell," *IEEE Transactions on Nuclear Science*, vol. 56, no. 1, pp. 202-207, 2009.
- [63] Y. Matsumoto, N. Fukumitsu, H. Ishikawa, K. Nakai, and H. Sakurai, "A critical review of radiation therapy: From particle beam therapy (proton, carbon, and BNCT) to beyond," *Journal of Personalized Medicine*, vol. 11, no. 8, Aug. 2021, Art. no. 825. [Online]. Available: <https://www.mdpi.com/2075-4426/11/8/825>
- [64] M. Durante, "Current status and future trends in particle therapy – lessons from an interdisciplinary workshop," *Health and Technology*, vol. 14, no. 5, pp. 819-821, Sep. 2024. [Online]. Available: <https://doi.org/10.1007/s12553-024-00855-6>
- [65] Y. Chiang, C. M. Tan, T.-C. Chao, C.-C. Lee, and C.-J. Tung, "Investigate the equivalence of neutrons and protons in single event effects testing: A Geant4 study," *Applied Sciences*, vol. 10, no. 9, 2020. [Online]. Available: <https://www.mdpi.com/2076-3417/10/9/3234>
- [66] M. Sakai, M. Miyajima, Y. Kawakami, H. Masuda, Y. Ohkubo, Y. Hoshino, T. Suto, H. Sakurai, and T. Ohno, "Soft error measurement for carbon ion radiotherapy," *Nuclear Instruments and Methods in Physics Research*

Section B: Beam Interactions with Materials and Atoms, vol. 553, p. 165384, 2024. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/S0168583X2400154X>

- [67] T. Ohno, T. Kanai, S. Yamada, K. Yusa, M. Tashiro, H. Shimada, K. Torikai, Y. Yoshida, Y. Kitada, H. Katoh, T. Ishii, and T. Nakano, “Carbon ion radiotherapy at the gunma university heavy ion medical center: New facility set-up,” *Cancers*, vol. 3, no. 4, pp. 4046–4060, Oct. 2011. [Online]. Available: <https://www.mdpi.com/2072-6694/3/4/4046>
- [68] Y. Kawakami, M. Sakai, H. Masuda, M. Miyajima, T. Kanzaki, K. Kobayashi, T. Ohno, and H. Sakurai, “The contribution of secondary particles following carbon ion radiotherapy to soft errors in CIEDs,” *IEEE Open Journal of Engineering in Medicine and Biology*, vol. 5, pp. 157–162, 2024.
- [69] J. FURUTA, S. SUGITANI, R. NAKAJIMA, T. ITO, and K. KOBAYASHI, “Measuring SET pulse widths in pMOSFETs and nMOSFETs separately by heavy ion and neutron irradiation,” *IEICE Transactions on Electronics*, vol. E107.C, no. 9, pp. 255–262, 2024.
- [70] J. Baggio, D. Lambert, V. Ferlet-Cavrois, P. Paillet, C. Marcandella, and O. Duhamel, “Single event upsets induced by 1–10 MeV neutrons in Static-RAMs using mono-energetic neutron sources,” *IEEE Transactions on Nuclear Science*, vol. 54, no. 6, pp. 2149–2155, Dec. 2007.
- [71] E. Ibe, H. Taniguchi, Y. Yahagi, K. Shimbo, and T. Toba, “Impact of scaling on neutron-induced soft error in SRAMs from a 250 nm to a 22 nm design rule,” *IEEE Transactions on Electron Devices*, vol. 57, no. 7, pp. 1527–1538, Jul. 2010.
- [72] W. Liao, K. Ito, S. Abe, Y. Mitsuyama, and M. Hashimoto, “Characterizing energetic dependence of low-energy neutron-induced SEU and MCU and its influence on estimation of terrestrial SER in 65-nm bulk SRAM,” *IEEE Transactions on Nuclear Science*, vol. 68, no. 6, pp. 1228–1234, Jun. 2021.

- [73] M. Cecchetto, R. G. Alía, F. Wrobel, A. Coronetti, K. Bilko, D. Lucsanyi, S. Fiore, G. Bazzano, E. Pirovano, and R. Nolte, “0.1–10 MeV neutron soft error rate in accelerator and atmospheric environments,” *IEEE Transactions on Nuclear Science*, vol. 68, no. 5, pp. 873–883, May 2021.
- [74] H. Quinn, A. Watkins, L. Dominik, and C. Slayman, “The effect of 1–10-MeV neutrons on the JESD89 test standard,” *IEEE Transactions on Nuclear Science*, vol. 66, no. 1, pp. 140–147, Jan. 2019.

発表論文

学術論文

1. Haruto Sugisaki, Ryuichi Nakajima, Shotaro Sugitani, Jun Furuta, and Kazutoshi Kobayashi, "Frequency Dependence of Soft Error Rates Induced by Alpha- particle and Heavy Ion," *IEICE Electronics Express*, vol.24, no. 13, pp. 1-6, 2024/07.
2. Ryuichi Nakajima, Takafumi Ito, Shotaro Sugitani, Tomoya Kii, Mitsunori Ebara, Jun Furuta, Kazutoshi Kobayashi, Mathieu Louvat, Francois Jacquet, Jean-Christophe Eloy, Olivier Montfort, Lionel Jure, and Vincent Huard, "Soft-error Tolerance by Guard-Gate Structures on Flip-Flops in 22 and 65 nm FD-SOI Technologies," *IEICE Transactions on Electronics*, vol.E107-C, no. 7, pp. 191-200, 2024/07.
3. Jun Furuta, Shotaro Sugitani, Ryuichi Nakajima, Takafumi Ito, and Kazutoshi Kobayashi, "Measuring SET Pulse Widths in pMOSFETs and nMOSFETs Separately by Heavy-ion and Neutron Irradiation," *IEICE Transactions on Electronics*, vol.E107-C, no. 9, pp. 255-262, 2024/09.
4. Shotaro Sugitani, Ryuichi Nakajima, Keita Yoshida, Jun Furuta, and Kazutoshi Kobayashi, "Radiation-Hardened Flip-Flops in a 65 nm Bulk Process for Terrestrial Applications Coping With Radiation Hardness and Performance Overheads," *IEICE Transactions on Electronics*, vol.E108-C, no. 2, pp. 115-126, 2025/02.
5. Ryuichi Nakajima, Shotaro Sugitani, Haruto Sugisaki, Takafumi Ito, Shuhei Mandai, Jun Furuta, Kazutoshi Kobayashi, and Makoto Sakai, "A Measurement Method for Neutron-Induced Soft-Error Rates in Terrestrial Applications Using a Clinical Carbon Beam," *IEEE Transactions on Nuclear Science*, vol.72, no. 10, pp. 3235-3246, 2025/10.

国際学会

1. Ryuichi Nakajima, K. Ioki, Jun Furuta, and Kazutoshi Kobayashi, “Radiation Hardened Flip-Flops Minimizing Area, Power, and Delay Overheads with 1/100 Lower α -SER in a 130 nm Bulk Process,” *2022 IEEE 28th International Symposium on On-Line Testing and Robust System Design (IOLTS)*, pp. 176–180, 2022/09, Torino, Italy.
2. Ryuichi Nakajima, Takafumi Ito, Tomoya Kii, Mitsunori Ebara, Jun Furuta, Kazutoshi Kobayashi, Mathieu Louvat, Francois Jacquet, Olivier Montfort, Lionel Jure, and Vincent Huard, “Soft-error Tolerance by Guard-Gate Structures on Flip-Flops in 22/65 nm FD-SOI Technologies,” *2022 22nd European Conference on Radiation and Its Effects on Components and Systems (RADECS)*, pp. 180–184, 2022/10, Venice, Italy.
3. Takafumi Ito, Ryuichi Nakajima, Jun Furuta, and Kazutoshi Kobayashi, “Evaluation of Soft Error Tolerance on Flip-Flops Restoring from a Single Node Upset by C-elements,” *2022 IEEE International Meeting for Future of Electron Devices, Kansai (IMFEDK)*, pp. 45–46, 2022/11, Kyoto, Japan.
4. Shotaro Sugitani, Ryuichi Nakajima, Keita Yoshida, Jun Furuta, and Kazutoshi Kobayashi, “Radiation Hardened Flip-Flops with low Area, Delay and Power Overheads in a 65 nm bulk process,” *2023 IEEE International Reliability Physics Symposium (IRPS)*, pp. 723–727, 2023/03, Monterey, CA, USA.
5. Shotaro Sugitani, Ryuichi Nakajima, Takafumi Ito, Jun Furuta, Kazutoshi Kobayashi, Mathieu Louvat, Francois Jacquet, Jean-Christophe Eloy, Olivier Montfort, Lionel Jure, and Vincent Huard, “Radiation Hardness Evaluations of a Stacked Flip Flop in a 22nm FD-SOI Process by Heavy-Ion Irradiation,” *2023 IEEE 29th International Symposium on On-Line Testing and Robust System Design (IOLTS)*, pp. 175–179, 2023/07, Platanis, Chania, Crete (Greece).

-
6. Keita Yoshida, Ryuichi Nakajima, Shotaro Sugitani, Takafumi Ito, Jun Furuta, and Kazutoshi Kobayashi, "SEU Sensitivity of PMOS and NMOS Transistors in a 65 nm Bulk Process by α -Particle Irradiation," *2023 International Conference on IC Design and Technology (ICICDT)*, pp. 72–75, 2023/09, Tokyo, Japan.
 7. Haruto Sugisaki, Ryuichi Nakajima, Shotaro Sugitani, Jun Furuta, and Kazutoshi Kobayashi, "Frequency Dependency of Soft Error Rates Based on Dynamic Soft Error Measurements," *2023 International Conference on IC Design and Technology (ICICDT)*, pp. 68–71, 2023/09, Tokyo, Japan.
 8. Jun Furuta, Shotaro Sugitani, Ryuichi Nakajima, and Kazutoshi Kobayashi, "A Partially-redundant Flip-flip Suitable for Mitigating Single Event Upsets in a FD-SOI Process with Low Performance Overhead," *2024 IEEE International Reliability Physics Symposium (IRPS)*, pp. 623–626, 2024/04, Dallas, TX, USA.
 9. Ryuichi Nakajima, Shotaro Sugitani, Haruto Sugisaki, Takafumi Ito, Jun Furuta, Kazutoshi Kobayashi, and Makoto Sakai, "An Approach to Neutron-Induced SER Evaluation Using a Clinical 290 MeV/u Carbon Beam and Particle Transport Simulations," *2024 IEEE International Reliability Physics Symposium (IRPS)*, pp. 632–635, 2024/04, Dallas, TX, USA.
 10. Ayano Takaya, Ryuichi Nakajima, Jun Shiomi, and Michihiro Shintani, "Cryo-HT: Hardware Trojan Activated at Cryogenic Temperatures," *IEEE/ACM Asia and South Pacific Design Automation Conference (ASP-DAC)*, pp. 1264–1269, 2025/01, Tokyo, Japan.
 11. Hikaru Nakamoto, Taiki Ozawa, Ryuichi Nakajima, Haruto Sugisaki, Keita Yoshida, Jun Furuta, and Kazutoshi Kobayashi, "Comparative Analysis of TID Effects in a 65 nm FD-SOI Process under Gamma-Ray and Alpha-Ray Irradiation," *2025 IEEE 31st International Symposium on On-Line Testing and Robust System Design (IOLTS)*, pp. 1–5, 2025/07, Ischia island (Naples region), Italy.

12. Hikaru Nakamoto, Jun Furuta, Michitaro Yabuuchi, Hironori Sakamoto, Ryuichi Nakajima, Kazutoshi Kobayashi, Makoto Sakai, and Shigetaka Kumashiro, “Direct Measurements of Single-Event Burnout Current Induced by Neutron Irradiation in a 1200 V Fast Recovery Diode,” *2025 25th European Conference on Radiation and Its Effects on Components and Systems (RADECS)*, PA-2, 2025/10, Antwerp, Belgium.
13. Arata Matsumoto, Haruto Sugisaki, Ryuichi Nakajima, Jun Furuta, and Kazutoshi Kobayashi, “Voltage and Frequency Dependence of Single Event Transient Induced by Alpha-Particle,” *Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI)*, R1-9, 2025/10, Nara, Japan.
14. Ryuichi Nakajima, Shuhei Mandai, Hikaru Nakamoto, Arata Matsumoto, Sotaro Taniguchi, Shotaro Sugitani, Jun Furuta, and Kazutoshi Kobayashi, “IRPSFF: Improved Recovery-Path Structured Flip-Flop for Enhanced Soft-error Tolerance with Low Performance Overhead in a 65-nm FD-SOI process,” *2026 IEEE International Reliability Physics Symposium (IRPS)*, 2026/03, Tucson, Arizona, USA, to appear.

国内学会

1. 中島隆一, 井置一哉, 小谷萌香, 古田潤, 小林和淑, “130nm プロセスによるフリップフロップのソフトエラー耐性向上手法の提案,” DA シンポジウム, pp.148–153, 2021/09, オンライン.
2. 小谷萌香, 中島隆一, 井置一哉, 古田潤, 小林和淑, “TCAD を用いた回路とレイアウト構造によるフリップフロップのソフトエラー耐性の評価,” 電子情報通信学会技術報告 (VLSI 設計技術), VLD2021-17, pp. 1–6, 2021/12, オンライン.
3. 中島隆一, 井置一哉, 古田潤, 小林和淑, “130 nm bulk プロセスによる面積・遅延・電力のオーバーヘッドを抑えた耐ソフトエラーフリップフロップ,” 電子情報通信学会総合大会, A-6-5, pp. 46, 2022/03, オンライン.

4. 杉谷昇太郎, 中島隆一, 古田潤, 小林和淑, “プロセススケーリングによる耐ソフトウェアフリップフロップの性能比較,” 電子情報通信学会学生会研究発表講演会, B6-2, 2022/03, オンライン.
5. 伊藤貴史, 中島隆一, 古田潤, 小林和淑, “C-element により単一ノード反転に強靱な耐ソフトウェアフリップフロップの提案,” DA シンポジウム, pp. 2–7, 2022/08, 三重県鳥羽市.
6. 杉谷昇太郎, 中島隆一, 古田潤, 小林和淑, “多重化によらないソフトウェア耐性向上手法の提案と 65nm バルクプロセスでの実測評価,” DA シンポジウム, pp. 8–13, 2022/08, 三重県鳥羽市.
7. 杉谷昇太郎, 中島隆一, 古田潤, 小林和淑, “FDSOI プロセスにおけるスタック構造を用いたフリップフロップのソフトウェア耐性の実測評価,” 情報処理学会 SLDM 研究発表会 (SLDM WIP Forum 2022) , 2022/11, 京都府京都市.
8. 中島隆一, 杉谷昇太郎, 伊藤貴史, 古田潤, 小林和淑, 酒井真理, “医療用炭素線ビームを用いた地上向けソフトウェア耐性評価手法の検討,” ICD/CAS 学生・若手研究会, 2022/12, 沖縄県宮古島市.
9. 杉谷昇太郎, 中島隆一, 古田潤, 小林和淑, “シミュレーションを用いた FD-SOI プロセスにおける FF のトータルドーズ効果によるソフトウェア耐性への影響の評価,” ICD/CAS 学生・若手研究会, 2022/12, 沖縄県宮古島市.
10. 吉田圭汰, 杉谷昇太郎, 中島隆一, 古田潤, 小林和淑, “デバイスシミュレーションによる耐ソフトウェアフリップフロップの耐性評価,” 電子情報通信学会総合大会, C-12-3, 2023/03, 埼玉県大宮市.
11. 中島隆一, 伊藤貴史, 杉谷昇太郎, 記伊智也, 榎原光則, 古田潤, 小林和淑, Mathieu Louvat, Francois Jacquet, Jean-Christophe Eloy, Olivier Montfort, Lionel Jure, and Vincent Huard, “22nm/65nm の FD-SOI プロセスで試作したガードゲートフリップフロップのソフトウェア耐性の実測評価,” 集積回路研究専門委員会 LSI とシステムのワークショップ 2023, 2023/05, 東京都文京区.

12. 杉谷昇太郎, 中島隆一, 伊藤貴史, 古田潤, 小林和淑, Mathieu Louvat, Francois Jacquet, Jean-Christophe Eloy, Olivier Montfort, Lionel Jure, and Vincent Huard, “22 nm FDSOI プロセスで試作したスタック型フリップフロップのソフトエラー耐性の実測評価,” 集積回路研究専門委員会 LSI とシステムのワークショップ 2023, 2023/05, 東京都文京区.
13. 中島隆一, 吉田圭汰, 杉谷昇太郎, 伊藤貴史, 古田潤, 小林和淑, “PMOS 及び NMOS トランジスタを独立させたソフトエラー感度の測定手法,” 集積回路研究専門委員会 LSI とシステムのワークショップ 2023, 2023/05, 東京都文京区.
14. 吉田圭汰, 中島隆一, 杉谷昇太郎, 古田潤, 小林和淑, “ α 線照射による 65 nm bulk プロセスにおける PMOS 及び NMOS トランジスタの SEU 感度,” 電子情報通信学会技術報告 (VLSI 設計技術), ICD2023-43, pp. 31–36, 2023/11, 熊本県熊本市.
15. 杉崎春斗, 中島隆一, 杉谷昇太郎, 古田潤, 小林和淑, “アルファ線と重イオンによるソフトエラー率の周波数依存性の測定,” 電子情報通信学会技術報告 (VLSI 設計技術), ICD2023-41, pp. 19–24, 2023/11, 熊本県熊本市.
16. 吉田圭汰, 杉崎春斗, 中島隆一, 古田潤, 小林和淑, “改良型 SEILA (ソフトエラー耐性ラッチ) の α 線照射による耐性評価,” DA シンポジウム, pp. 155–161, 2024/08, 三重県鳥羽市.
17. 高谷彩乃, 中島隆一, 塩見準, 新谷道広, “低温環境下で動作するハードウェアトロイの試作評価,” 情報処理学会 SLDM 研究発表会 (SLDM WIP Forum 2024), 2024/11, 京都府京都市.
18. 高谷彩乃, 中島隆一, 塩見準, 新谷道広, “低温環境下で動作するハードウェアトロイに関する一考察,” HWS フォーラム, 2024/12, 兵庫県神戸市.
19. 高谷彩乃, 中島隆一, 塩見準, 新谷道広, “低温環境下におけるトランジスタ特性を用いたハードウェアトロイの開発,” 電子情報通信学会技術研究報告 (VLSI 設計技術研究会), 2025/03, 沖縄県那覇市.

20. 谷口宗太郎, 吉田圭汰, 中島隆一, 古田潤, 小林和淑, “22 nm Bulk プロセスにおける NMOS, PMOS トランジスタの SEU 測定回路の SER 評価,” 電子情報通信学会総合大会, C-12-01, 2025/03, 東京都世田谷区.
21. 万代周平, 中島隆一, 古田潤, 小林和淑, “22nm Bulk プロセスにおける面積遅延電力積を低減した 3 重化フリップフロップの構造の検討,” 電子情報通信学会総合大会, C-12-02, 2025/03, 東京都世田谷区.
22. 谷口宗太郎, 中島隆一, 杉谷昇太郎, 吉田圭汰, 小林和淑, “中性子起因のソフトエラー耐性を回路シミュレーションを用いて評価するためのパラメータ抽出手法の提案,” 集積回路研究専門委員会 LSI とシステムのワークショップ 2025, 2025/05, 東京都文京区.
23. 松本新大, 杉崎春斗, 中島隆一, 古田潤, 小林和淑, “動的測定回路を用いた SET パルスによるソフトエラーの周波数依存性評価,” DA シンポジウム, pp. 202–207, 2025/08, 金沢県加賀市.
24. 中本耀, 古田潤, 藪内美智太郎, 坂本浩則, 中島隆一, 小林和淑, 酒井真理, 熊代成孝, “パワー半導体における放射線起因バーンアウト電流の実測評価,” 第 69 回宇宙科学技術連合講演会, 2025/11, 北海道札幌市.
25. 中島隆一, 杉谷昇太郎, 杉崎春斗, 伊藤貴史, 万代周平, 古田潤, 小林和淑, 酒井真理, “医療用炭素線を活用した地上機器向け中性子起因ソフトエラー評価手法,” 第 69 回宇宙科学技術連合講演会, 2025/11, 北海道札幌市.

発表論文対応リスト

2章:地上向け耐ソフトエラーフリップフロップの提案と 実測評価

学術論文 4, 5 (2.3.1.2 および 2.3.3)

国際学会 4

国内学会 6

3章:宇宙向け耐ソフトエラーフリップフロップの提案と 実測評価

学術論文 2

国際学会 2, 14

国内学会 11

4章:医療用炭素線を用いた中性子起因ソフトエラー耐性 評価手法

学術論文 5

国際学会 9

国内学会 8, 25

