

# PLDとFPGA

---

リフレッシュ教育

2002/12

東京大学 小林和淑

# PLD、FPGAって何

---

- ◆ PLD: Programmable Logic Device
  - プログラム可能な論理素子
- ◆ FPGA: Field Programmable Gate Array
  - 野外でプログラム可能な門の隊列？
  - Field: 設計現場
  - Gate Array: 論理ゲートをアレイ上に敷き詰めたLSI
  - MPGA: Mask Programmable Gate Array
    - » マスクでプログラムするゲートアレイ
  - FPGA:
    - » 設計現場でプログラムするゲートアレイ
    - » 街中でプログラムするゲートアレイ

# FPGAの現状

---

- ◆ FPGAはLSIの大規模化に伴い、その用途を広げてきた。FPGAで、メモリや高速乗算器まで実現できる
- ◆ FPGAの2大ベンダのAltera, Xilinxの業績は好調。飛ぶ鳥を落とす勢い
- ◆ システムすべてがFPGAの上に載る時代がやってきた。
  - DVDや、W-CDMA端末がひとつのFPGAで

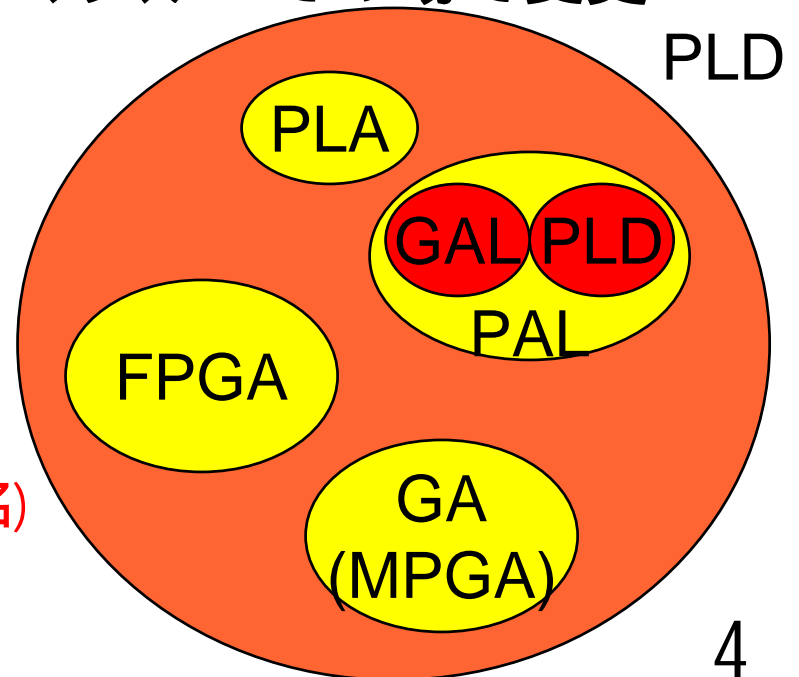
# プログラマブルロジックデバイス(PLD)

## ◆ 設計者が自由にその機能を変更できるLSIの総称 (広義)

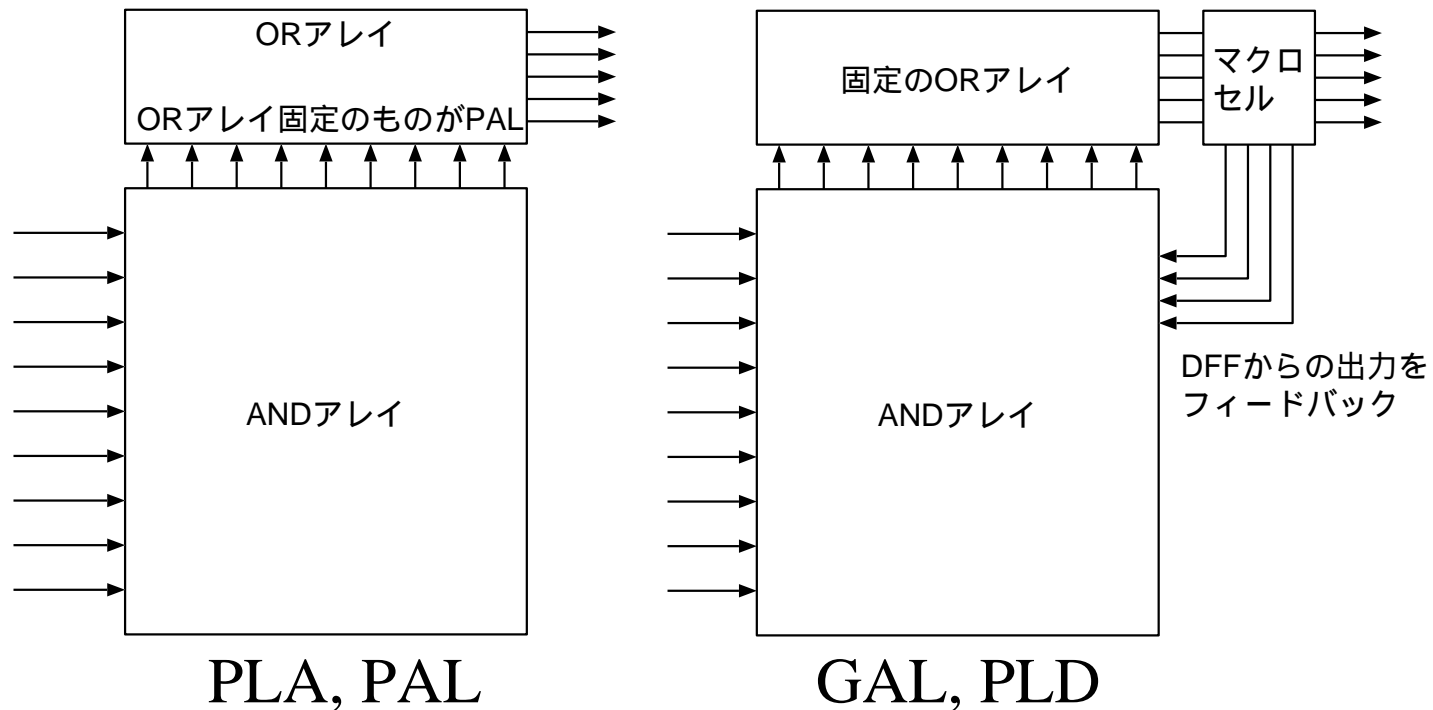
- MPD: マスクプログラマブル 製造時に変更
- FPD: フィールドプログラマブル その場で変更

## ◆ 小規模PLDの種類

- PLA: Programmable Logic Array
  - » AND-OR アレイ
- PAL: Programmable Array Logic
  - » ORアレイが固定
  - » 派生品として、GAL, PLD(製品名)

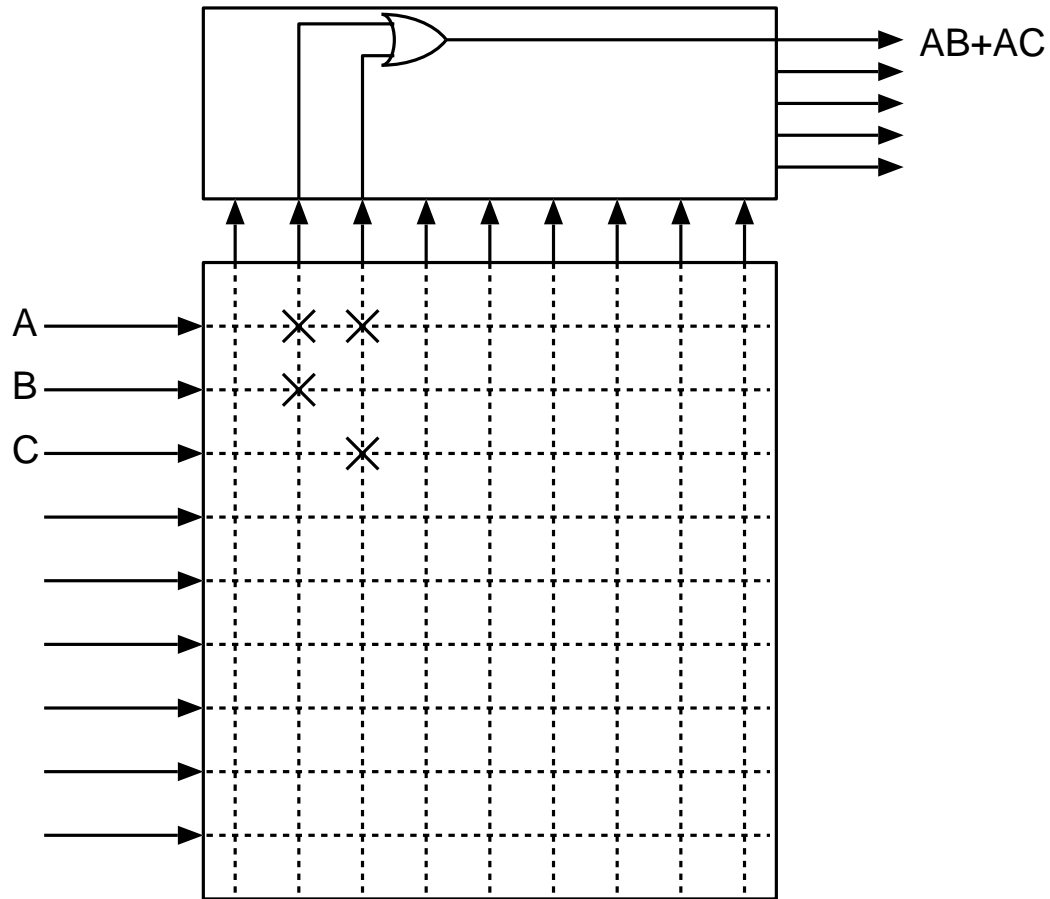


# PLDの構造




- ◆ PLA, PALは組合せ論理回路のみ
- ◆ GAL, PLDは順序論理回路
  - カウンタ、制御回路等

# PALのプログラム例



# FPGA (Field Programmable Gate Array)

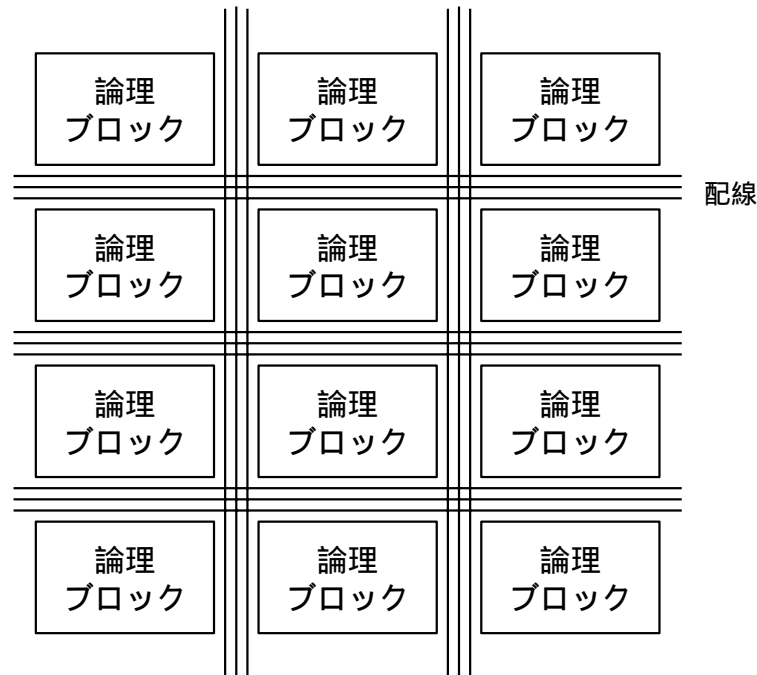
---

- 
- ◆ フィールドプログラマブルな大規模集積回路
    - ようは大規模なPLD
  - ◆ 論理ゲートとフリップフロップをアレイ上に敷き詰めて、その間の結線を自由に変更
    - ただし論理ゲートそのものが内蔵されているとは限らない
  - ◆ コンフィグレーションデータを書き込むことにより機能が変化する

MPGA: Mask Programmable Gate Array  
一般的にGA

# FPGAの構造

- ◆ 組み替え可能な論理ブロック
- ◆ 論理ブロック間を接続する組み替え可能な配線





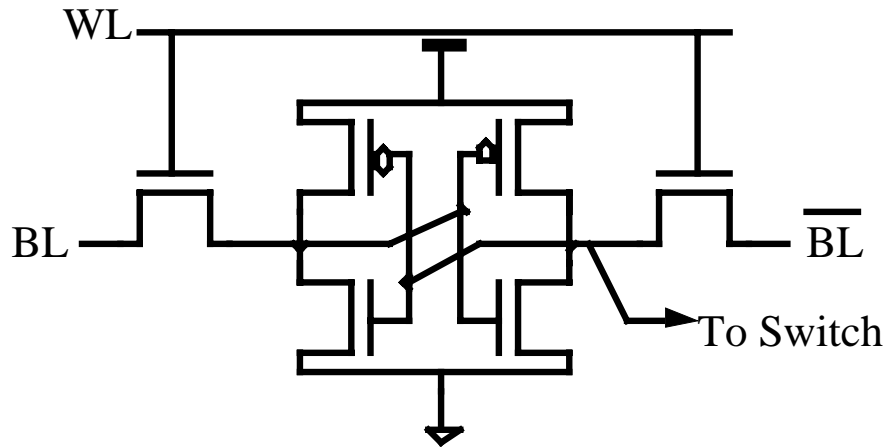
# FPGAのプログラム記憶方式

---

FPGAの現在の構成(コンフィグレーション)を覚えておく方法

- ◆ SRAM等の揮発性メモリに書き込む.
  - もっともポピュラー
  - 特別なプロセスを必要としない
- ◆ EPROM, EEPROM等の不揮発性メモリに書き込む.
  - 電源を切っても消えない
- ◆ 電圧をかけて, アンチヒューズを短絡させる.
  - 書きこみは一度のみ

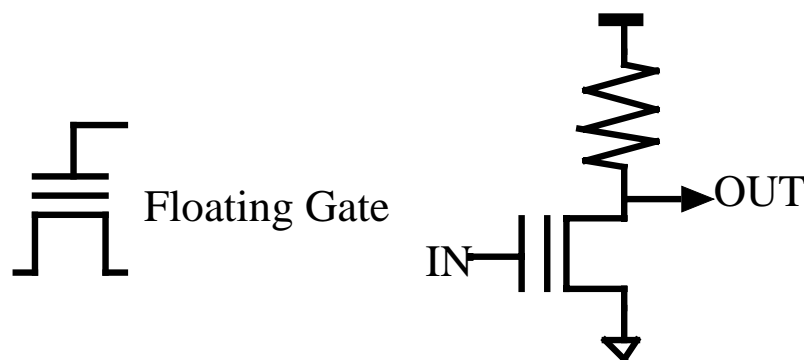
# FPGAのプログラム方式: SRAM



## SRAM

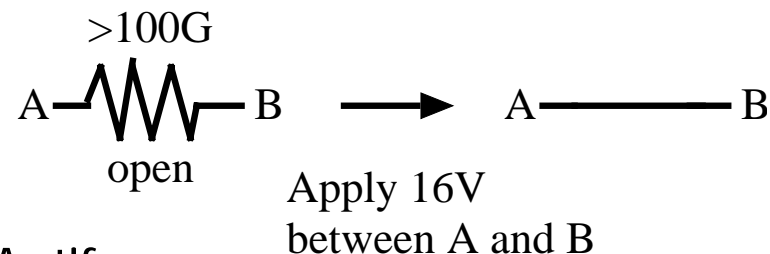
- ◆ ロジックと同じプロセスで製造できる。
- ◆ 冗長度が大きい。
  - 1SRAMセル: 6Tr
  - さらに、デコーダ、センスアンプ等も必要
- ◆ 電源を切ると消える（揮発性）

# FPGAのプログラム方式(2) 不揮発



EPROM, EEPROM

- ◆ 特殊なプロセスを要求
- ◆ 冗長度は小さい。
  - ◆ 1Trのみ



Antifuse

- ◆ 小さくて高速
- ◆ 書き込みは一度だけ

# SRAM方式FPGAの構造

---

- ◆ FPGA:
  - 変更可能な論理ブロック
  - 変更可能な配線
- ◆ 論理ブロック内の組合せ論理回路の基本はLUT (Look-Up Table)
  - 組合せ論理回路を1ビットSRAMの記憶内容で表現
- ◆ 配線の変更は
  - トランジスタによるスイッチ
    - » スイッチのON, OFFの情報もSRAMに格納

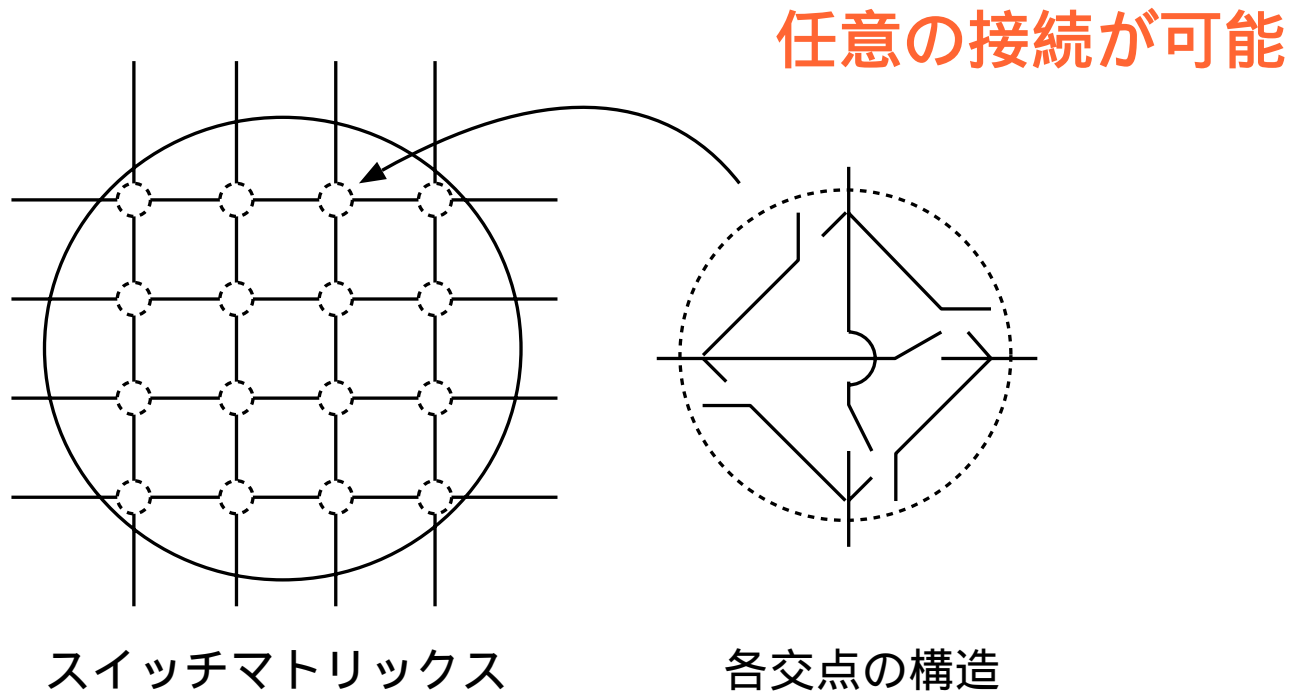
# LUT(Look-up Table)

- ◆ SRAM型FPGAの**可変論理**を実現する。
- ◆ A, B, C, Dの4ビット入力をワード線とした1ビットのSRAM
  - 入力数が増えるとSRAMが大きくなる
  - 小さいと効率が悪い
- ◆ SRAMの中身を書き換えることで任意の論理を実現
- ◆  $(A|B)\&(C|D)$ に対するLUT
- ◆ 真理値表をそのまま表現すればよい。

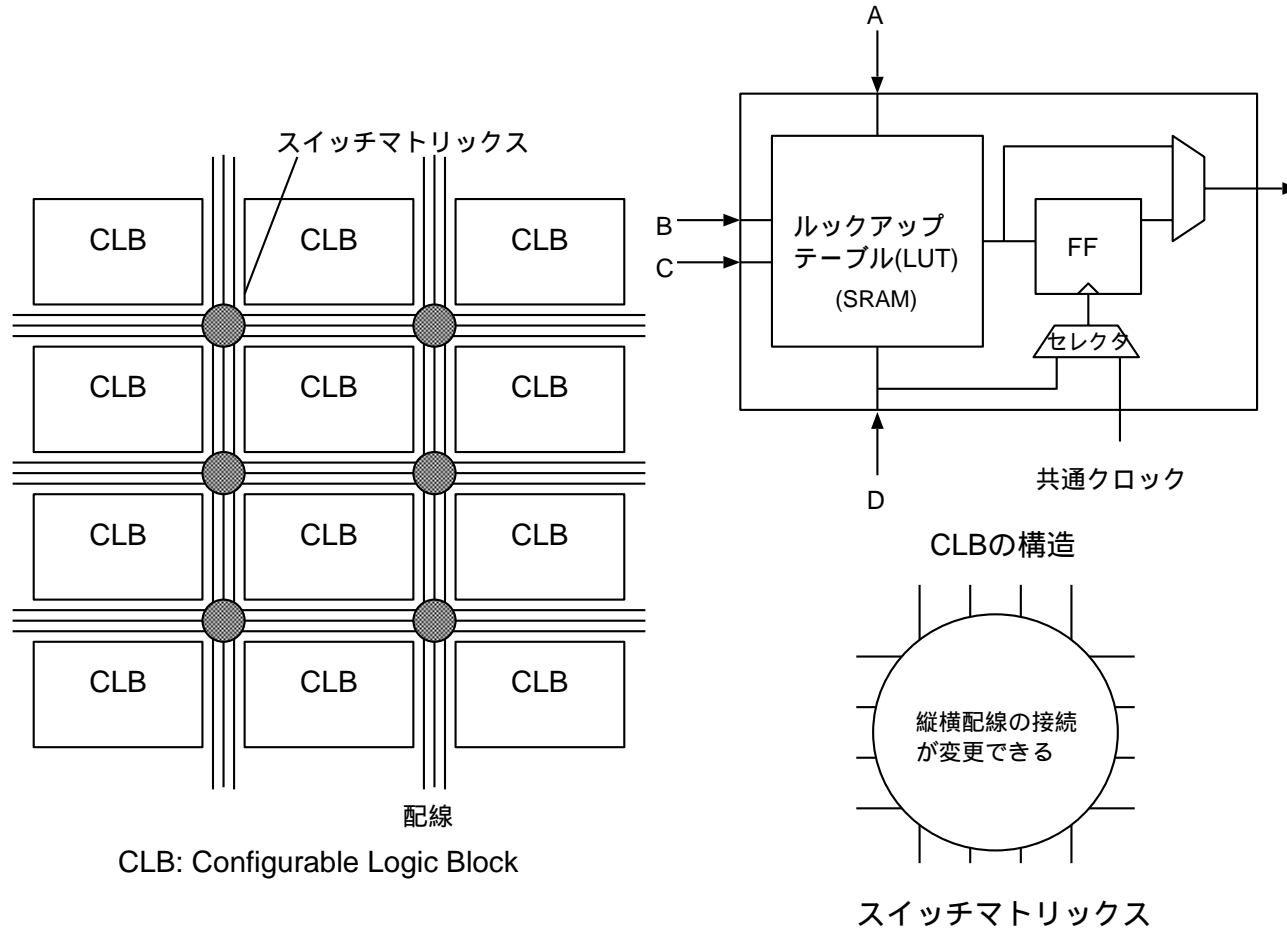
A	B	C	D	設定値
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

# 可変配線:スイッチマトリックス

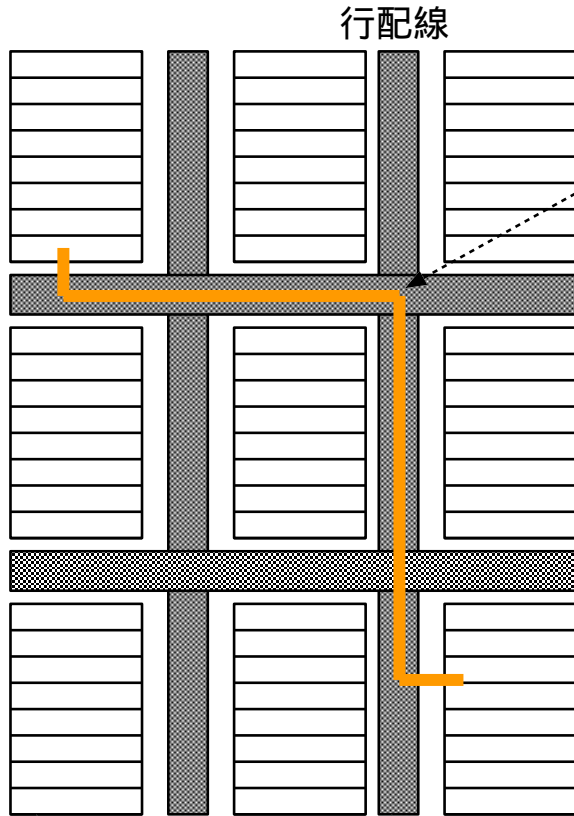
## ◆ SRAM型FPGAの可変配線を実現



# XILINX XCシリーズの構造



# ALTERA FLEXの構造(CPLD構造)

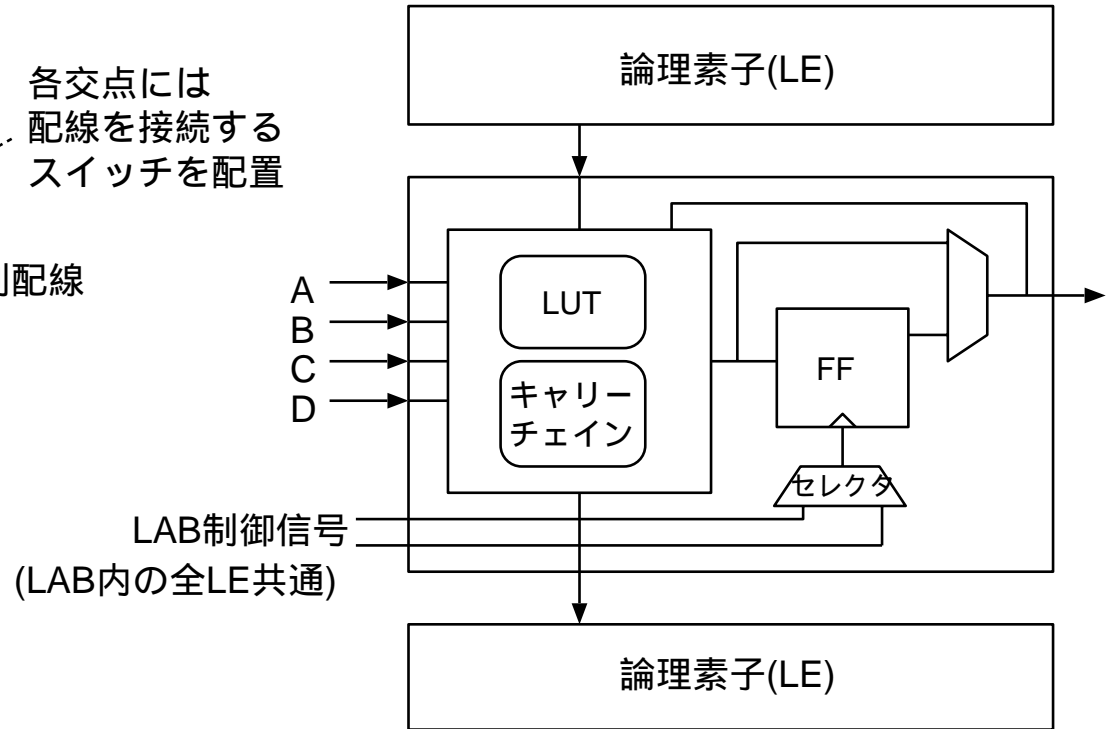


各交点には配線を接続するスイッチを配置

列配線

論理アレイ  
ブロック(LAB)

各配線は左右, 上下でそれぞれ  
電気的に繋がっている  
(上から下, 左から右まで1本の配線)



LABの構造



# FPGAの特性分類

プログラム方式	再書込	不揮発性	動作速度	冗長度
SRAM		×	遅い	大
EPROM	×		中	中
EEPROM			中	中
フラッシュメモリ			中	中
アンチヒューズ	×		速い	小

- ◆ SRAM型のFPGAは最新のプロセス技術により、スピード面での欠点は解消されている。
  - 最新のものは、0.15 $\mu$ m銅配線プロセスを用いている。

# FPGAベンダ

---

- ◆ FPGAの2大ベンダは、XILINXとALTERA
  - 2社で世界の5割から6割
- ◆ その他のベンダ
  - Actel: antifuse型, Mars Path-Finderに搭載
  - Lucent: PCIやATMコントローラを内蔵したFPGA
  - Philips, Lattice: CPLD (Complex PLD)

# XILINXの製品マップ

	ファミリ	プログラム方式	マクロセル数	特徴
CPLD	XC9500	Flash	36-288MC	安価 (Glue Logic 置き換え)
	XCR3000	EEPROM	32-512MC	低消費電力
	ファミリ	プログラム方式	ゲート数	特徴
FPGA	XC4000	SRAM	13k-85k	3.3V 標準
	SPARTAN	SRAM	5k-200k	ASIC 代替
	VIRTEX	SRAM	50k-10M	システム FPGA, プラットフォーム FPGA
	VIRTEXII	SRAM	?	CPU 内蔵

# ALTERAの製品マップ

---

ファミリ	プログラム方式	マクロセル数	特徴
MAX	EEPROM	32-512MC	安価
ファミリ	プログラム方式	ゲート数	低消費電力
ACEX	SRAM	10k-100k	安価かつ大容量
FLEX	SRAM	10k-250k	高速大容量
APEX	SRAM	30k-1500k	SOPC(System on a Programmable Chip)
Excalibur	SRAM	100k-100k	CPU コア集積

# FPGAの製品展開

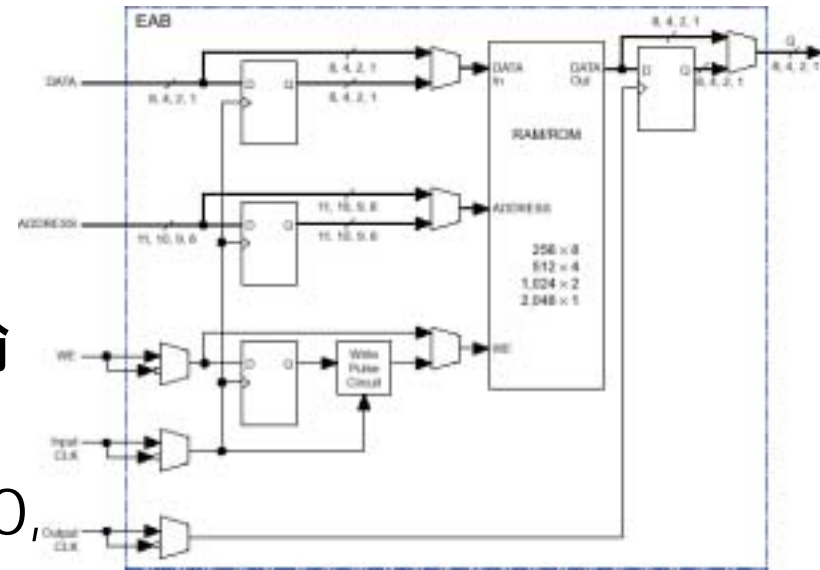
---

- ◆ SRAM型FPGAは、LUTで実現する組合せ論理回路だけでなく、メモリまで内蔵する。
- ◆ メモリは、RAM, ROM, CAM(Content Addressable Memory), FIFO, 乗算器等に使用できる
- ◆ さらに、CPUコアを内蔵。LSIの製造プロセス微細化のおかげで、チップ全体の1/10程度でARM, MIPS等の32bitプロセッサが集積可能

# FPGA内のメモリ

## ◆ FLEX 10Kの内蔵メモリ (Embedded Array Block)

- 大規模SRAMに付加回路
- 通常のLUTでは実現不可能な論理を実現
- 同期SRAM, 非同期SRAM, FIFO, デュアルポートRAM, CAM
- 大規模なLUTとしても利用可
- 乗算器: 9ビット入力 (5bit × 4bit), 9ビット出力
- デバイスとメモリ容量



# FPGAのメリット、デメリット

---

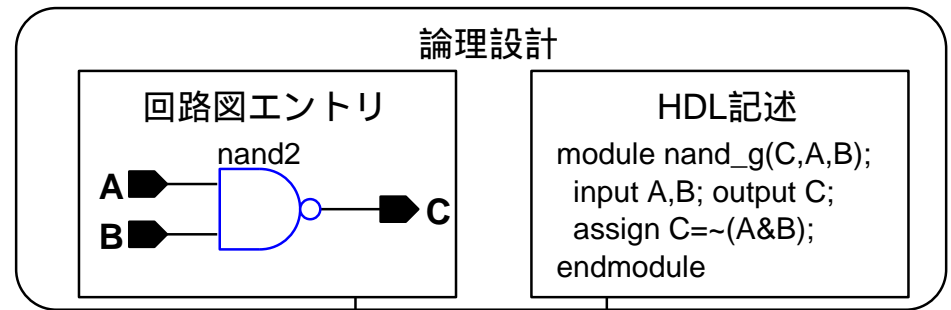
## ◆ メリット

- 設計のTAT(Turn-Around Time)が短い
- 論理設計とタイミングの検証のみで動作する。(物理設計がいらぬ)
- 少数の製品に使用できる
- IP(Intellectual Property)が豊富

## ◆ デメリット

- スピードが遅い、チップ面積が大きい
- 量産時のコストが高い
  - » 同じ設計データを用いて安く量産できるサービスもある  
(Hardcopy by ALTERA)

# FPGAの設計法

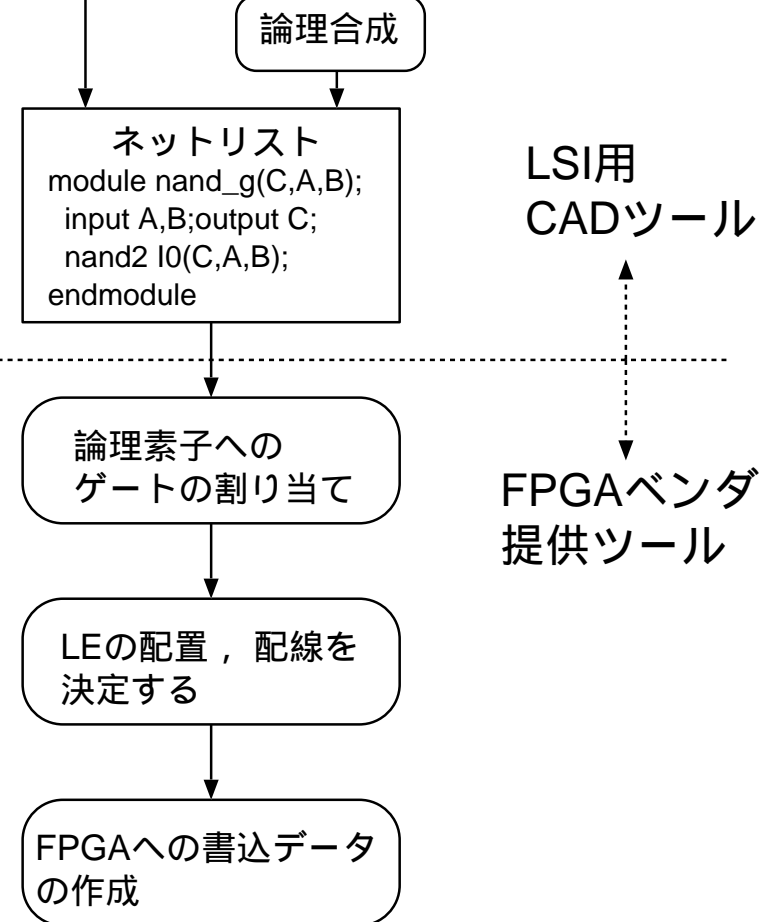


## ◆ 通常のLSIと同じ設計手法を取る。

- LUTを直接設計するわけではない

この境界は厳密ではない

## ◆ FPGAの配置配線は各FPGAベンダ配布のツールにより行う





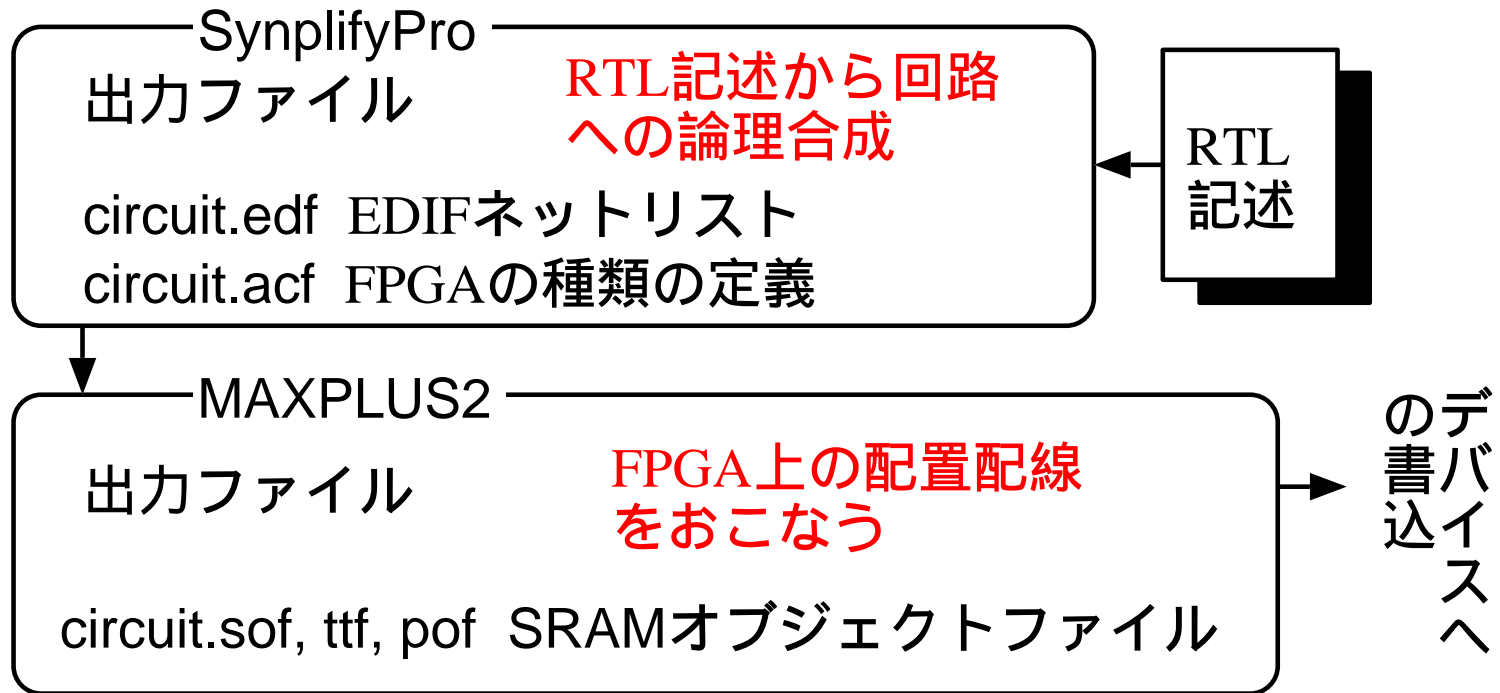
# CAD、FPGAベンダのツール

ベンダ名	ツール名	用途
CAD ベンダ		
Synopsys	FPGA Compiler II	論理合成
Mentor	Leonald	
Synplicity	Synplify	
Synopsys(Viewlogic)	WorkView Office	回路図エントリ
FPGA ベンダ		
ALTERA	MAX+plus II , Quartus	回路図エントリ , 論理合成, シミュレーション, タイミング解析
XILINX	Alliance 等	
Actel	DeskTop	

- ◆ FPGA Compiler IIはVDECのライセンスで利用可能
- ◆ 各社FPGAの無償ツールあり。大学向けのプログラムもあり
- ◆ See <http://www.ベンダ名.com/>

# FPGA設計

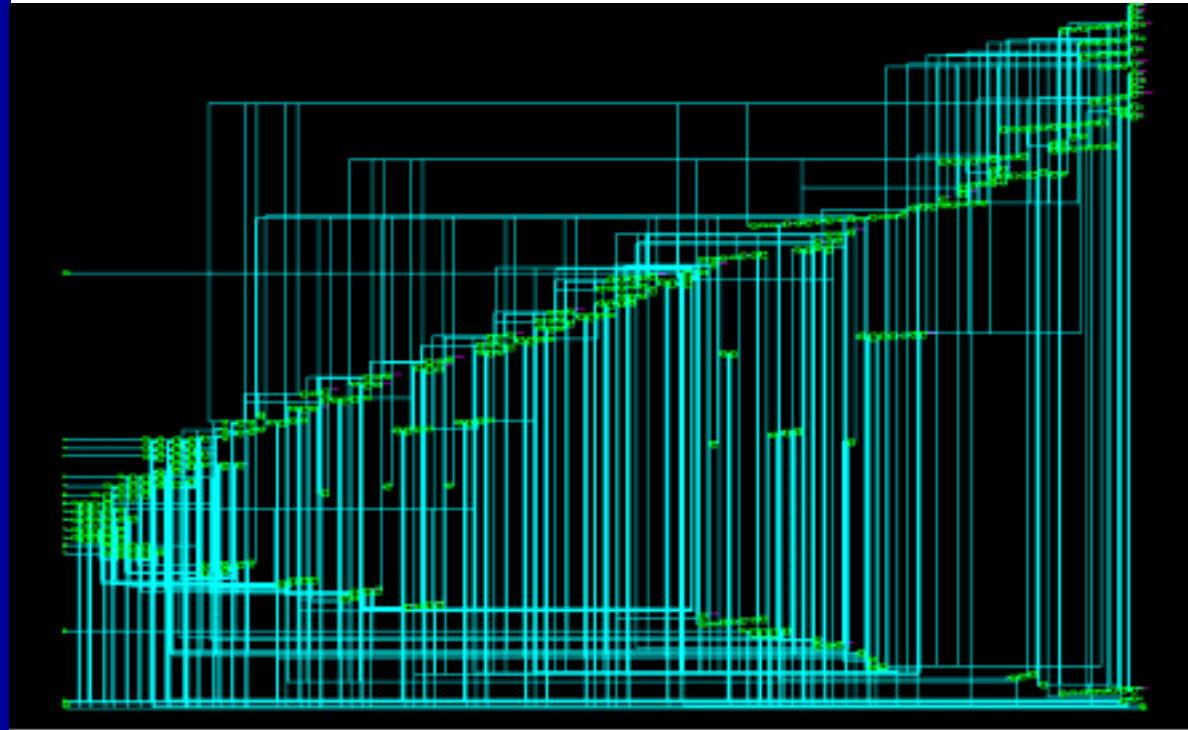
## ◆ Verilog-HDLからFPGAまで



## ◆ FPGA搭載ボード Power Medusa EA-40

# HDLから回路図へ(論理合成)

```
module calc(decimal,plus,minus,equal,CLK,RST,CE,sign,overflow,out);
  input [9:0] decimal;
  input CLK,CE,RST,plus,minus,equal;
  output sign,overflow;
  output [6:0] out;
  wire [3:0] d;
  wire [8:0] alu_out;
  reg [1:0] state;
  reg [8:0] REGA, REGB;
  reg [1:0] count;
  reg add_or_sub;
  assign d=dectobin(decimal);
  always @(posedge CLK or negedge RST)
  begin
    if(!RST)
      begin
        REGA<=0;REGB<=0;count<=0;
        add_or_sub<=0;
        state<=`DECIMAL;
      end
    else
```



回路図

HDLソース(一部)

# FPGA搭載ボード

- ◆ FPGA単体を買ってきてても何もできないので、FPGAを搭載したボードが多数販売されている
- ◆ 三菱電機マイコン機器ソフトウェア Power Medusa
- ◆ CQ出版 Flex10KE評価キット

