

[招待論文] ランダム・テレグラフ・ノイズが低電圧 CMOS 論理回路の 遅延ゆらぎに及ぼす影響

松本 高士[†] 小林 和淑^{††,†††} 小野寺 秀俊^{†,†††}

[†] 京都大学情報学研究科 〒 606-8501 京都市左京区吉田本町
^{††} 京都工芸繊維大学工学科学研究科 〒 606-8585 京都市左京区松ヶ崎
^{†††} JST CREST

E-mail: [†]tmatsumoto@vlsi.kuee.kyoto-u.ac.jp

あらまし ランダム・テレグラフ・ノイズ (RTN) による組合せ回路遅延ゆらぎの統計的な性質を 40nm CMOS テクノロジにおいて試作した 2,520 個のリング発振回路 (RO) を測定することによって明らかにした。わずかな RO において巨大な遅延ゆらぎが発生し、低電圧 (0.65V) において最大で 10.4% のゆらぎが発生した。動作電圧 0.75V においては、わずかにトランジスタサイズを大きくすることにより 50% 以上ゆらぎが低減した。動作電圧、トランジスタサイズ、論理段数、ゲートの種類、基板バイアスなど回路設計者が調整可能な設計値が低電圧 CMOS 論理回路の RTN による遅延ゆらぎに及ぼす影響について報告する。

キーワード ディペンダブル VLSI, CMOS, RTN

Impact of Random Telegraph Noise on CMOS Logic Delay Uncertainty under Low Voltage Operation

Takashi MATSUMOTO[†], Kazutoshi KOBAYASHI^{††,†††}, and Hidetoshi ONODERA^{†,†††}

[†] Graduate School of Informatics, Kyoto University Yoshida Honmachi, Sakyo-ku, Kyoto, 606-8501 Japan

^{††} Graduate School of Science and Technology, Kyoto Institute of Technology Matsugasaki, Sakyo-ku,
Kyoto, 606-8585 Japan

^{†††} JST CREST

E-mail: [†]tmatsumoto@vlsi.kuee.kyoto-u.ac.jp

Abstract Statistical nature of RTN-induced delay fluctuation is described by measuring 2,520 ROs fabricated in a commercial 40 nm CMOS technology. Small number of samples have a large RTN-induced delay fluctuation. RTN-induced delay fluctuation becomes as much as 10.4% of nominal oscillation frequency under low supply voltage (0.65V). By slightly increasing the transistor size, more than 50% reduction of frequency uncertainty can be achieved under 0.75V operation. Circuit designers can change various parameters such as operating voltage, transistor size, logic stage number, logic gate type, and substrate bias. The impact of the parameters that can be changed by circuit designers is clarified in view of RTN-induced CMOS logic delay uncertainty.

Key words dependable VLSI, CMOS, RTN

1. ま え が き

近年、高信頼性を備えたシステムを設計することはますます困難になってきている。トランジスタのリーク電流といった従来からの問題に加え、特性の劣化やばらつきなどの要因がディペンダブルな VLSI の実現に向けて深刻な影響を与えるようになってきた [1] ~ [3]。ランダム・テレグラフ・ノイズ (RTN) として知られているトランジスタの特性ゆらぎは微細化、高集積

化に伴って近年活発に研究が行われている。RTN は CMOS イメージセンサ [4]、flash メモリ [5]、SRAM [6] のような微細な素子が高密度に集積される回路に影響を与えることが報告されている。RTN のデジタル回路への影響については最近当研究室から初めて報告が行われた [7]。本稿では RTN に起因したデジタル回路の遅延ゆらぎについて 40nm CMOS テクノロジにおいて試作したリング発振回路 (RO) を実測した結果に基づいて報告する。回路設計者は動作電圧、トランジスタサイズ、

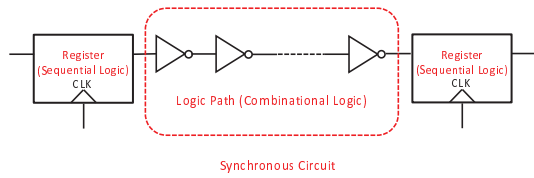


図 1 同期回路構造。

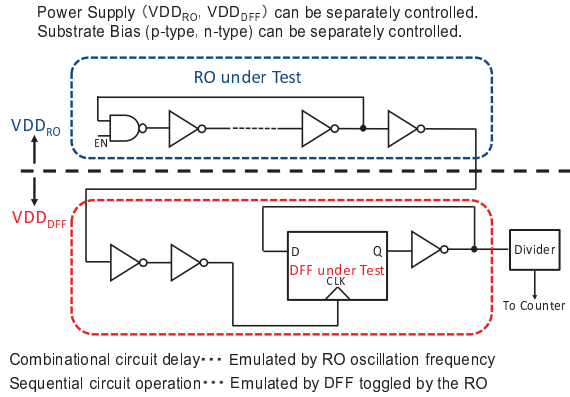


図 2 同期回路動作を模擬する最も簡単な回路構造。

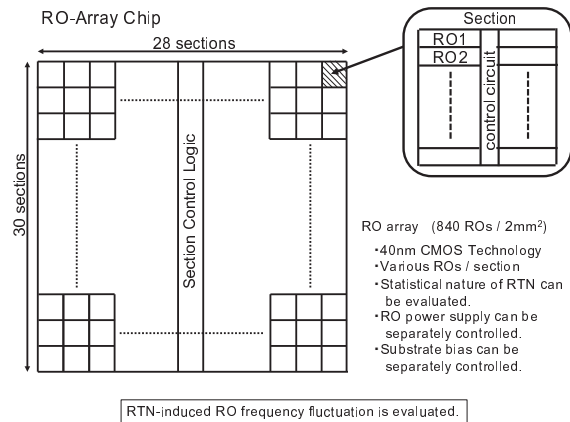


図 3 デジタル回路における RTN の影響を統計的に評価する回路構造。図 2 の構造を基本単位として 2mm 角の領域に 840 個アレイ状に配置。

論理段数、ゲートの種類、基板バイアスなど様々なパラメータを調整することができる。しかし、これらのパラメータが RTN に与える影響について回路レベルでは明らかになっていない。この影響を明らかにすることが本稿の主要な目的である [8]。

2. RTN による遅延ゆらぎの評価回路構造

本節では、RTN に起因したデジタル回路の遅延ゆらぎの評価回路構造および評価手法について述べる。図 1 は一般的な同期回路を示している。クロックに同期した 2 つのレジスタ間に論理回路があり、このパスをデータが伝播する。RTN が論理回路内で発生すると伝播遅延のゆらぎが発生する。一方、RTN がレジスタで発生するとデータの取り込み動作にゆらぎが発生する。この同期回路動作を模擬する手法を図 2 に示す。論理回路に対してはリング発振回路の発振ゆらぎを観測する。図 2 でリング発振回路の電源電圧を VDD_{RO} 、DFF の電源電

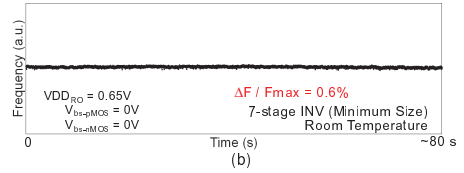
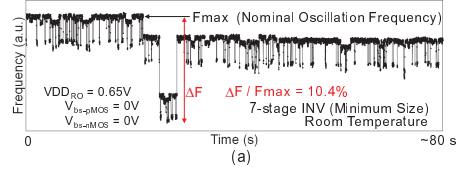


図 4 RO の発振周波数ゆらぎを観測した結果。(a) $\Delta F / F_{max}$ が最大値 10.4% を示した RO。(b) $\Delta F / F_{max}$ が最小値 0.6% を示した RO。

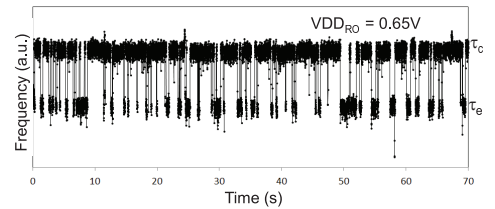


図 5 $VDD_{RO}=0.65V$ における RTN に起因した RO 発振周波数ゆらぎの実測結果 (2 値変動)。

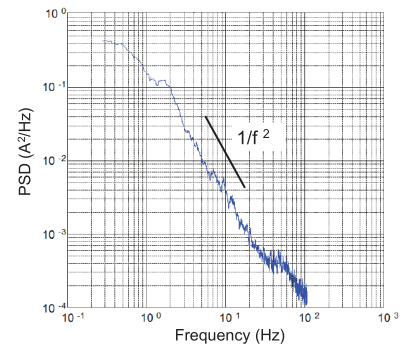


図 6 図 5 のパワースペクトラム (PSD)。

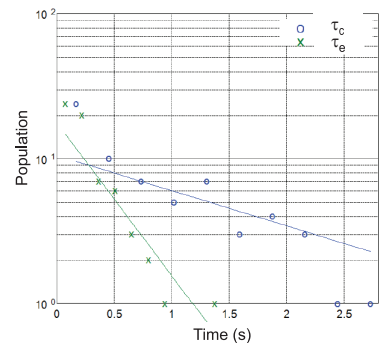


図 7 図 5 の時定数 τ_c , τ_e の分布。

圧を VDD_{DFF} と表記するが、リング発振回路と分周回路はそれぞれ独立に電源を制御することができる。リング発振回路の RTN に起因した発振周波数ゆらぎを観測する場合は、 $VDD_{RO} \leq VDD_{DFF}$ のように設定して分周回路の誤動作を抑制する。さらに、RO を構成する回路の pMOS および nMOS の基板バイアスを独立に制御することが可能である。ここで pMOS、nMOS の基板バイアスをそれぞれ $V_{bs-pMOS}$ 、 $V_{bs-nMOS}$ と表

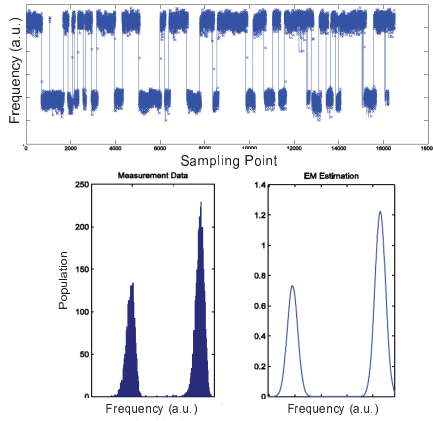


図 8 2 値変動の場合について EM 法によって推定した結果。

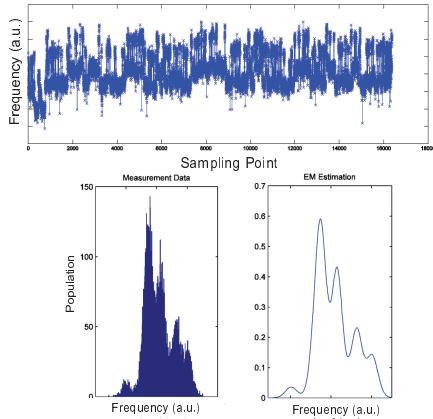


図 9 多値変動の場合について EM 法によって推定した結果。

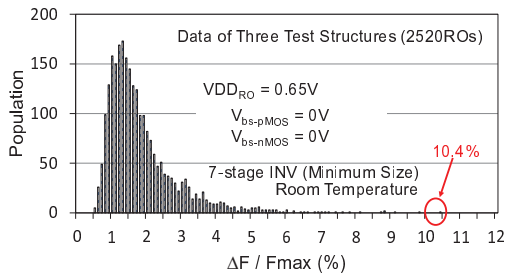


図 10 2,520 個の RO における $\Delta F/F_{\max}$ の分布。

記する。さらに、RTN の統計的性質を評価するために図 2 の回路構造を基本単位として、これをアレイ状に配置した回路を作成した (図 3)。2 mm 角の領域に右上に斜線で示した基本単位 (セクションと呼ぶ) がアレイ状に 840 個配置されている。1 セクションには図 2 の RO や FF は複数パターン搭載されている。本稿における全ての測定は室温において行なった。

3. RTN が回路遅延ゆらぎに与える影響

図 4 に $V_{DDRO}=0.65V$ において RO の発振周波数ゆらぎを 80 秒にわたって連続的に観測した結果を示す。リング発振回路を構成するインバータのトランジスタはデザインルールでの最小寸法としており、段数は 7 段である。 F_{\max} は 1 つの RO 周波数を測定している間に観測された最大周波数である。 ΔF は最大周波数と最小周波数の差であり、 $\Delta F/F_{\max}$ は RO 発振周

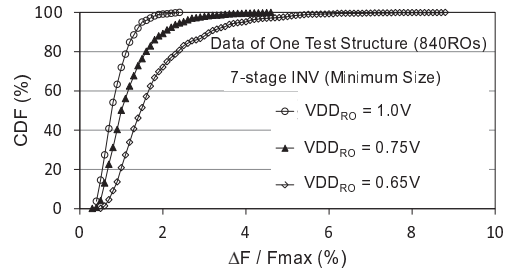


図 11 様々な電源電圧 V_{DDRO} に対する $\Delta F/F_{\max}$ の CDF。

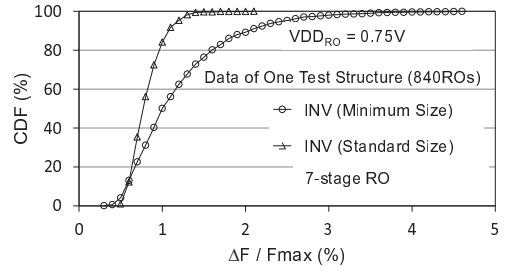


図 12 2 つのトランジスタサイズに対する $\Delta F/F_{\max}$ の CDF。

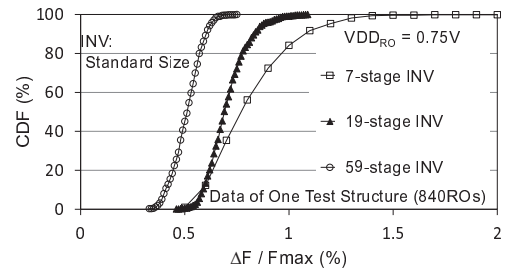


図 13 様々な論理段数に対する $\Delta F/F_{\max}$ の CDF。

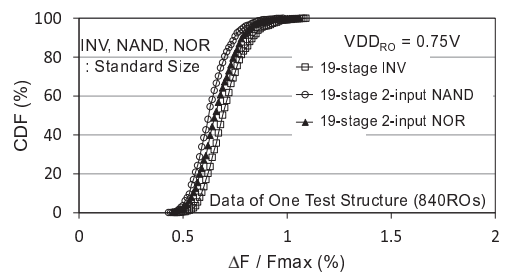


図 14 様々なゲート種に対する $\Delta F/F_{\max}$ の CDF。

波数ゆらぎの大きさをあらわす指標である。図 4(a) は観測された $\Delta F/F_{\max}$ が最大値 (10.4%) を示した RO である。図 4(b) は $\Delta F/F_{\max}$ が最小値 (0.6%) を示した RO である。図 5 は $V_{DDRO}=0.65V$ における RTN に起因した発振周波数ゆらぎを観測した結果である。発振周波数は 2 値変動しており、高周波状態に滞在する時間を τ_c 、低周波状態に滞在する時間を τ_e と定義する。次にこの測定結果がトランジスタで発生する RTN とどのように関係するかを調べる。図 6 は図 5 のパワースペクトラム (PSD) を計算した結果である。PSD はローレンツ型 ($1/f^2$) に従うことがわかった。図 7 は時定数 τ_c 、 τ_e の分布をそれぞれ示している。 τ_c 、 τ_e は共に指数分布 ($e^{-t/\tau}$) に従うことがわかった。PSD がローレンツ型に従うことおよび、時定

数が指数分布に従うことは単体 T_r において 1 つの絶縁膜欠陥によって RTN が発生する場合にも成り立つ結果である。したがって図 5 で観測された 2 値的な周波数ゆらぎは、リング発振回路を構成するいずれか 1 つの T_r に存在する 1 つの欠陥において発生した RTN が原因であると考えられる。

次に測定された周波数ゆらぎから離散的な状態数を自動抽出した結果について述べる。図 8 は明らかに 2 値変動とみなせるデータであり、図 9 は複雑な変動を示すデータである。各状態毎に 1 つの正規分布を割り当て、ヒストグラムはそれらを重ね合わせた混合正規分布と仮定する。この仮定のもとで図 8、図 9 のデータを尤も良く表現できる正規分布の個数を EM アルゴリズム [9] によって推定する。さらに、推定された正規分布の平均値が、求めたい離散状態の 1 つであると考えている。混合正規分布の推定は最尤法によって計算し、繰り返し推定を行うことによって尤度関数が (少なくとも局所的に) 最大となる点に収束する。図 8 で 2 値変動に対応する 2 つの正規分布を EM 法によって正しく抽出できたことを確認した。さらに図 9 のヒストグラムに存在する 5 つの特徴的なピークが EM 法によって良くあらわされることがわかった。

図 10 は 2,520 個の RO にわたって取得した $\Delta F/F_{\max}$ の分布である。 $\Delta F/F_{\max}$ が大きい方に向かって長く裾を引く分布となっており、RTN の性質を反映した結果と考えることができる。

図 11 は様々な電源電圧 V_{DDRO} に対する $\Delta F/F_{\max}$ の CDF を示す。電源電圧 V_{DDRO} の低下に伴ない、急速に $\Delta F/F_{\max}$ が増加している。図 12 は 2 つのトランジスタサイズに対する $\Delta F/F_{\max}$ の CDF を示す。最小サイズと標準サイズのインバータのサイズ比は nMOS、pMOS に対し、それぞれ 0.30, 0.21 である。ゲート面積をわずかに大きくすることにより、0.75V においては 50%以上の RTN 削減効果が得られる。図 13 は様々な論理段数に対する $\Delta F/F_{\max}$ の CDF を示す。論理段数が少なくなるほど RTN の影響は大きくなる。図 14 は様々なゲート種に対する $\Delta F/F_{\max}$ の CDF を示す。インバータにおいて RTN の影響が最も強調される。図 15 は様々な基板バイアス条件下におけるある RO の発振周波数ゆらぎを示す。この RO では pMOS の基板バイアスを 0V から +0.2V 順方向に加えたときのみ時定数が大きく変調される。図 16 は図 15 と同じ RO のデータの PSD を示す。60s にわたる RTN による周波数ゆらぎを様々な基板バイアス条件下において評価した。この結果より、リング発振回路を構成するいずれか 1 つの pMOS に存在する 1 つの欠陥において発生した RTN が回路レベルで大きな遅延ゆらぎを引き起こしたと考えることができる。

4. まとめ

40nm CMOS テクノロジにおいて試作した回路によって RTN に起因した組合せ回路の遅延ゆらぎの実測を行なった。微細なサイズのインバータで構成される 2,520 個のリング発振回路を低電圧下で測定することによって組合せ回路の遅延ゆらぎ分布を得た。ゲート面積をわずかに大きくすることにより、0.75V においては 50%以上の RTN 削減効果が得られた。回路設計者

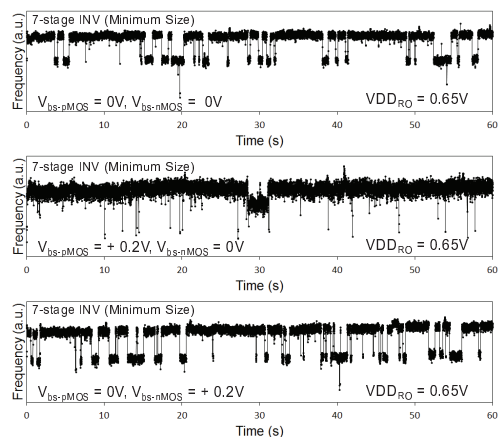


図 15 様々な基板バイアス条件下におけるある RO の発振周波数ゆらぎ。

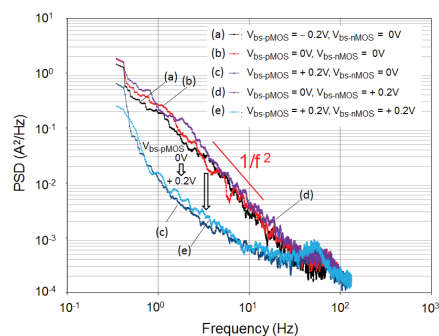


図 16 様々な基板バイアス条件下におけるある RO の発振周波数ゆらぎの PSD。

が調整することができる様々なパラメータが RTN に与える影響について回路レベルで明らかにした。

謝辞

図 3 の回路設計に関して、北島和彦氏、西澤真一氏、藤本秀一氏、Islam A.K.M. Mahfuzul 氏、三木崇史氏に感謝致します。本研究の一部は、経済産業省から STARC に委託された「次世代回路アーキテクチャ実用化支援事業」により実施した。チップ試作は東京大学大規模集積システム設計教育研究センターを通し株式会社半導体理工学研究センターの協力で行われたものである。

文 献

- [1] S. Borkar, *IEEE Micro*, vol.25, pp. 10 -16, 2005.
- [2] M. Alam, *Microelectron. Reliab.*, vol.48, pp. 1114-1122, 2008.
- [3] H. Onodera, *IEDM Tech. Dig.*, 2008, p. 701.
- [4] X. Wang, P. Rao, A. Mierop, A. Theuwissen, " *IEDM Tech. Dig.*, 2006, p. 115.
- [5] H. Kurata, K. Otsuga, A. Kotabe, S. Kajiyama, T. Osabe, Y. Sasago, S. Narumi, K. Tokami, S. Kamohara, O. Tsuchiya, *IEEE J. Solid-State Circuits*, **42** (2007) 1362.
- [6] M. Yamaoka, H. Miki, A. Bansal, S. Wu, D. Frank, E. Leobandung, K. Torii, *IEDM Tech. Dig.*, 2011, p. 745.
- [7] K. Ito, T. Matsumoto, S. Nishizawa, H. Sunagawa, K. Kobayashi and H. Onodera, *Proc. IRPS*, 2011, p. 710.
- [8] T. Matsumoto, K. Kobayashi and H. Onodera, *IEDM Tech. Dig.*, 2012, p. 581.
- [9] A. Dempster, N. Laird, D. Rubin, *J. of the Royal Statistical Society. Series B (Methodological)*, **39** (1977) 1.