

# ストレス分離スターブ型発振器を用いた 経年劣化現象の実測評価

戸田 莉彩<sup>1</sup> 岸田 亮<sup>2</sup> 小林 和淑<sup>3</sup> 松浦 達治<sup>1</sup> 宮内 亮一<sup>1</sup> 兵庫 明<sup>1</sup>

**概要:** 集積回路に用いられる MOSFET の微細化に伴い、バイアス温度不安定性 (Bias Temperature Instability, BTI) などの経年劣化現象による信頼性問題が顕在化している。本研究では、ストレス分離スターブ型リングオシレータ (RO) を用いて BTI の実測評価をする。ストレス分離スターブ型 RO には、被測定スターブ素子 (DUT) と 11 段 RO の両方が劣化する構造と、DUT は劣化せず 11 段 RO のみが劣化する構造がある。この 2 つの構造で同時に測定を行い、経年劣化量の差分を出すことで、DUT である 1 つの PMOS で発生する BTI による劣化量を求めることができる。DUT の劣化率は 1.75V に対して、2.5V で 2.82 倍、2.25V で 2.14 倍、2.0V で 1.89 倍大きくなり、電源電圧に対し線形性をもって増加した。

## Measurement Evaluation of Aging Degradation Phenomena Using Stress Separation Starved Oscillators

RISA TODA<sup>1</sup> RYO KISHIDA<sup>2</sup> KAZUTOSHI KOBAYASHI<sup>3</sup> TATSUJI MATSUURA<sup>1</sup> RYOICHI MIYAUCHI<sup>1</sup>  
AKIRA HYOGO<sup>1</sup>

**Abstract:** As MOSFETs used in integrated circuits continue to shrink in size, reliability problems caused by aging degradation phenomena such as bias temperature instability (BTI) are becoming more apparent. We measure and evaluate BTI using stress separation starved ring oscillators (ROs). There are two types of stress separation starved ROs: the structure degrades both the DUT and the RO, and the other structure degrades only the RO without any degradation of the DUT. Simultaneous measurement is performed with these two structures. By subtracting the amount of degradation over time, the amount of degradation due to BTI in DUT (one PMOS) can be determined. The degradation rate of the DUT is 2.82 times larger at 2.5 V, 2.14 times larger at 2.25 V, and 1.89 times larger at 2.0 V, compared to 1.75 V. BTI-induced degradation increased linearly with supply voltage.

### 1. はじめに

大規模集積回路 (Large Scale Integration, LSI) で用いられる電界効果トランジスタ (Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET) は、1960 年代に実用的に使用され、現在も多くの電子機器に使用されている。ムーアの法則に従って、時代とともに MOSFET の微細化が進み、集積率と性能が指数関数的に向上している [1]。こ

れに伴い、集積回路の小型化、高速化、低消費電力化が実現されている。

一方で、MOSFET の微細化によって、集積回路の信頼性問題が顕在化している。集積回路の信頼性とは、動作の正確性を表す。その問題の 1 つの要因として MOSFET のしきい値変動が挙げられる。しきい値が変動すると、回路が劣化し動作しなくなる場合がある。MOSFET のしきい値変動を及ぼす経年劣化現象の 1 つとして、バイアス温度依存性 (Bias Temperature Instability, BTI) が存在する [2]。

回路設計をする際に経年劣化によるしきい値の変動量を考慮することで、集積回路の寿命を縮める可能性を小さく

<sup>1</sup> 東京理科大学  
Tokyo University of Science

<sup>2</sup> 富山県立大学  
Toyama Prefectural University

<sup>3</sup> 京都工芸繊維大学  
Kyoto Institute of Technology

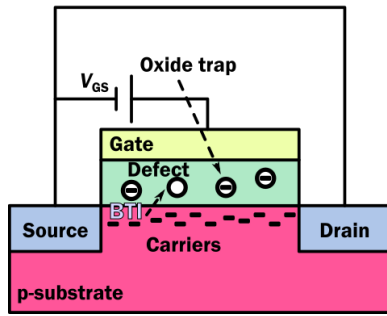


図 1 PBTI の原理  
Fig. 1 Principles of PBTI

できる。そのため、実際に BTI など経年劣化現象の影響を測定によって評価することが重要となる。

BTI による影響の実測方法として、リングオシレータ (Ring Oscillator, RO) の発振周波数を用いる方法がある。発振周波数の減少により、MOSFET のしきい値が増加し劣化することを確認できる。

本論文では、ストレス分離スターブ型 RO を用いて、1 つの PMOS で発生する NBTI (Negative BTI) の影響を実測評価する。

## 2. バイアス温度不安定性 (Bias Temperature Instability, BTI)

バイアス温度不安定性 (Bias Temperature Instability, BTI) とは、時間経過とともに ON 状態である素子の特性が劣化する現象である。ゲート・ソース間に電圧がかかる (ストレス状態) ことでしきい値が変動する [3]。BTI は PMOS で発生する NBTI (Negative BTI) と NMOS で発生する PBTI (positive BTI) に分けられる。

図 1 に PBTI の原理を表した MOSFET の断面図を示す [4]。NMOS のゲート・ソース間電圧 ( $V_{GS}$ ) が正であるとき、ゲート酸化膜にある欠陥にキャリアが捕獲され、ゲート酸化膜に印加される実効的なゲート・ソース間電圧が小さくなる。この影響により、チャネルを流れるキャリアの量が減少して、同じ電圧を印加しても流れるドレイン・ソース間電流 ( $I_D$ ) が減少する。その結果、しきい値の大きさが増加して MOSFET の特性が劣化する。MOSFET にかかる電圧が高いほど、しきい値は劣化しやすい [5]。

## 3. 測定回路

本節では、BTI を実測で評価するための測定回路について述べる。

### 3.1 ストレス分離スターブ型リングオシレータ

測定に用いるチップに搭載されている 2 種類のストレス分離スターブ型リングオシレータについて述べる。

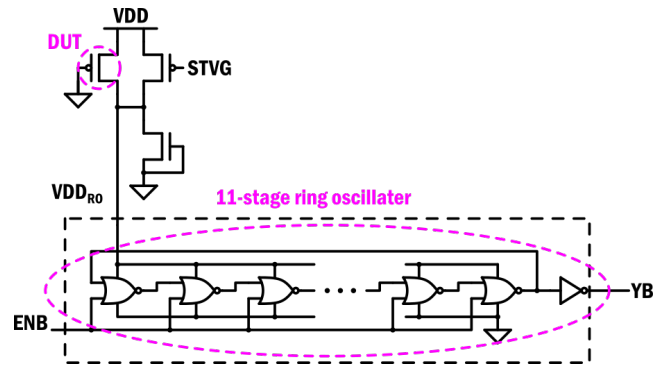


図 2 ストレス分離スターブ型リングオシレータの ALLSTR 構造  
Fig. 2 Stress Separation Starved Oscillators (ALLSTR)

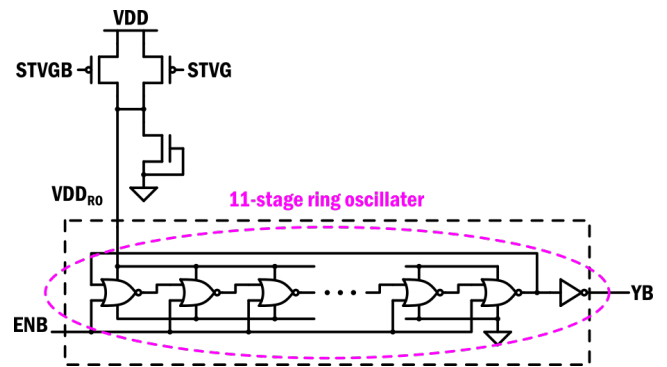


図 3 ストレス分離スターブ型リングオシレータの RODEG 構造  
Fig. 3 Stress Separation Starved Oscillators (RODEG)

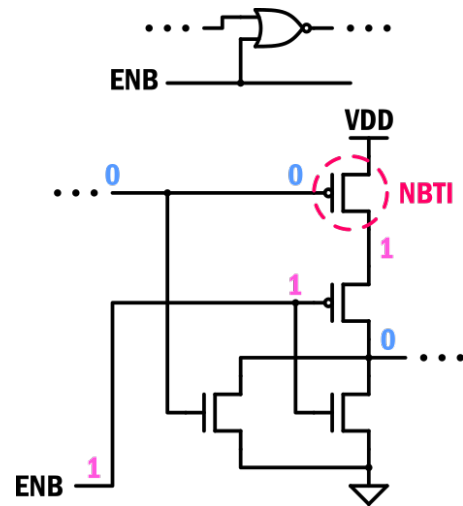


図 4 RO で用いられる NOR  
Fig. 4 NOR used in RO

### 3.1.1 ALLSTR (ALL STRESS) 構造

ストレス分離スターブ型リングオシレータの ALLSTR 構造を図 2 に示す。この構造は、被測定スターブ素子 (DUT, Device Under Test) と RO が劣化する。

ENB=0 で発振し、ENB=1 で発振停止しストレス状態となる。11 段 RO が発振停止してストレス状態のときに、STVGB=1 とすることで DUT のみにより 11 段 RO の電源電圧 ( $V_{DD_{RO}}$ ) を供給する。これにより、 $V_{DD_{RO}}$  にほぼ

VDD の電圧がかかり 11 段 RO が劣化する．また，DUT に NBTI が発生する．STVG=0 とすることで右の PMOS スターブ素子からも VDD<sub>RO</sub> を供給し，より VDD に近い電圧を VDD<sub>RO</sub> に印加する．DUT の劣化によって RO の発振周波数が減少するため，発振時に STVG=1，ストレス時に STVG=0 とすることによって 3.1.2 節で述べる RODEG 構造との差分を取ることで DUT のみの劣化を測定する．

出力ピン YB の前に，出力負荷を一定にするためにインバータを入れている．

### 3.1.2 RODEG 構造

ストレス分離スターブ型リングオシレータの RODEG 構造を図 3 に示す．この構造は，RO のみが劣化する．

基本構造は ALLSTR 構造と同様である．STVG=0 (STVGB=1) のとき，DUT が off となり DUT に NBTI が発生しない．発振時に STVG=1 とすることで，右の PMOS スターブ素子に発生する NBTI は発振周波数に影響しない．ストレス時にこの PMOS スターブ素子によって，より VDD に近い電圧を VDD<sub>RO</sub> にかけることができ，11 段 RO は劣化する．

## 3.2 11 段リングオシレータ

3.1 節に記載した 11 段 RO の構造について述べる．

RO は全ての段を NOR で構成している．図 4 に RO で用いる NOR を示す．ソースが電源電圧 (VDD) に接続されている PMOS のゲートが前段の出力に接続されている．発振停止時に全段の出力が 0 となるため，この PMOS で NBTI が発生する．

### 3.3 測定回路の構成

本評価で測定したチップは 65nm プロセスであり，チップサイズは縦 × 横 = 2mm × 3mm である．チップには ALLSTR 構造，RODEG 構造が各 56 個搭載されている．すべての出力がチップ内に搭載した 16-bit カウンタに接続されており，そのカウンタを用いて 0 から 1 に立ち上がった回数を RO の発振回数として数えることができる．発振回数を発振時間で割ることで発振周波数を算出できる．BTI によりしきい値が変動すると発振周波数が減少するため，発振周波数を測定して劣化を評価する．

## 4. 測定及び評価方法

本研究で用いる測定方法・評価方法について述べる．

### 4.1 測定方法

本研究の測定方法を図 5 に示す．測定は ALLSTR 構造と RODEG 構造にそれぞれ 10,000 秒のストレスをかける．10,000 秒のストレス中に計 108 回 RO を発振させる．108 回の発振のうち，1～20 回目までは 10 秒間隔で，20～37

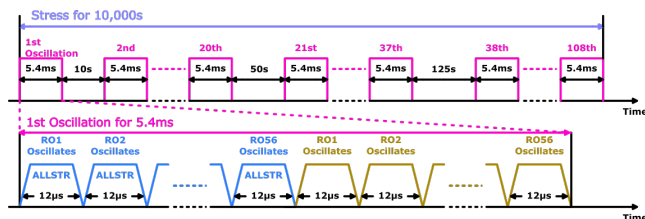


図 5 測定方法

Fig. 5 Measurement method

回目までは 50 秒間隔で，38 回目以降は 125 秒間隔で発振させる．また，1 回の発振では 56 個の RO を順次発振させる．本評価における各間隔 1 回あたりの発振周波数は 56 個の RO の平均発振周波数を用いる．測定は温度を 105°C とし，電源電圧を 1.75V から 2.5V まで 0.25V 刻みで変える．

### 4.2 被測定スターブ素子の評価方法

被測定スターブ素子の劣化を，ALLSTR 構造と RODEG 構造の差分を取ることで求めるとにより求める．ALLSTR 構造の発振周波数変動率から RODEG 構造の発振周波数変動率を減算することにより，DUT による発振周波数変動率を求める．その発振周波数変動率を??節で後述するしきい値変動量導出式を用いて，しきい値の変動量へ変換する．同時に測定した 2 つの構造の差分をとることで，環境変動による影響を取り除くことができる．

### 4.3 発振周波数からしきい値への変換方法

発振周波数の変動量としきい値変動量の関係は測定条件によって異なる．そのためそれぞれの測定条件を用いて回路シミュレーションを行い，測定で得られた発振周波数の変動量をしきい値の変動量へ変換する．回路シミュレーションを用いて BTI により劣化する素子のしきい値をシミュレーション上で変動させることで，どの程度の発振周波数が変化するかを求める．発振周波数変化分としきい値変化分の関係式を求め，実測値を関係式に対応させることでしきい値の変化量を得る．式 (1) にしきい値変動量導出式を示す．

$$\Delta V_{th} = a \frac{\Delta f}{f_{10}} \quad (1)$$

ここで， $\Delta V_{th}$  はしきい値の変化量 [mV]， $a$  はシミュレーションから導出するフィッティングパラメータ， $f_{10}$  はストレスを与えて 10 秒後の発振周波数， $\Delta f$  は  $f_{10}$  からの周波数変動量を示す．フィッティングパラメータ  $a$  を導出するために，DUT のみが劣化する場合しきい値が変化したときにどの程度発振周波数が変化するかをシミュレーションする．温度を 105°C とし，電源電圧を 1.75V から 2.5V まで 0.25V 刻みでシミュレーションを行った．各電源電圧における発振周波数の変動率としきい値の変動量の関係を図 6 に示す．

シミュレーション結果から，発振周波数の変動率としき

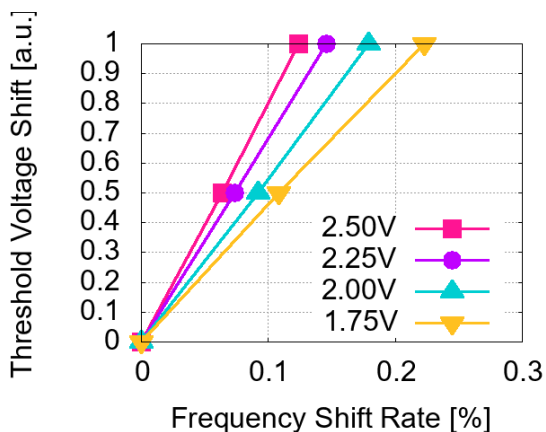


図 6 しきい値変動のシミュレーション結果

Fig. 6 Simulation results of threshold voltage fluctuation

表 1 各電圧におけるフィッティングパラメータ  $a$

電源電圧 [V]	フィッティングパラメータ $a$
2.50	8.02
2.25	6.83
2.00	5.56
1.75	4.52

い値の変動量は全て比例関係にあることがわかる。

シミュレーション結果を一次式でフィッティングし、フィッティングパラメータ  $a$  を導出する。図 6 のフィッティングパラメータ  $a$  を図??に示す。図??から、電源電圧が高いほど発振周波数の変動割合に対して高い感度でしきい値が増加することがわかる。

#### 4.4 環境変動除去

本稿では、RO の発振周波数を用いて BTI を評価する。発振周波数が減少していることは、RO が劣化してしきい値が劣化していることを示す。長い時間ストレスを与えて測定していると、発振周波数に環境によるゆらぎが生じる可能性がある。また、デバイスの劣化によって変化するトランジスタパラメータは、しきい値だけではない [6]。劣化現象による周波数変動率のみを評価するため、環境変化による周波数変動を除去する必要がある。DUT を算出する際に、同時刻に測定した ALLSTR 構造と RODEG 構造の差分を取ることで、環境による変動を取り除く。

### 5. 測定結果

3 章、4 章で述べた測定回路、測定方法を用いて発振周波数を測定する。ALLSTR 構造、RODEG 構造の発振周波数変動率の測定結果を、各電圧においてそれぞれ図 7~10 に示す。ただし、横軸は測定時間、縦軸は発振周波数変動量である。

発振周波数変動量を対数近似し、フィッティングした。フィッティングに用いた式を式 (2) に示す。

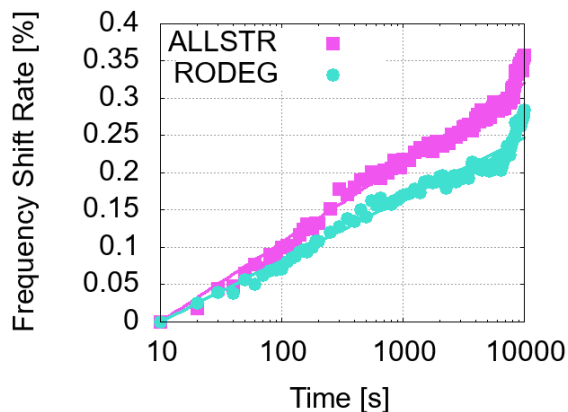


図 7 各構造の発振周波数変動率の測定結果 (2.5V)

Fig. 7 Measurement results of oscillation frequencies fluctuation (2.5V)

$$\Delta V_{th} = A \log(t) - A \log(10) \quad (2)$$

ここで、 $A$  はフィッティングパラメータであり、値が大きいほど劣化していることを表す劣化係数である。この劣化係数を用いて、DUT の劣化を評価する。図 7~10 の劣化係数  $A$  を図 11 に示す。電源電圧が大きくなるにつれて周波数変動率が大きくなる電源電圧依存性が見られる。

この測定結果は、電圧が低いほどばらつきが大きくなった。これは、低い電圧での測定結果ほど周波数変動率が小さい値であるため、ばらつきが大きいように見えると考えられる。

図 7~図 10 の結果を用いて、DUT で発生する NBTI の劣化を算出する。ALLSTR 構造の発振周波数変動率から RODEG 構造の発振周波数変動率を減算することにより、DUT で発生する NBTI による発振周波数変動率を求める。その値をシミュレーションで求めたしきい値変動量導出式を用いてしきい値変動量に変換する。各電圧における DUT のしきい値変動量を図 12 に示す。横軸は測定時間、縦軸はしきい値変動量である。

しきい値変動量を対数近似し、フィッティングした。式 (2) をフィッティングに用いた。図 12 の劣化係数  $A$  を図 13 に示す。

図 12 の結果はばらつきが大きくなり得る。これは 2 つの構造の値を減算することにより求めた周波数変動率が小さい値であるためであると考えられる。

図 13 より、1 つの PMOS で発生する NBTI の劣化には、電源電圧が高くなるにつれて劣化が大きくなる電圧依存性が確認できる。DUT の劣化率は 1.75V に対して、2.5V で 2.82 倍、2.25V で 2.14 倍、2.0V で 1.89 倍大きくなった。図 14 に電源電圧と DUT の劣化係数の関係を示す。1 つの PMOS で発生する NBTI による劣化は電源電圧に対して線形性をもって増加することが確認できる。

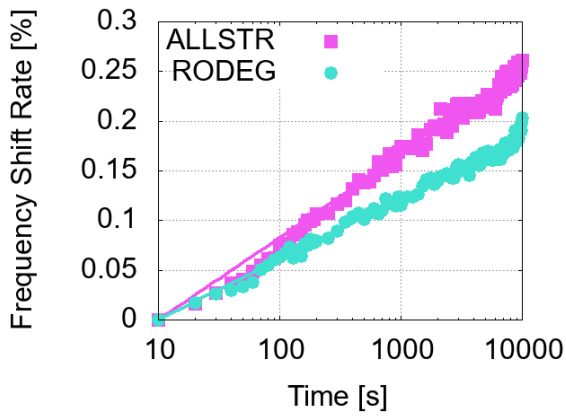


図 8 各構造の発振周波数変動率の測定結果 (2.25V)  
 Fig. 8 Measurement results of oscillation frequencies fluctuation (2.25V)

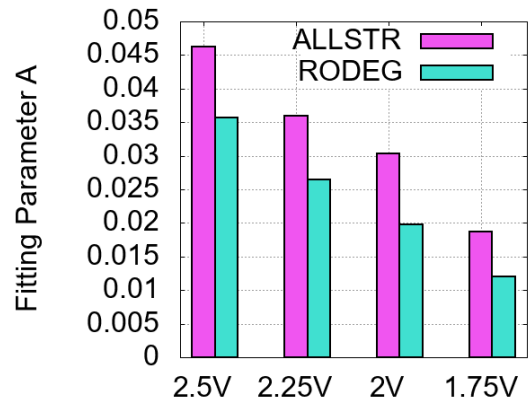


図 11 ALLSTR, RODEG 構造における劣化係数 A  
 Fig. 11 Fitting parameters  $a$  (ALLSTR, RODEG)

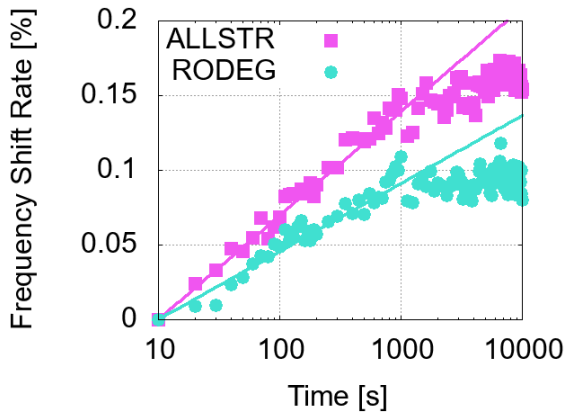


図 9 各構造の発振周波数変動率の測定結果 (2.0V)  
 Fig. 9 Measurement results of oscillation frequencies fluctuation (2.0V)

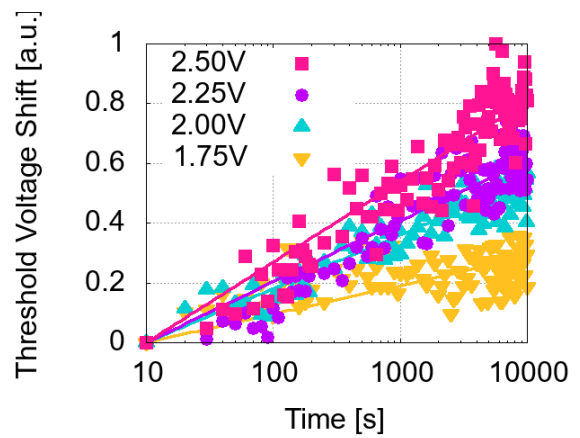


図 12 各電圧における DUT のしきい値変動量  
 Fig. 12 Threshold voltage fluctuation of DUT

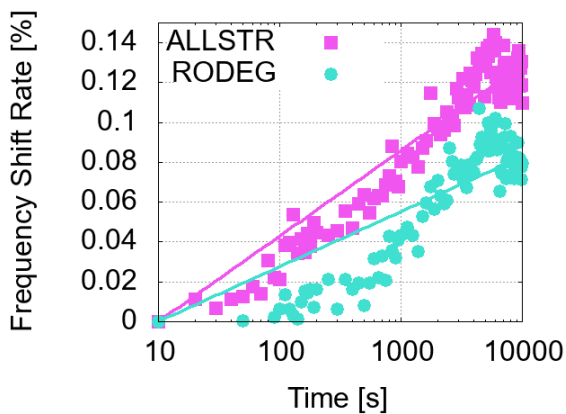


図 10 各構造の発振周波数変動率の測定結果 (1.75V)  
 Fig. 10 Measurement results of oscillation frequencies fluctuation (1.75V)

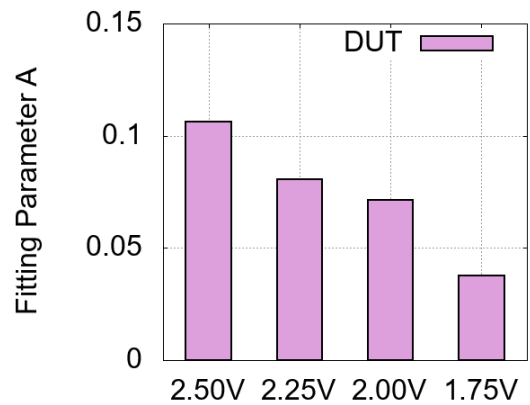


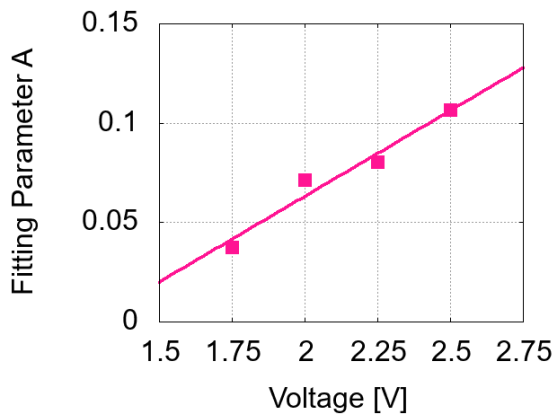
図 13 DUT における劣化係数 A  
 Fig. 13 Degradation factor  $A$  (DUT)

## 6. 結論

本稿では、ストレス分離スタブ型 RO を用いて 1 つの

PMOS で発生する NBTI による劣化を実測評価した。ストレス分離スタブ型 RO には、DUT と RO が劣化する ALLSTR 構造と RO のみが劣化する RODEG 構造がある。2 つの構造の差分をとることで、DUT で発生する NBTI による劣化を求めることができる。DUT の劣化率は 1.75V に対して、2.5V で 2.82 倍、2.25V で 2.14 倍、2.0V で 1.89



図 14 劣化係数  $A$  の近似直線Fig. 14 Fitting of degradation factor  $A$ 

倍大きくなった. 1つのPMOSで発生するNBTIによる劣化は電源電圧に対して線形性をもって増加することが確認できた.

**謝辞** 本研究におけるテストチップの試作は東京大学d.lab-VDECを通し, 日本シノプシス合同会社, 日本ケイデンスデザインシステム社, シーメンスEDA ジャパン株式会社の協力のもと行われたものである. また, 京都工芸繊維大学集積システム講座小林研究室に深く感謝いたします.

#### 参考文献

- [1] Erik P. DeBenedictis, Mustafa Badaroglu, An Chen, Thomas M. Conte, and Paolo Gargini, “Sustaining Moore’s law with 3D chips,” *Computer*, vol. 50, no. 8, pp. 69–73, 2017.
- [2] V. Huard, C. Parthasarathy, C. Guerin, T. Valentin, E. Pion, M. Mammasse, N. Planes, and L. Camus, “NBTI degradation: From transistor to SRAM arrays,” *IEEE International Reliability Physics Symposium*, pp. 289–300, April 2008.
- [3] R. Wang, R. Huang, Y. He, Z. Wang, G. Jia, D. Kim, D. Park, and Y. Wang, “Characteristics and Fluctuation of Negative Bias Temperature Instability in Si Nanowire Field-Effect Transistors,” *IEEE Electron Device Letters*, vol. 29, pp. 242–245, March 2008.
- [4] Vijay Reddy, Anand T. Krishnan, Rakesh Vattikonda, Srikanth Krishnan, and Yu Cao, “Compact Modeling and Simulation of Circuit Reliability for 65-nm CMOS Technology,” *IEEE International Reliability Physics Symposium*, pp. 509–517, December 2007.
- [5] D. K. Schroder and J. A. Babcock, “Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing,” *J. Appl. Phys.*, vol. 94, pp. 1–18, Jul. 2003.
- [6] Rodolf W. Herfst, Jurriaan Schmitz, and Andries J. Scholten, “Simultaneous extraction of threshold voltage and mobility degradation from on-the-fly NBTI measurements,” *IEEE International Reliability Physics Symposium*, 2011.
- [7] R. Kishida, T. Asume, J. Furuta, and K. Kobayashi, “Extracting BTI-induced Degradation without Temporal Factors by Using BTI-Sensitive and BTI-Insensitive ring Oscillators,” *IEEE International Conference on*