

スタンダードセルベース ASICにおける多重化フリップフロップの ソフトエラー耐性の評価

Evaluation of Soft Error Immunity on Multiple Modular Flip Flops in Standard-cell-based ASICs

増田政基[†] 岡田翔伍[†] 山本亮輔[†] 古田潤[‡] 小林和淑^{†,††} 小野寺秀俊^{‡,††}
[†]京都工芸繊維大学工学科学研究科 [‡]京都大学情報学研究科 ^{††}JST,CREST

Masaki MASUDA[†] Shogo OKADA[†] Ryosuke YAMAMOTO[†] Jun FURUTA[‡]
Kazutoshi KOBAYASHI^{†,††} Hidetoshi ONODERA^{‡,††}

[†]Graduate School of Science and Technology, Kyoto Institute of Technology

[‡]Department of Communications and Computer Engineering, Kyoto University

^{††}JST,CREST

1 はじめに

集積回路は微細化・高集積化により高性能になり、それにより計算機の性能が上がりまた微細化が進むというサイクルを歩んできた。しかし微細化が進むことにより、いままでは過酷な宇宙線環境にさらされる宇宙での問題であったソフトエラーの影響が地上でも無視できなくなってきた。1980年代は1チップ当たりのSERは1000 FIT以下に抑え込むことが一般的に要求されていた。1 FITとは、 10^9 時間あたりに1回ソフトエラーが発生することを示す。すなわち1000 FITとは平均 10^6 時間、約100年間に1回ソフトエラーが起こることを示している。ソフトエラーはあくまで一過性のエラーであるので、1000 FITであればそのチップを使用することに特に問題はない。しかし、スーパーコンピュータや飛行機などのように高い信頼性を要するものや大量生産されているものなどにとっては無視できない値である。よってこれからのLSIはソフトエラーが発生しても、エラーを発見・除去できるような回路を検討する必要がある [1]。

高いソフトエラー耐性を持つフリップフロップとして冗長化フリップフロップがある。冗長化フリップフロップとは回路を多重化することによりエラーを防ぐフリップフロップである。しかし、その分だけ面積・消費電力が大きくなる。効率の良い冗長化を行なったフリップフロップが必要である。本稿では冗長化フリップフロップの特性の検証を行ない、スタンダードセルベースASICにおける多重化フリップフロップの動作検証を行う。

本稿の構成は以下の通りである。2章で耐ソフトエラーFFについて述べる。3章でASIC向けスタンダードセル

における耐ソフトエラーFFの性能評価を行なった結果を示す。4章で耐ソフトエラーFFを用いたスタンダードセルベースASICの面積オーバーヘッドの評価を行う。5章でまとめを述べる。

2 耐ソフトエラーフリップフロップ

フリップフロップ単位でのソフトエラーの対策が考えられている。その中には多重化することにより耐性を高めたものや、DICEのように4つのインバータで1つのラッチとするようなものがある。

2.1 三重化フリップフロップ (DTMR FF)

DTMR(Delayed Triple Modular Redundancy) FF[2]の簡単な回路図を図1に示す。この回路は本来のFFの回路を三重化し、多数決回路(Voter)によって3つの信号の多数決をとる。多数決の結果が後段に送られるので、一つのラッチでエラーが起こっても残り二つのラッチが正常ならばエラーは除去される。データ保持部以外に粒子線が衝突することにより発生するSETパルスは多重化FFを同時に反転させることがある。SET耐性を高めるために、マスターラッチの前に遅延素子 τ を設置することによりSETパルスが同時に複数のマスターラッチに取り込まれることを防いでいる。Voterも3重化することにより、VoterでSETパルスが生じても1つのスレイブラッチにしか取り込まれない。同時に二つのラッチにおいてSEUにより値が反転したときはエラーとなってしまいが、起こる確率は非常に低いため信頼性の高い回路となる。しかし、回路の3重化に加えVoterも3重化されているので面積が非常に大きくなる。

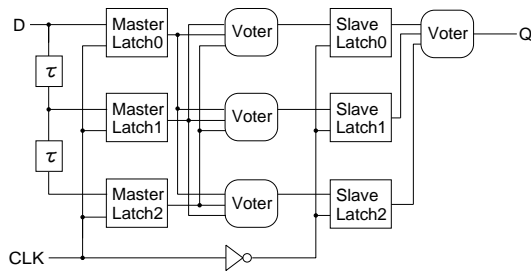
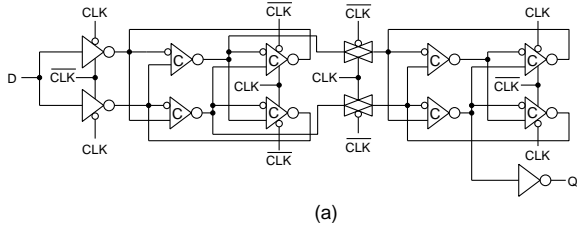
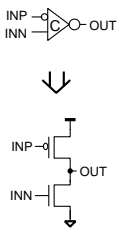


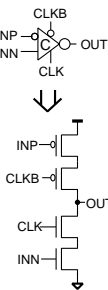
図 1: DTMR FF



(a)



(b)



(c)

図 2: (a) DICE FF (b) half C-element (c) Tristate half C-element

2.2 DICE FF

DICE (Dual Inter-locked Storage Cell) FF[3]とは図2(a)に示すフリップフロップである。DICE ラッチは4個のインバータの入力をたすき掛けすることによりソフトエラー耐性を高めている。多重化回路と異なり、Voter の役割を果たす素子を必要としないのでトランジスタ数が少なく面積オーバーヘッドが小さい。しかし、SET パルスに対する耐性はそれほど高くない。図2(b)は half C-element と名付けた素子で、2つの入力が等しいときはインバータとして働き、異なるときはハイインピーダンス状態もしくは PMOS と NMOS の両方が ON となる。(c)は half C-element にクロック制御を追加した素子である。

2.3 BISER FF

BISER (Built In Soft Error Resilience) FF[4]の回路図を図3(a)に示す。BISER とはラッチを二重化し、マスターラッチとスレイブラッチのそれぞれの後ろに C-element と Weak Keeper を挿入した回路である。C-element とは、本稿では2つの入力が等しいときはインバータとして働き、2つの入力が異なるときはハイインピーダンス状態

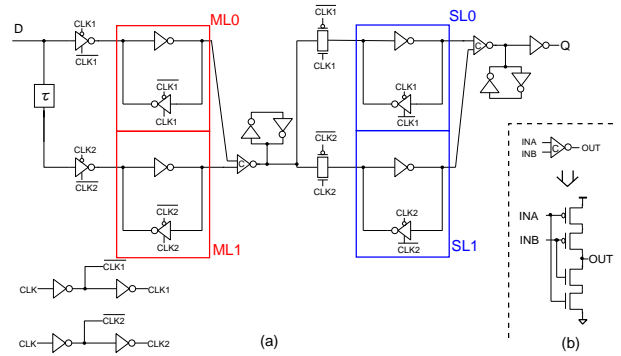


図 3: BISER の回路図

となる素子とする。その回路図を図3(b)に示す。通常動作時は C-element は Weak Keeper の保持データを上書きしなければならない。そのために C-element の駆動力は Weak Keeper の約 10 倍とする。片方のラッチでエラーが起こった場合、C-element はハイインピーダンス状態になり後段に信号を伝搬しなくなる。このときは Weak Keeper が値を保持して、後段にエラーは伝わらない。このようにして片方のラッチでエラーが起こっても後段にはエラーが伝わらない。SET パルスが入力された場合は、下段には遅延素子 τ を通しているののでこの遅延時間よりも短い SET パルスは両方のマスターラッチに同時には入らない。これにより SET パルスで二つのマスターラッチが同時にエラーを起こすことを防いでいる。面積は通常の D-FF(非冗長化 FF) と比べると 2 倍以上になるが DTMR より小さい。遅延素子も 1 つなので遅延時間と面積のオーバーヘッドが小さい。しかし、スレイブラッチの前の C-element 上で SET パルスが起こった場合、後段の両方のスレイブラッチに同時に SET パルスがとりこまれる。SET パルスはパルスが取り込まれるとエラーとなるので、クロックの周波数が高くなるにつれてエラーが発生する確率が上がる。100 ps の SET パルスは 1 GHz のクロックでは 10 % の確率でとりこまれる。

2.4 BCDMR FF

BCDMR (Bistable Cross-coupled Dual Modular Redundancy) FF [5] の回路図を図4に示す。BISER と異なり、C-element も二重化している。BISER と比べると C-element 二つ分だけ面積が増加している。この回路も BISER と同様に遅延素子 τ により両方のマスターラッチに同時に SET パルスが取り込まれるのを防いでいる。この回路は Weak Keeper を二つの C-element で両側からドライブしている。これにより C-element の駆動力は Weak Keeper の駆動力の約 2.5 倍ほどでも Weak Keeper のデータを上書きすることができる。C-element を二重化することにより、BISER では防げない C-element で発生する SET パルスによるエラーも防ぐことができる。BISER と

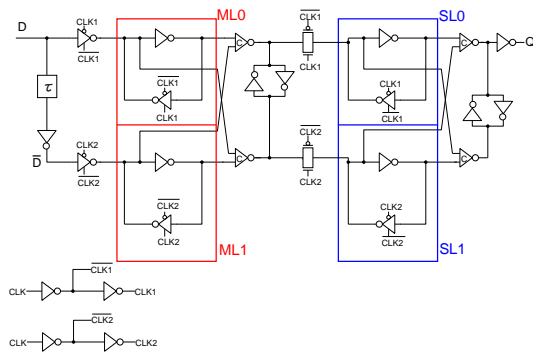


図 4: BCDMR の回路図

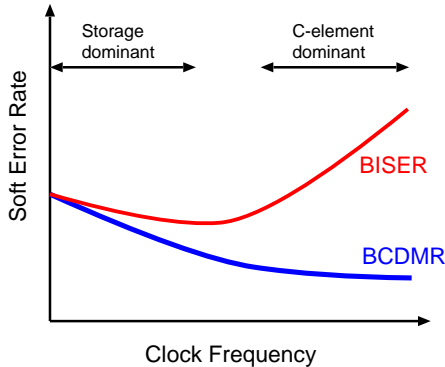


図 5: BISER と BCDMR の SER と周波数の関係性の予想

比較して BCDMR は SET に対しても高い耐性を持っている。SET によるソフトエラーは動作周波数に比例してエラー数が増加する。また多重化フリップフロップではクロック 1 周期の間に複数のラッチでエラーが起こるとソフトエラーとなるため、動作周波数に反比例してエラー数が減少する。よって図 5 のようにエラー数が変化すると予想される [5]。

3 ASIC 向けスタンダードセルにおける耐ソフトエラー FF の性能評価

ここでは $0.18 \mu\text{m}$ プロセスでの非冗長化 FF, BISER FF, BCDMR FF について、シミュレーションにより面積・消費電力・遅延時間・ソフトエラー耐性についての評価を行った。

3.1 面積・消費電力・遅延時間

それぞれのフリップフロップの消費電力と遅延時間を回路シミュレーションにより求めた。次に、それぞれのレイアウトを作成し面積を求めた。その結果を表 1 に示す。消費電力は、クロック周波数を 100 MHz としてクロック 10 周期分の平均電力とし、最悪の状態での消費電力である。最悪の状態とは、クロックの有効なエッジが入るたびに出力が切り替わる状態である。遅延時間はクロックが遷移して Q が変化するまでの時間 (CLK to Q) とし、出力が立ち上がる時 (Qrise 時) と出力が立ち下がる時 (Qfall 時) を示している。ただし、この遅延時間は遅延素

表 1: 各フリップフロップの面積・消費電力・遅延時間 括弧内の数値は非冗長化 FF の値を 1.00 としたときの比率

	面積 [μm^2]	消費電力 [μW]	遅延時間 [ps]	
			Qrise	Qfall
非冗長化 FF	50.2	11.0	213	204
BISER	148.4 (2.96)	32.8 (2.98)	298 (1.40)	433 (2.12)
BCDMR	167.7 (3.34)	34.7 (3.15)	306 (1.44)	323 (1.58)

子 τ の部分を短絡したときの結果である。括弧内の数値は非冗長化 FF の値を 1.00 とした場合の比率である。

面積・消費電力については BISER は非冗長化 FF の約 3 倍で BCDMR は 3 倍以上となった。遅延時間は、BISER は Qrise 時は非冗長化 FF の 1.40 倍で Qfall 時は 2.12 倍と大きく変わっている。BCDMR は Qrise 時は 1.44 倍で Qfall 時は 1.58 倍となっている。BCDMR は BISER に比べてほとんどの数値が大きい。しかし、Weak Keeper を両方からドライブしているため Qrise 時と Qfall 時に遅延時間が大きく変化しない。

3.2 ソフトエラー耐性

3.2.1 遅延素子による SET 耐性

BISER, BCDMR の両方に入っている遅延素子 τ について述べる。参考文献 [6] によると $0.13 \mu\text{m}$ プロセスでは最大 800 ps の幅を持つ SET パルスが発生する。同文献の実験結果より、プロセスが微細化すれば発生する SET パルスの幅は小さくなっている。よって $0.18 \mu\text{m}$ プロセスではもっと幅の大きい SET パルスが発生すると想定される。今回は 1 ns 以下の幅の SET パルスによるエラーを防ぐことを目標とし、 1 ns の遅延素子 τ についての考察を行なう。インバータチェーンを遅延素子 τ に使用した。インバータ 4 段, 8 段, 16 段の遅延時間を求めることにより 1 ns 以上の遅延時間になる段数を求めた。インバータが 32 段のときに立ち上がり・立ち下がり共に遅延時間が 1 ns を越えた。インバータが 32 段の遅延素子のレイアウトとネットリストを作成し、レイアウト面積と消費電力を求めた。この遅延素子を冗長化 FF に挿入した場合の面積・消費電力オーバーヘッドを表 2 に示す。この遅延素子を挿入することにより面積はどちらも約 6 倍、消費電力は約 6.5 倍となった。これでは SET によるソフトエラーを防いでも面積・消費電力におけるオーバーヘッドが大きい。よりオーバーヘッドの少ない遅延素子 τ を考える必要がある。

表 2: 遅延時間 1 ns となるインバータ 32 段の遅延素子を挿入した場合の冗長化 FF の面積・消費電力オーバーヘッド 括弧内の値は非冗長化 FF を 1.00 とした場合の比率

	面積	消費電力
BISER	290.3 μm^2 (5.78)	71.3 μW (6.51)
BCDMR	309.7 μm^2 (6.17)	73.2 μW (6.68)

3.2.2 MCU 耐性の評価方法

ラッチなどが保持しているデータを反転させるには一定以上の電荷が必要になる。この反転させるのに必要な電荷量は臨界電荷量 (Q_{crit}) と呼ばれる。電子または正孔が臨界電荷量以上集まったときに SEU が発生する。BISER, BCDMR は SET パルス以外では同時に特定の 2 箇所にて SEU が発生 (MCU, Multiple Cell Upset) したときにエラーとなる。しかし、2 箇所にはほぼ同時に粒子線が衝突する可能性は非常に低いので起きないものとする。よって 1 つの粒子線の衝突により複数箇所が反転する場合のみを考える。

現在は中性子によるソフトエラーが中心なので、中性子起因の誘起電荷による電流のモデル式を式 1 に示す [7, 8, 9, 10]。

$$I(t) = Q \frac{2}{T\sqrt{\pi}} \sqrt{\frac{t}{T}} \exp\left(-\frac{t}{T}\right) \quad (1)$$

式 (1) の T はプロセスによって決まる時定数である。式 (1) を $t=0$ から $t=\infty$ まで積分すると Q となる。 Q はドレインに集められた電子または正孔の電荷量である。回路シミュレーションでは、式 (1) の特性を持つ電流源を粒子線により誘起された電流としてノードに付加する。このとき Q の値を増加させていき、臨界電荷量を求める。時定数 T は文献 [7] よりプロセスに比例して減少する。0.35 μm プロセスでは 85 ps, 0.10 μm プロセスで 22 ps となっていたので、この二つの値から線形近似し 0.18 μm プロセスでは 42 ps とした。NMOS と PMOS では、キャリアの移動度が電子の方が大きいので NMOS のほうがソフトエラーが起きやすい。本稿では NMOS でのみソフトエラーが発生すると考え、測定するノードの値が 1 から 0 になる場合の臨界電荷量を求めた。

単位時間あたりに発生するソフトエラーの数をソフトエラー率 (SER, Soft Error Rate) という。SER を N_{SER} とすると式 (2) で表わされる [7, 8, 9]。

$$N_{\text{SER}} = F \times K \times A \times \exp\left(-\frac{Q_{\text{crit}}}{Q_s}\right) \quad (2)$$

F は中性子量であり、ソフトエラーの要因となる 10MeV 以上のエネルギーを持つ中性子に限定すると、地上では 0.00565/cm²s である。 K は比例定数で値は 2.2×10^{-5} である。 A はソフトエラーを起こす可能性のあるノード

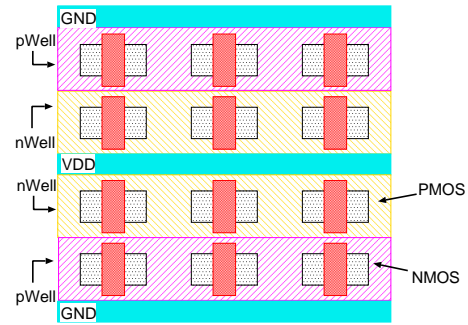


図 6: DHC 構造での NMOS と PMOS の配置

に接続された MOS トランジスタのドレイン面積の総和である。 Q_s は電荷収集効率と呼ばれ、プロセスによって決まる。文献 [7] より 0.35 μm プロセスでは 35 fC, 0.10 μm プロセスで 13 fC となっていたので、線形近似により今回の 0.18 μm プロセスでは 20 fC とした。

BCDMR で MCU が起こるには両方のマスターまたはスレイブラッチが反転するか片方のラッチとその後段の Weak Keeper が反転するときである。本稿の BCDMR のレイアウトには DHC(Double Height Cell) 構造 [11] を用いている。DHC 構造とは図 6 に示すようにダブルバック構造の 2 段で 1 つのセルとする構造である。DHC 構造により SHC(Single Height Cell) 構造のときに比べてセル内の配線を短くすることができる。DHC 構造ではクロックバッファも二重化することにより、クロックバッファ上で発生する SET パルスによるソフトエラーに対する耐性を上げることができる [11]。DHC 構造のとりかたは電源線を共通化するものとグラウンド線を共通化するものの 2 パターンがある。通常、電源線を共通化する方法をとる。その理由としては、PMOS に比べてソフトエラーが起きやすい NMOS を遠ざけることにより MCU のように複数箇所にて起こるソフトエラーの耐性を高めるためである。DHC 構造により BCDMR の上段と下段の NMOS は十分に離れているので同時に反転することはほぼないと考え、上段内もしくは下段内でのみ MCU が発生するとする。

MCU を計算するに当たって、文献 [12] より粒子線が衝突した場所からの距離 d の地点が収集した電荷量と衝突地点が収集した電荷量より、電子正孔対発生地点からの距離と電荷収集効率の関係を求めた。そのグラフを図 7 に示す。粒子線のエネルギーが大きいほど MCU が起きやすいので、文献 [12] の LET=40 MeV/mg/cm² の値を用いた。LET とは linear energy transfer の頭文字をとったもので、単位長さあたりに粒子が失うエネルギーを指す。距離 d が無限に近づくとき電荷収集率は限りなく 0 % に近づくはずなので、近似式は $f(x) = a \times \exp(-b \times x)$ とおいて求めた。近似式を求めた結果、式 (3) のようになった。

$$f(x) = 28.5 \exp(-1.12x)/100 \quad (3)$$

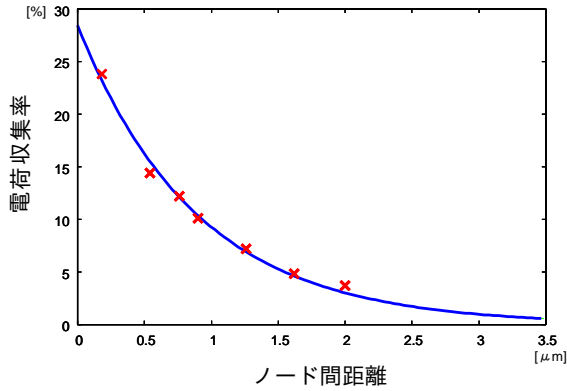


図 7: 粒子線衝突箇所からの距離と電荷収集率の関係

この式 (3) と式 (2) を用いることにより、ノードごとの MCU の $SER(N_{MCU})$ を求める。

フリップフロップの記憶値が 0 ($Q=0$) の場合の MCU が起きるノードのペア (センシティブノード) を図 8 に示す。矢印の両端のノードがペアとなる。同様にフリップフロップの記憶値が 1 ($Q=1$) の場合を図 9 に示す。それぞれのノードの Q_{crit} 、ノード間距離 d を表 3 に示す。このときのノード間距離は 2 つのドレイン領域の最短距離とする。

一組のセンシティブノードの N_{MCU} を求める。図 10 にあるようにセンシティブノード間を n 分割して考える。幅はノードの大きい側に合わせる。分割された 1 つずつの領域の N_{MCU} を求め、 n 箇所すべての合計をこのセンシティブノードの N_{MCU} とする。この範囲以外に粒子線が衝突することにより MCU が発生する確率は範囲内に比べて非常に低いので無視する。例として図 10 のノード A, B について求める。領域 k に粒子線が衝突した場合にノード A が反転するための臨界電荷量 $Q'_{critA}(x)$ を求める。まず式 (3) に距離 x を代入することによりノード A の電荷収集率を求める。ノード A の臨界電荷量を電荷収集率で割ることにより、ノード A が反転するために領域 k で発生するべき最少の電荷量 $Q'_{critA}(x)$ を求める。同様の計算をノード B についても行ない $Q'_{critB}(d-x)$ を求める。式 (4) のように 2 つの値のうち大きい方を $Q'_{crit}(x)$ とすることにより、両方のノードが反転する、すなわち MCU が起こる臨界電荷量 $Q'_{crit}(x)$ を求める。

$$Q'_{crit}(x) = \max(Q'_{critA}(x), Q'_{critB}(d-x)) \quad (4)$$

この値を式 (2) の Q_{crit} に代入し、A には領域 k の面積を用いることにより領域 k に粒子線が衝突した場合の N_{MCU} を求める。この計算をすべての領域で行ない、その合計がノード A, B 間の N_{MCU} となる。

3.2.3 MCU 起因のソフトエラー率評価

前節の計算方法を用いて、記憶値が 0 ($Q=0$) の時と記憶値が 1 ($Q=1$) の時の各センシティブノードの N_{MCU} を求

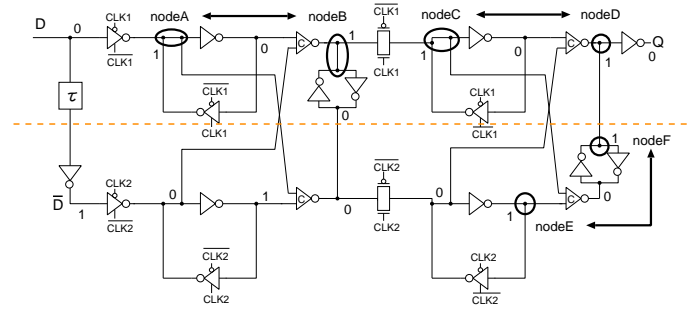


図 8: 記憶値が 0 ($Q=0$) の時の MCU となるノードのペア

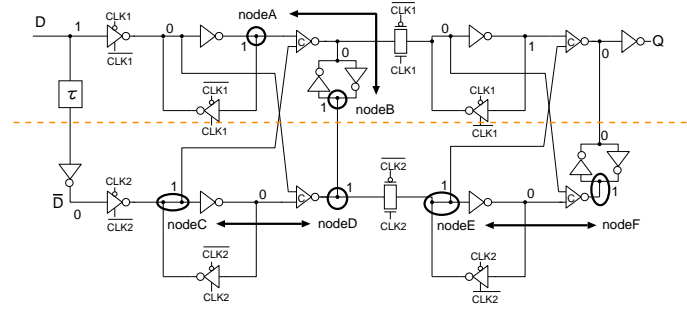


図 9: 記憶値が 1 ($Q=1$) の時の MCU となるノードのペア

める。それぞれの合計がその時のフリップフロップ全体の N_{MCU} となる。その結果を表 4 に示す。今回、センシティブノード間の分割数 n を 10000 として計算を行なった。表 4 の結果より、0.18 μm プロセスではエラー率は高くても 10^{-8} FIT/Mbit 程度と非冗長化 FF の 1000 FIT/Mbit と比べて十分小さく、MCU による冗長化 FF の反転はほぼ起こらない。

次に、 Q_{crit} 、ドレイン面積、ノード間距離 d 、 Q_s を 65nm プロセスにスケールリングし、その値を用いて N_{MCU} を求めた。ノード間距離 d は 65/180 し、ドレイン面積は $(65/180)^2$ とした。 Q_{crit} は電源電圧の影響も受ける。0.18 μm プロセスの電源電圧は 1.8 V で、65 nm プロセスでは 1.0 V とし、 Q_{crit} を 65/180 した後に 1.0/1.8 とする。 Q_s についても 65/180 することにより 7.22 fC とした。BCDMR について同様に計算した結果を表 5 に示す。表の結果より、同様のレイアウトを用いてもプロセスの微細化にともない MCU が大きく増加しており 1000 FIT/Mbit と比べても無視できない値となった。

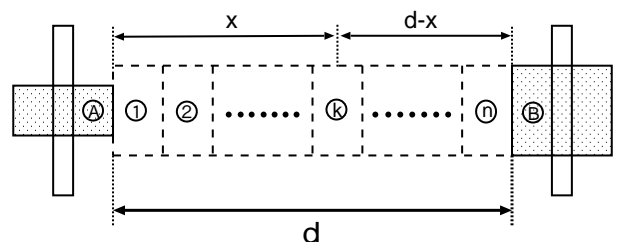


図 10: MCU の計算方法の概略図

表 3: 記憶値が 0(Q=0) の時と記憶値が 1(Q=1) の時の各ノードの臨界電荷量とノード間距離

Q=0	Q _{crit} [fC]	d [μm]	Q=1	Q _{crit} [fC]	d [μm]
A	21.5	3.23	A	31.0	3.47
B	28.1		B	28.0	
C	21.2	3.26	C	20.0	3.26
D	32.2		D	28.0	
E	28.4	3.47	E	20.2	3.23
F	32.2		F	26.4	

表 4: Q=0 の時と Q=1 の時の N_{MCU}

Q=0	N _{MCU} [FIT/Mbit]	Q=1	N _{MCU} [FIT/Mbit]
A, B	1.35×10^{-9}	A, B	1.89×10^{-14}
C, D	1.47×10^{-10}	C, D	2.39×10^{-9}
E, F	7.07×10^{-15}	E, F	7.08×10^{-9}
合計	1.49×10^{-9}	合計	9.47×10^{-9}

4 冗長化フリップフロップを用いたスタンダードセル LSI のセル実験

作成した BCDMR とそのセット付/リセット付のスタンダードセルを用いて論理合成と自動配置配線を行なった結果を述べる。

累算器とパイプライン構造 RISC プロセッサの設計に BCDMR を用いた場合の、論理合成と自動配置配線での面積を表 6 に示す。括弧内の数値は非冗長化 FF を用いた場合の結果を 1.00 とした場合の比率を表す。表 6 よりどちらも論理合成と自動配置配線の結果はほぼ等しいことがわかる。累算器では、面積は BCDMR を用いることにより約 2 倍ほどのオーバーヘッドとなっている。プロセッサでは、面積は BCDMR を用いることにより約 1.5 倍ほどのオーバーヘッドとなった。

5 まとめ

本稿では冗長化 FF についての評価を行なった。BCDMR の MCU 起因のソフトエラー率を求めた結果、0.18 μm プロセスではエラー率は高くても 10^{-8} FIT/Mbit 程度と非冗長化 FF の 1000 FIT/Mbit と比べて十分小さく、MCU による冗長化 FF の反転はほぼ起こらない。65 nm にスケールした場合は約 19 FIT/Mbit と非冗長化 FF の 50 分の 1 程度と大きく低下することを確認した。センシティブノードの距離により、エラー耐性が大きく変化することがわかった。同じ回路構造でもセンシティブノードの距離を大きくするようにレイアウトすることによりソフトエラー耐性を向上できる。

表 5: 65nm プロセスにスケールした場合の Q=0 の時と Q=1 の時の N_{MCU}

Q=0	N _{MCU} [FIT/Mbit]	Q=1	N _{MCU} [FIT/Mbit]
A, B	7.19	A, B	0.63
C, D	4.89	C, D	8.49
E, F	0.53	E, F	9.99
合計	12.61	合計	19.12

表 6: 累算器とパイプライン構造 RISC プロセッサの論理合成結果と自動配置配線結果 括弧内の数値は非冗長化 FF を用いた場合の結果に対する比率

	論理合成	自動配置配線
累算器	3168 μm ² (2.00)	3155 μm ² (2.01)
プロセッサ	1.77 mm ² (1.51)	1.79 mm ² (1.50)

謝辞

プロセスデータ/シミュレーションデータは東京大学大規模集積システム設計教育研究センター、ローム (株)、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力による。

参考文献

- [1] 戸坂義春. 知っておきたいソフトエラーの実態. 日経エレクトロニクス, pp. 145–156, 2005.
- [2] DG Mavis, et.al. *IRPS*, pp. 216–225, 2002.
- [3] T. Calin, et.al. *IEEE Trans. on Nuclear Science*, Vol. 43, No. 6, pp. 2874–2878, 1996.
- [4] S. Mitra, et.al. *ITC '06. IEEE International*, pp. 1–9, 2006.
- [5] J. Furuta, et.al. *VLSI Circuits*, pp. 123–124, 2010.
- [6] M.J. Gadlage, et.al. *IEEE Trans. on Nuclear Science*, Vol. 57, No. 6, pp. 3336–3341, 2010.
- [7] P. Hazucha, et.al. *IEEE Trans. on Nuclear Science*, Vol. 47, No. 6, pp. 2586–2594, 2000.
- [8] P. Hazucha, et.al. *IEEE Journal of Solid-State Circuits*, Vol. 35, No. 10, pp. 1422–1429, 2000.
- [9] P. Shivakumar, et.al. *International Conference on Dependable Systems and Networks*, pp. 389–398, 2002.
- [10] E. Dupont, et.al. *Design & Test of Computers, IEEE*, Vol. 19, No. 3, pp. 54–68, 2002.
- [11] T. Uemura, et.al. *IRPS*, pp. 218–223, 2010.
- [12] O. A. Amusan, et.al. *IEEE Trans. on Nuclear Science*, Vol. 53, No. 6, pp. 3253–3258, 2006.