

デジタル設計支援

——大学生がチップ設計・動作検証可能な環境の構築と提供——

Smart Design Environment for Digital Chips : Construction and Deployment of Design Environment in Which Students Can Tapeout Their Chip Designs

小林和淑

Abstract

集積回路を設計するには、そのプロセスの設計ルールのみならず、様々なツールの使い方に精通しなければならない。VDEC 発足当初からデジタル設計の自動化を目指し、Makefile を活用した設計フローの構築を行ってきた。このフローにより、0.18 μm から 28 nm までの各種のプロセスで初心者（学生）が簡単に LSI の設計を行うことができる。本稿では、このフローの詳細と検証・測定環境の構築を概説する。

キーワード：VDEC, EDA, FPGA, 検証, シミュレーション

1. はじめに

VDEC（東京大学大規模集積システム設計教育研究センター）が設立されてはや 15 年以上が経過した。筆者は VDEC 設立される以前の大学院在籍時代から、EDA（Electrical Design Automation）ツールを使い、フランスの CMP（Chip Multi-Project）を通じて集積回路の設計を行っていた。VDEC 設立後は、日本の大学で EDA を使ったことのある数少ないユーザの一人として、メーリングリスト（ML）での質問に、VDEC の池田誠教授とともに答えてきた。

VDEC 設立当初によくスタンダードセルを用いた自動配置配線によるデジタルチップの設計が一般的となってきた。筆者らの研究グループでは、スタンダードセル（スタセル）ライブラリを一から設計していた⁽¹⁾ こともあり、スタセルを用いた自動設計環境を構築していた。その設計環境を基に、研究室配属学生に簡単に使えるようにマニュアルを整備し、Makefile により、RTL（Register Transfer Level）やネットリストがあればほぼ自動的にチップが設計できる。

この設計環境を全国の VDEC ユーザに広めるべく、

2007 年度から CAD 講習会、2015 年からリフレッシュ教育として講習会を開催してきた。当初、ROHM 社の 0.18 μm プロセスから始め、ASPLA 社、e-shuttle 社、ルネサス社の 65 nm、ST Microelectronics 社の 28 nm とサポート範囲を広げている。

PDK（Process Design Kit）があれば、チップ設計ができると考えているファウンドリがほとんどである。PDK は設計の規則（Rule）が書いてあるだけで、設計の方法（How to）は記載されていない。公開している設計フローは、デジタルチップの設計例とそのフローが含まれている。

本稿では、集積回路の設計フローの変遷を俯瞰するとともに、設計環境の概要、Perl Module を用いたシミュレーションとテストツール、FPGA（Field Programmable Gate Array）を使った検証環境を説明する。

2. VDEC の試作プロセスと EDA ツール

本章では、VDEC の試作プロセスと EDA ツールの歴史を述べる。冒頭の VDEC の概要の内容と重複する部分もあるが御容赦頂きたい。

VDEC 設立当初に提供されたのは、1.2 μm、0.5 μm プロセスである。まだ CMP（Chemical Mechanical Polish）が導入される前で、2、3 層の配線であり、スタセルを詰めて並べるダブルバック配置ができなかった。こ

小林和淑 正員 京都工芸繊維大学大学院工学科学研究科電子システム工学専攻
Kazutoshi KOBAYASHI, Member (Graduate School of Science and Technology,
Kyoto Institute of Technology, Kyoto-shi, 606-8585 Japan).
電子情報通信学会誌 Vol.99 No.9 pp.891-894 2016 年 9 月
©電子情報通信学会 2016

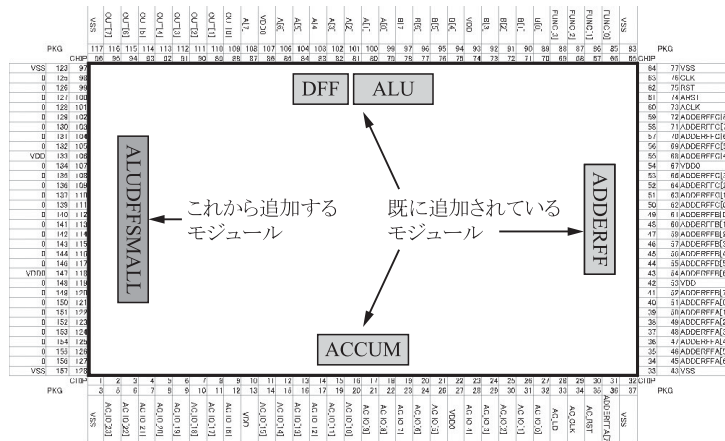


図1 設計例のチップレイアウト

の当時利用できた自動 P & R (Place & Route) ツールは、Cadence 社のものであった。現在では当たり前のように使われている Synopsys 社の Design Compiler (DC) も当時はなかった。その後、CMP が導入された ROHM 社の 0.18 μm プロセスが 2005 年から提供された。その頃には DC と自動 P & R ツールの Astro が利用可能となり、RTL からチップを設計できる環境が整った。当初は、同じディレクトリに複数の設計を混在させて設計を行っていたが、指導学生との環境の同期などで問題が生じた。

3. 学生でも設計できるフローの構築

複数の学生が同じ設計環境を共有し、簡単にチップ設計を行うために、次の概念を考え付いた。

- ・ 共通で持っておけばよいデータと、設計者各位が持っていないなければならないデータを分離する。
- ・ Makefile により、make でほとんどマニュアルなしに設計できるようにする。

この概念を基に、2007 年頃に最初の設計フローを構築し、VDEC ユーザに公開した。

3.1 設計フローの概要

設計フローは、①共通データ、②ユーザーデータに分かれている。共通データは各研究グループ単位で一つ有していればよい。設計に必要なライブラリデータ、DRC (Design Rule Check), LVS (Layout Versus Schematic) などのルールなどが含まれており、論理合成、自動 P & R (Place and Route, 配置配線)、検証などの各設計段階ごとのディレクトリにデータが格納されている。ユーザーデータも同じような構造である。

設計フローには下記のデータが含まれている。

- ・ 論理合成：RTL からネットリストを作成。
- ・ 自動 P & R：ネットリストからレイアウトマスク、チップを作成。
- ・ シミュレーション：RTL から P & R 後の寄生成分付きの回路レベルまでのシミュレーションによる検証。
- ・ レイアウト検証：DRC (レイアウトが図形的に設計制約を満たしているか)、LVS (レイアウトから抽出されたネットリストが P & R 後のネットリストと等しいか) 等の検証。
- ・ 等価検証：P & R 前後のネットリストが論理的に等価かどうかを検証。
- ・ レイアウト設計：スタセル設計や、DRC エラーを修正。

本設計フローを使用すれば、RTL やネットリストから半自動で LSI を設計することが可能である。実際に多数のチップが VDEC を通じてテープアウトされている。図 1 に例としてフローに組み込んでいるチップを示す。設計済みの三つのマクロ (単位となる回路ブロックを P & R したもの) に加えて、新たにもう一つマクロを組み込むことで設計フロー全体を理解できるように工夫している。

4. シミュレーションから測定まで

LSI を設計するには、シミュレーションによる検証が必須である。チップが完成した際には、測定を行いその結果をまとめて発表、論文化することも必須である。通常の ASIC (Application Specific Integrated Circuit) ベンダでは、TEG (Test Element Group, いわゆるテストチップ) を除き、良品選別のみを行えばよい。大学のチップは単なる良品選別ではなく、測定結果から様々なデータを取る必要がある。テスト専門家はいないため、

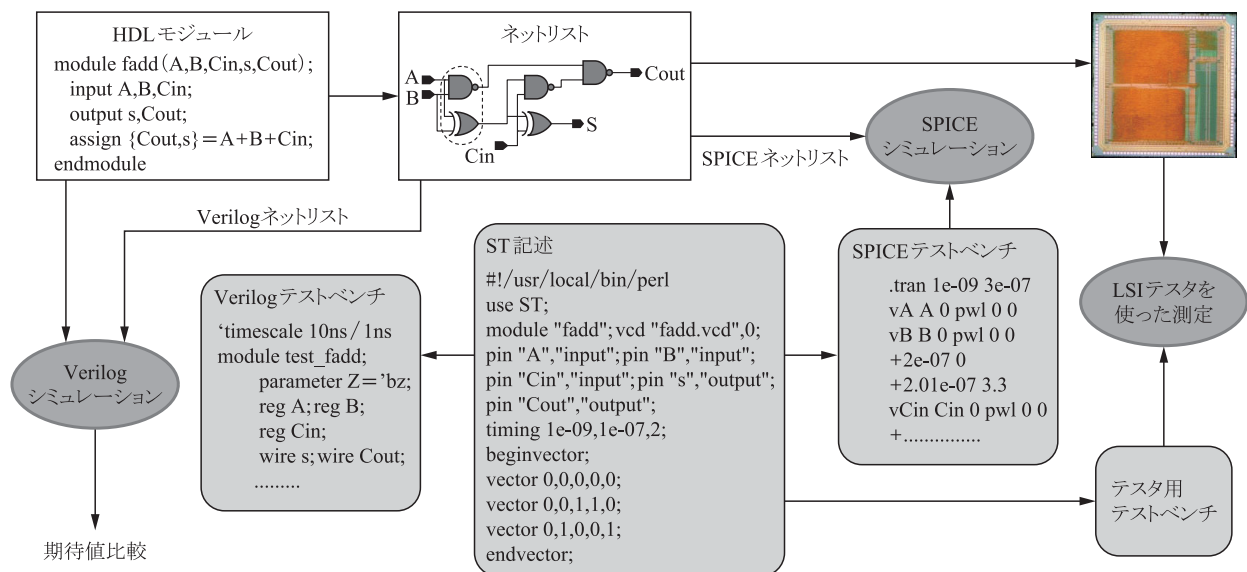


図2 ST を使った LSI の検証フロー

測定も学生や教員が担当しなければならない。

このような条件でも、簡単に検証とテストを実施できる環境の構築も行った。

4.1 Simulation & Test Package for Perl (ST)

チップ設計を始めた当初は、Cadence 社が提供していたテストベンチ記述からシミュレーション用のベクトルを自動生成するツールを用いて検証を行っていた。このツールのサポートが切れたため、Perl を用いた同様のツールを自作し、ST (Simulation & Test Package for Perl) として公開した^{(2),(3)}。ST は Perl の Package として提供し、下記のとおり簡単に利用することができる。使用法の詳細は文献(4)にて公開しているドキュメントを御覧頂きたい。

```
#!/usr/bin/perl
use ST;
```

ST で記述したテストベンチは、入力ベクトルだけでなく期待値も記述することができる。回路・レジスタ転送 (RT: Register Transfer) ・論理レベルの各シミュレーションで期待値比較を行う。期待値比較はシミュレータの機能や論理レベル記述言語の持つ比較機能を用いており、シミュレーションを走らせるだけでよい。

チップ完成後の測定でも、テスト用のテストベンチが必要である。論理シミュレーション後の波形データをテストベンチに変換する方法が一般的である。しかしこれでは時間の掛かるシミュレーションを回す必要がある。ST はテスト用のテストベンチを直接出力できる。VDEC 発足時に導入された HP 社の 83000, 93000, 本

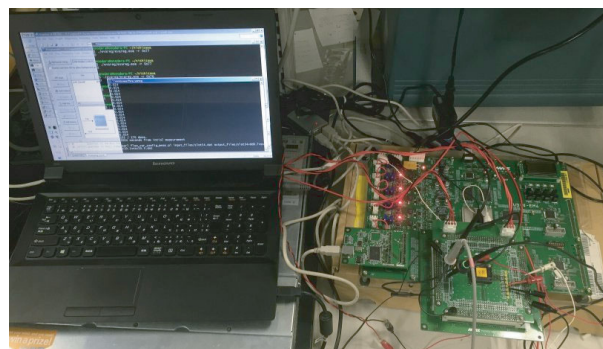


図3 FPGA ボードを使った LSI の動作検証

学で所有している Hilevel 社の Griffin, MMS (三菱電機マイコン機器ソフトウェア) 社の MU300EM をサポートしている。図2にSTを使った検証フローを示す。

4.2 FPGA を用いた LSI テスト環境

LSI テスタは数千万円から数億円と非常に高額である。ロジックアナライザ、任意波形発生器、電源を組み合わせれば比較的安価にテスト環境を構築できるが制御が非常に面倒である。MMS 社の協力で、FPGA を用いた簡易 LSI テスタ MU300EM を作成した⁽⁵⁾。価格も100万円程度と科研費などの研究費で購入可能である。ST を使えば MU300EM 用のテストベンチを生成することも可能である。テストベンチはテキスト形式のため、ST を使わずに作成することも可能である。可搬性もあるため、展示会や学会などのデモにも利用できる。大学高専関係者であれば、VDEC にて年に2回開催してい

るリフレッシュ教育にて、STと本FPGAボードを使ったLSIの検証フローの講習会に参加することができる。図3にFPGAボードを示す。PCとはUSBケーブルで接続し、GUIにてLSIの動作を確認することができる。

5. 最 後 に

本稿では、VDEC発足前から現時点までの集積回路設計と測定法についてまとめた。RTLやネットリストからのデジタル設計をターゲットとしているが、アナログ設計されたマクロも組み込んだAD混載チップも設計可能である。

微細化、CMP、銅配線プロセスの導入に伴い、密度ルール、アンテナルール、最大配線幅など新しい設計ルールが増加している。更なる微細化によるダブルパターンニングはレイアウト制約が非常に複雑である。28 nm以降のFinFETなどのトランジスタ単価の非常に高いプロセスがVDECで導入されるのはまだまだ先のことであるが、本設計フローでも対応したい。ルネサスエレクトロニクス社の65 nm SOTB (Silicon On Thin BOX) プロセスにおいてはこの設計フローを企業向けチャトルサービス用にも公開している。ファブレス化が急激に進んでいるが、LSI設計のノウハウを持つ企業は少ない。本設計フローを用いることで企業のASIC開発の一助となることも期待している。

謝辞 チップ設計に使用したEDAを提供頂いている

Cadence社、Synopsys社、Mentor Graphics社に感謝する。FPGAボードの写真を提供頂いた京都大学小野寺研究室にも感謝する。チップ試作は、オンセミコンダクター株式会社、HOYA株式会社、京セラ株式会社、ローム株式会社、凸版印刷株式会社、富士通セミコンダクター株式会社、ルネサスエレクトロニクス株式会社の協力の下で行われたものである。

文 献

- (1) 小野寺秀俊, 平田昭夫, 北村晃男, 小林和淑, 田丸啓吉, "P2Lib: スタンダードセルライブラリ自動生成システム," 情報学論, vol. 40, no. 4, pp. 1660-1669, April 1999.
- (2) K. Kobayashi and H. Onodera, "A comprehensive simulation and test environment for prototype VLSI verification," IEICE Trans. Inf. & Syst., vol. E87-D, no. 3, pp. 630-636, March 2004.
- (3) K. Kobayashi and H. Onodera, "St: Perl package for simulation and test environment," International Symposium on Circuits and Systems, vol. V, pp. 89-92, 2001.
- (4) 小林和淑, "St: Perl package for simulation and test," [http://www-vlsi.es.kit.ac.jp/~kobayasi/ST/index-j.html](http://www.vlsi.es.kit.ac.jp/~kobayasi/ST/index-j.html)
- (5) 三菱電機マイコン機器ソフトウェア株式会社, "Powermedusa," <http://www.mms.co.jp/powermedusa/index.html>

(平成 28 年 3 月 31 日受付 平成 28 年 4 月 22 日最終受付)



こばやし かずとし
小林 和淑 (正員)

平3京大・工・電子卒。平5同大学院修士課程了。博士(工学)。同年京大助手、京大・東大助教授を経て平19京都工繊大・教授。現在は集積回路の信頼性、パワーエレクトロニクスの研究に従事。平20年度本会論文賞受賞。著書「集積回路工学」など。