

極低温下で動作する信号処理 ASIC の実現に向けた FPGA 向けデザインのマイグレーション

今川 隆司[†] 小山 雄輝^{††} 小林 和淑^{††} 三好 健文^{†††}

[†] 明治大学 〒214-8571 神奈川県川崎市多摩区東三田 1-1-1

^{††} 京都工芸繊維大学 〒606-0951 京都府京都市左京区松ヶ崎橋上町

^{†††} キュエル株式会社 〒192-0045 東京都八王子市大和田町 2 丁目 9-2

E-mail: [†]imagawa@meiji.ac.jp, ^{††}ykoyama@vlsi.es.kit.ac.jp, kazutoshi.kobayashi@kit.ac.jp,

^{†††}miyoshi@quel-inc.com

あらまし 我々は、大規模汎用量子コンピュータの実現を目標に、極低温下で動作する信号処理 ASIC の開発を進めており、現在は、常温環境での動作実績がある FPGA 向けの RTL デザインを、ASIC 向けにマイグレーションする作業を進めている。本発表では、このマイグレーションのために行った作業内容の報告を通じて、知見を共有するとともに、今後同様の工程をスムーズに進められるようにするための方法について考察する。

キーワード Verilog, VHDL, IP, SRAM, レジスタ初期化

Migration of FPGA Designs for Achieving Signal Processing ASIC Operation at Ultra-Low Temperatures

Takashi IMAGAWA[†], Yuki KOYAMA^{††}, Kazutoshi KOBAYASHI^{††}, and Takefumi MIYOSHI^{†††}

[†] Meiji University 1-1-1 Higashi-Mita, Tama-ku, Kawasaki-shi, Kanagawa 214-8571, Japan

^{††} Kyoto Institute of Technology University Matsugasaki-Hashikamicho, Sakyo-ku, Kyoto-shi, Kyoto 606-0951, Japan

^{†††} QuEL, Inc. 2-9-2 Owadamachi, Hachioji-shi, Tokyo 192-0045, Japan

E-mail: [†]imagawa@meiji.ac.jp, ^{††}ykoyama@vlsi.es.kit.ac.jp, kazutoshi.kobayashi@kit.ac.jp,

^{†††}miyoshi@quel-inc.com

Abstract We are developing a signal processing ASIC designed to operate at extremely low temperatures with the goal of realizing a large-scale general-purpose quantum computer. Currently, we are progressing with the migration of a register-transfer level (RTL) design for field-programmable gate array (FPGA), which has demonstrated operation at room temperature, to be suitable for ASIC implementation. In this presentation, we report on the activities undertaken for this migration and share insights, aiming to facilitate the smooth progression of similar processes in the future. Additionally, we discuss methods to ensure the efficiency of such migrations for the seamless advancement of related projects.

Key words Verilog, VHDL, IP, SRAM, cryogenic, register initialization

1. はじめに

高度な情報システムの制御機構や高性能な信号処理アクセラレータ等の実装に際しては、求められる演算性能や電力制約などに応じて ASIC として作る場合や FPGA に実装する場合がそれぞれある。いずれの場合でも、Verilog HDL やその後継である SystemVerilog, VHDL といったハードウェア記述言語を用いたレジスタ転送レベル (register transfer level, RTL) の回路記述が必要になり、設計者自身が作成する場合もあれば、高位合成を用いて生成する場合もある。一方で、目標とする回路の性

質やプロジェクトの方針によっては、ASIC または FPGA 向けの回路記述から他方に向けて変換 (マイグレーション) する必要がある場合がある。

ASIC の試作に際しては、チップの設計や製造に多額の費用と長い期間を要する。そのため、テープアウト前には十分な検証が必要であり、例えば、設計中の回路に不備が無いことや、十分な性能が出るか、動作検証や測定のためのインターフェースが妥当であるかなどを入念に検証する必要がある。このようなテープアウト前の段階において、目標とする回路を FPGA に実装して動作させることで、より実機に近い状態での有益な検証

が可能になる。これは FPGA の主な用途の一つであり、そのためには、ASIC 向けに設計された回路記述を FPGA 向けにマイグレーションする必要がある。一方で、始めから FPGA 向けにアクセラレータ等を設計し、その概念実証 (Proof of Concept, PoF) が十分になされた後に、応用範囲の拡大等を目的として ASIC 化するケースもある。このような用途の背景には FPGA の高性能化などがあり、その際には前述の場合とは逆に、FPGA 向けに設計された回路記述を ASIC 向けにマイグレーションする必要がある。

これらのマイグレーション作業が必要になる要因には、ASIC と FPGA の性質の違いや、許容される回路記述やシミュレーション記述がコンパイラやシミュレータ、論理合成ツール等によって異なることが挙げられる。また対象を FPGA とするか ASIC するかによって、使用できる IP (intellectual property) やメモリマクロが異なることも要因の一つである。これらによって生じるマイグレーションのための作業の量を可能な限り少なく抑えることは、プロジェクトの円滑な進行にとって重要であるが、その方法論は未だ確立されておらず、様々な設計事例から知見を積み重ねる必要がある。設計事例の一つとして、今井らは文献 [1] において、MNIST 向けのニューラルネットワークモデルを対象に、Vitis HLS を用いた高位合成により生成された FPGA 向けのレジスタ転送レベルの Verilog に手動での修正を施し、ASIC 向けのシミュレーションや論理合成が可能な状態にしている。具体的な修正事項としては、parameter を用いたインスタンス呼出しやレジスタの初期化に関する修正、ROM および RAM に関連する調整、未使用 I/O ピンの削除などがある。

一方で我々は、数百万の物理量子ビットを備えた誤り耐性汎用量子コンピュータの実現を目指すプロジェクト [2] の中で、FPGA を用いて実装された量子ビットの制御に関連する信号処理回路の、ASIC へのマイグレーションを進めている。我々が現在想定している量子コンピュータシステムにおいては、物理量子ビット自体は希釈冷凍機内の極低温下に存在する一方で、量子ビットに対する操作や量子状態の読み出しに必要な信号処理は、いわゆる古典コンピューティングとして常温環境下で行われている。この信号処理には高いスループットと低いレイテンシが求められることから、FPGA で実装されている。これに対し、物理量子ビットの増加に際しての装置の大型化を抑制するために、一部の信号処理を極低温下で行うことを目指している。そのためには、常温環境下で動作する FPGA 向けに設計された回路を、極低温下で動作する ASIC として実装する必要があり、FPGA 向けに設計された回路を ASIC 向けにマイグレーションする必要がある。本研究報告では、これまでに我々が行ったマイグレーション作業の内容を報告し、その際に得た知見を共有するとともに、今後同様の工程をスムーズに進められるようにするための方法について考察する。

2. マイグレーションの対象とする FPGA 向けデザイン

マイグレーションの対象とする回路は、QuEL 社が開発した量子コンピュータ向けの信号処理アクセラレータである。この

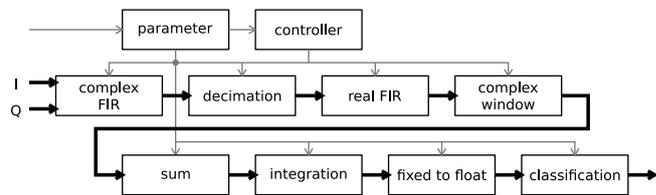


図1 マイグレーションの対象とする量子コンピュータ向けの信号処理アクセラレータのブロック図

回路のブロック図を図 1 に示す。この回路は量子ビットの状態の読み取るための信号処理を行うものであり、整数表現の複素信号を入力として、FIR フィルタや積算、浮動小数点表現への変換等の算術演算を中心とする処理をパイプラインで行い、推定した量子状態を出力する。FIR フィルタの係数や積算する区間等の動作パラメータは内部のメモリに保持することができ、外部から値を書き換えることで、アクセラレータの動作特性を柔軟に変更できる。各ブロックの詳細な仕様については、本稿の範囲を越えるため省略する。回路は VHDL を用いてレジスタ転送レベルで記述されており、ターゲットとする FPGA は AMD 社の Alveo U50 である。本稿では、論理合成には Synopsys 社の Design Compiler を用いることとし、同社の DesignWare ライブラリに含まれる IP と ARM 社の SRAM マクロを使用しながら、上記の回路記述を ASIC 向けに論理合成可能な状態に修正するマイグレーション作業を行う。

3. ASIC 化のための FPGA 向け RTL デザインの修正

3.1 レジスタの初期化

AMD 社の FPGA の場合、レジスタの初期値を図 2(a) のコードのように記述可能であり、コンフィグレーション (再構成) の際に指定した値に設定される。このような記述は、AMD 社が示すガイドライン [3] でも、レジスタの初期値の指定方法として推奨されている。このガイドラインでは同様に、非同期リセットを使用しないように説明されており、また同期リセットに関しては可能な限り避けることが推奨されている。一方で ASIC においては電源投入時のレジスタの初期値は一意に定まらないため、図 2(b) のコードのように非同期リセット信号による初期化を明示的に記述する必要がある。

図 2 の 2 つのコードは、レジスタのビット幅の指定や対応するプロセス文の構造が単純であれば、簡潔なスクリプトによる相互変換が可能であるが、レジスタが多次元配列として宣言されている場合や、プロセス文の構造によっては、複雑な処理が必要になる。今回は、構造が単純な一部のモジュールに対してはスクリプトによる自動変換を行い、それ以外に対しては非同期リセットの処理を手動で追加した。

3.2 算術演算向け IP の置換え

FPGA ベンダは設計効率化等を目的として様々な IP を提供しており、整数演算器や浮動小数点演算器、メモリや外部とのインタフェースに関するものなど多岐にわたる。これらの IP は、同一ベンダが提供する設計環境の下ではシミュレーションや論

```

signal register : std_logic_vector(31 downto 0) := (others => '0');
process (clock) begin
  if rising_edge(clock) begin
    ...
  end if;
end process;

```

(a) FPGA向けのレジスタ初期化記述

```

signal register : std_logic_vector(31 downto 0);
process (clock, async_reset_n) begin
  if async_reset_n = '0' then
    register <= (others => '0');
  else if rising_edge(clock) begin
    ...
  end if;
end process;

```

(b) ASIC向けのレジスタ初期化記述 (非同期リセット)

図2 レジスタを初期化するためのRTL記述 (VHDL)

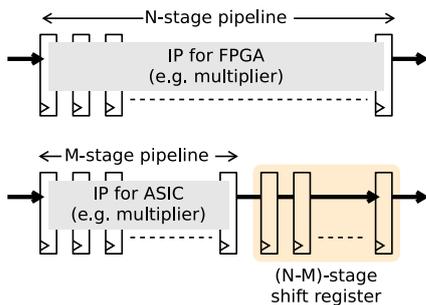


図3 シフトレジスタの挿入によるパイプライン段数の調整

理合成が可能である一方で、回路の内部構造が秘匿されている場合やライセンスによって制約される場合があるため、ASIC向けのシミュレータや論理合成ツールでは扱えない場合がある。従ってASIC化に際しては、FPGA向けデザインの中で使用されているIPを、論理合成ツールのベンダ等が提供するIPに置き換える必要がある。本稿で対象としたアクセラレータ回路では、実数および複素数向けの整数演算器や浮動小数点演算器、固定小数点表現から浮動小数点表現への変換回路、外部とのインタフェースのためのAXI (advanced extensible interface) に関連するIPが用いられている。

これらのIPのうち算術演算回路および変換回路については、Synopsys社のDesignWareライブラリにより提供されているIPの組合せに置き換えることで同等の機能を実現できた。ただし、FPGA向けとASIC向けの算術演算IPではパイプライン段数、すなわちデータを入力してから出力が得られるまでのクロックサイクル数が異なっており、いずれもFPGA向けの方がパイプライン段数が多かった。そこで今回は修正を簡潔にするため、図3のようにASIC向けIPの出力部に適切な段数のシフトレジスタを挿入し、両者のパイプライン段数を揃えた。また一部のIPに関してはVHDL版ではなくVerilog版を使用した。なお、元々のデザインには外部とのインタフェースのためのAXIに関連するIPが複数用いられているが、ASIC化に際して当該部分を除くこととしたため、これらのIPの置換えは不要となった。

3.3 メモリモジュールの置換え

AMD社のFPGA向けのRAMやROMは、Block Memory Gen-

eratorを用いて生成でき、ワード幅 (width) やワード数 (depth) 等を柔軟に設定できる。この他にも設定可能な項目は多岐にわたり、読み込み時と書き込み時のバンド幅 (並列度) の違いを吸収するために、それぞれのワード幅を異なる値に設定できるなど、様々なメモリをIPとして柔軟に生成できる。またメモリの初期値は構成情報の一部として任意の値に設定することができ、再構成の際にロードできる。

ASIC向けのメモリには、面積効率等の観点から専用に設計されたマクロを使うのが一般的であり、今回はARM社のSRAMマクロを用いることとした。このマクロには、単純な値の読み書き以外にもBIST (built-in self-test) 等の機能も含まれているが、これらは全て制御信号により無効化した。今回用いた環境では、設定可能なワード幅やワード数の組合せや上限に制限があるため、容量の大きなメモリを使う場合や、読み込み時と書き込み時のワード幅が異なるメモリを用いる場合には、複数のマクロを組み合わせたり、制御回路を加えたラッパモジュールを作成する必要がある。このラッパモジュールには、各種イネーブル信号の極性や、制御単位がビット単位であるかバイト単位であるか等の仕様の違いを吸収するための回路も組込む必要がある。またFPGAの場合とは異なり、ASICにおいては電源投入やコンフィグレーションの時点ではメモリの値は一意には定まらない。そこで今回は、対象としたデザインにはROMが含まれないことから、非同期リセット信号をトリガとして、全てのアドレスに対して0を逐次的に書き込むための初期化回路を追加した。

3.4 パラメタ書き込みのシリアル化

FPGA向けのデザインにおいて、FIRフィルタの係数等の動作パラメタの設定は、外部仕様としては、通常のメモリ書き込みと同様にアドレスやデータ、イネーブル信号を用いて行うため、合わせて数百本の信号線が必要となっている。ただし内部仕様としては、全ての書込データが単一の内部メモリに書き込まれるのではなく、書込アドレスに応じて個別のモジュール内のレジスタにロードされる場合や、アドレス変換を経て特定のモジュール内のメモリに書き込まれる場合もある。

ASIC化に際しては、多数の信号線を必要とする上記の仕様のままでは、I/Oピンの不足を招くため現実的ではない。そこで図4に示すように、パラメタ入力をシリアル信号にして、従来の書込データとアドレスに相当する情報をシフトレジスタに蓄積し、適切なタイミングでパラレル信号としてイネーブル信号と共に出力する回路を加えた。これにより、従来の回路の内部仕様の変更を最小限に抑えながら、同等の機能を維持することができる。

3.5 シミュレーションによる検証

ASIC向けにマイグレーションしたRTL記述を複数のシミュレータを用いて検証した。使用したシミュレータはAMD社のVivadoに付属するシミュレータとSynopsys社のVCS、Siemens社のModelSimの3つである。一部のIPおよびSRAMのRTLモデルはVerilogで記述されたものを用いたため、VHDLとVerilogの混合シミュレーションを行った。テストベンチには、FPGA向けに作成されたものに非同期リセットの入力等の軽微

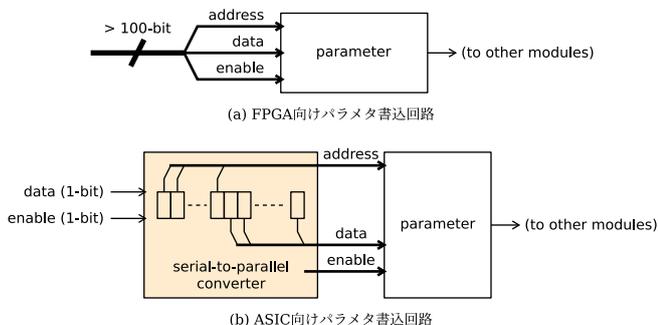


図4 パラメータ書込におけるシリアル-パラレル変換

な修正を施したものをを用いて、図1の各モジュールおよびアクセラレータ全体の動作を検証した。

Vivado 付属のシミュレータ向けにはコンパイルができた一部のシミュレーション向けの記述が、他のシミュレータ向けにはコンパイルができず修正が必要であったが、いずれも軽微なものであったため詳細は省く。また VHDL と Verilog の混合シミュレーションにしたことで、一部のシミュレータにおいて SRAM マクロからのデータ読み出しが 1 サイクルずれる現象が起こったが、その原因は不明であり今後の検討事項である。上記の問題を除けば、マイグレーションの前後で回路の出力に変化は無く、問題無くマイグレーションができていと考えられる。

4. 考 察

第 3.1 節で述べたように、レジスタの初期化に関する RTL 記述については、レジスタ宣言時のビット幅の指定や、動作記述の複雑度合いや規則性が、自動変換の難易度に与える影響は大きいと考えられる。従って、プロジェクト毎に RTL 記述のスタイルガイドを定め、RTL 記述を可能な限り簡潔で規則的なものにする事で、自動変換の実現が容易になると考えられる。一方で、各レジスタのビット幅や初期値を、アトリビュートや独自文法などの形で記述しておき、それに基づいて ASIC 向けと FPGA 向けの記述をそれぞれ生成する方法も考えられる。

IP の置換えに関しては、今回は ASIC 向け論理合成ツールのベンダが提供する IP の組合せによって、FPGA 向けの IP と同等の機能を実現できた。しかし、場合によっては片方に適当な IP が存在しないことも考えられる。そのような場合は IP を自作しなければならないが、入出力の仕様を可能な限り揃えることで、設計および検証が容易になることが期待される。一方でメモリの置換えに関しては、今回使用した ARM 社の SRAM マクロのように、単に値を保持するだけでなく様々な機能を備えたものがあり、また FPGA 向けのメモリ IP にも様々な機能を付与することができる。従って置換えに際しては、それぞれの仕様を十分に理解する必要があり、自動的な置換の実現は困難であると考えられる。

近年の FPGA は、ホストとなるプロセッサと帯域幅の広いバスで接続されることや、単一のチップとして SoC 化されることが多いため、データや制御信号の伝送はビット幅の大きなバスを通して多並列で行われることが多くなる。これに対して特に

試作段階の ASIC においては、I/O ピン数の成約から同等のインターフェースを実装することが現実的でない場合が多く、今回のようなシリアルとパラレルの相互変換に間に挟む必要が生じる。この変換に伴って信号伝送に要する時間やクロックサイクル数が変化するため、その影響を吸収できるような仕組みが必要になると考えられる。

5. おわりに

我々は、誤り耐性汎用量子コンピュータ向けの信号処理アクセラレータを極低温で動作させることを目標に、常温環境下での動作実績がある FPGA 向けに設計されたデザインを ASIC 向けにマイグレーションする作業を進めている。本稿では、そのために行った作業内容を報告するとともに、今後同様の工程をスムーズに進められるようにするための方法について考察した。今後は、本稿の事例とは逆の、ASIC 向けデザインを FPGA 向けにマイグレーションする事例も取り上げるなどして知見を積み重ね、FPGA 向けと ASIC 向けのデザインの双方向のマイグレーションをスムーズに行うための方法論の確立を目指す。

謝 辞

本研究は、東京大学 VDEC 活動を通して、日本シノプシス合同会社、シーメンス EDA ジャパン株式会社の協力のもと行われたものである。本研究は、JST ムーンショット型研究開発事業 Grant 番号 JPMJMS226A の支援を受けたものである。

文 献

- [1] 今井 雅, 吉瀬謙二, 米田友洋, “FPGA-SoM を用いた ASIC 試作チップ評価システムの構築,” 信学技報, vol. 122, no. 283, VLD2022-19, pp.1-6, Nov. 2022.
- [2] “ムーンショット目標 6「スケーラブルな高集積量子誤り訂正システムの開発」,” <https://www.greenlab.kit.ac.jp/qubecs>.
- [3] “Vivado Design Suite User Guide: Synthesis,” <https://docs.xilinx.com/r/en-US/ug901-vivado-synthesis>.