

## 65nm プロセスによる耐ソフトエラー FF の性能比較評価

Performance Evaluation of Redundant FFs against Soft Errors in a 65 nm Process

久保田 勘人<sup>1</sup>  
Kanto Kubota山本 亮輔<sup>1</sup>  
Ryosuke Yamamoto小林 和淑<sup>1,2</sup>  
Kazutoshi Kobayashi京都工芸繊維大学<sup>1</sup>  
Kyoto Institute of TechnologyJST, CREST<sup>2</sup>  
JST, CREST

## 1 まえがき

微細技術の発展により集積回路には数億というトランジスタが集積されるようになった。しかし、技術が発展しトランジスタが微細になったことによりソフトエラーの増加が顕著になっている。そこでフリップフロップのラッチ部を多重化することにより、ソフトエラー耐性を高める手法が用いられている。本稿では、従来の DFF と多重化された FF である DICE FF[1], BCDMR FF[2] の比較を行う。

## 2 耐ソフトエラー FF

DICE FF(Dual Interlocked Cell FF) は、4つのインバータの入力をたすき掛けにして、エラー耐性を高めた FF である。図 1 に DICE FF を示す。ラッチ部にある 4つの素子のうちいずれか 1つに SET パルスが発生しても他の 3つの素子の出力が変化しないためラッチの保持値が反転しない。ラッチ部にある 2つの 2入力インバータ、もしくは 2つのトライステートインバータが同時に反転するとき出力値が反転する。

BCDMR FF は二重化されたラッチ、C-element, weak keeper によってソフトエラー耐性を高めている FF である。図 2 に回路図を示す。C-element は異なる値が入力された時ハイインピーダンスとなり、weak keeper が値を保持する。二重化されたラッチと weak keeper のうち、2個が同時に反転するとエラーとなる。

## 3 各 FF の性能比較評価

表 1 に比較する各フリップフロップのシミュレーション結果と面積についてまとめる。表 1 内にある括弧は DFF を 1 とした場合の比である。回路構造上 DICE FF と BCDMR FF の面積は 2 倍以上となる。消費電力のシミュレーション条件は、CLK 周波数 100MHz であり、活性化率  $\alpha$  を変化させている。 $\alpha$  が 100% と 50% のものを記載した。表 1 に示したソフトエラーを起こす最低電荷量である臨界電荷量の値より出力の反転確率を求めている [3]。多重化 FF の反転確率が低いのは反転すると出力が変化するノードがペアで存在しており同時に反転しないと出力が他のノードによって保護されるためである。

消費電力はほぼトランジスタ数に比例する。 $\alpha$  の割合が減れば動作するトランジスタが減るため消費電力が減少している。DFF を基準として DICE FF, BCDMR FF の PD 積はそれぞれ 2.16 倍と 3.71 倍で、面積が 2.31 倍と 2.83 倍になっている。面積と PD 積は BCDMR FF より DICE FF が小さいが、BCDMR FF の臨界電荷量が DICE FF の 2.14 倍になっており、ソフトエラー率

(SER) を計算すると 25 倍のエラー耐性となっている。

## 4 まとめ

BCDMR は、ソフトエラーを引き起こす最低電荷量である臨界電荷量が大きく、エラー耐性が高い。一方、DICE は面積、PD 積ともに BCDMR よりも小さいが、そのエラー耐性は 1/25 と低い。今後は、同一チップ上に DICE, BCDMR を集積し、中性子線、アルファ線、重粒子線を用いたエラー耐性の実測評価を行う予定である。

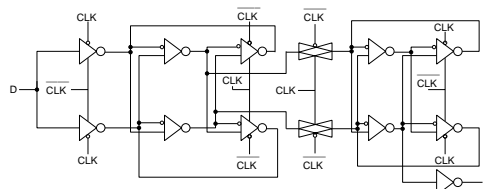


図 1 DICE FF

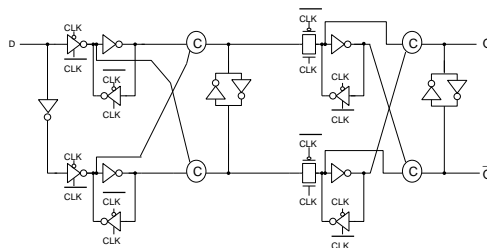


図 2 BCDMR FF

表 1 各フリップフロップのシミュレーション結果

	DFF	DICE	BCDMR
面積 [ $\mu\text{m}^2$ ]	6.84(1.00)	15.8(2.31)	19.4(2.83)
トランジスタ数	24(1.00)	46(1.92)	68(2.83)
消費電力	$\alpha=1[\mu\text{W}]$	0.964(1.00)	1.78(1.85)
	$\alpha=0.5[\mu\text{W}]$	0.645(1.00)	1.10(1.71)
遅延時間 [ps]	48.2(1.00)	56.6(1.17)	63.1(1.31)
PD 積	$\alpha=1$	46.4(1.00)	100(2.16)
	$\alpha=0.5$	31.1(1.00)	62.3(2.00)
臨界電荷量 [fC]	1.44(1.00)	1.40(0.97)	3.0(2.08)
SER(比)	1.00	$3.03 \times 10^{-15}$	$1.21 \times 10^{-17}$

## 参考文献

[1] T. Calim, et. al., IEEE Trans. on Nuclear Science, pp.2874-2878, 1996 [2] J. Furuta, et. al., VLSI, pp.123-124, 2010 [3] P. Hazucha, et. al., IEEE Trans. on Nuclear Science, pp.2586-2694, 2000

## 謝辞

本チップ試作/研究は東京大学 VDEC を通し STARC、イーシャトル、富士通セミコンダクター、日本ケイデンス、シノプシス、メンターの協力で行われた。