

# チェーンにおけるパルス幅縮小を利用したSETパルス幅測定回路

Measurement Circuit for SET pulse width using Propagation-Induced Pulse Shrinking

古田 潤<sup>1</sup>                      小林 和淑<sup>2</sup>                      小野寺 秀俊<sup>1,3</sup>  
 Jun FURUTA                      Kazutoshi KOBAYASHI                      Hidetoshi ONODERA

京都大学<sup>1</sup>, 京都工芸繊維大学<sup>2</sup>, JST, CREST<sup>3</sup>  
 Kyoto University<sup>1</sup>, Kyoto Institute of Technology<sup>2</sup>, JST, CREST<sup>3</sup>

## 1 はじめに

プロセスの微細化に伴い LSI の信頼性が低下し、ソフトエラーによる一過性のエラーが増加している。ソフトエラーは粒子線の衝突によりトランジスタの出力が反転する現象であり、保持データを反転する SEU (Single Event Upset)、一過性のパルスを発生する SET (Single Event Transient) の 2 つに大別される。SEU の発生率の測定は多くされているが、一方で SET に関してはあまり測定されていない。本稿では SET のパルス幅を高い精度で測定可能な SET パルス幅測定回路を提案する。

## 2 提案 SET パルス幅測定回路

従来回路ではインバータチェーンの伝播遅延時間を用いて測定されるため、測定粒度がインバータの遅延時間以下とならない [1]。提案回路ではパルス幅の測定にバッファチェーン通過によるパルス幅の縮小を利用して、パルス幅変動はバッファの立ち上がり/立ち下がり伝播遅延時間  $d_r, d_f$  が異なる場合に生じる (図 1)。変動量  $\Delta W$  は以下のように表される [2]。

$$\Delta W = (2I_r + 0.5I_f) - (2I_f + 0.5I_r) = 1.5(I_r - I_f) \quad (1)$$

ここで  $I_r, I_f$  は FO1 インバータの立ち上がり/立ち下がり伝播遅延時間である。 $\Delta W$  は pMOS, nMOS のサイズ比により決定され、インバータの遅延時間以下となる。

図 2 に提案回路構造を示す。基本的にはフリップフロップ (FF) とクロックバッファチェーンのシフトレジスタである。測定時にはセクタでバッファをループ状にする。Pulse\_IN 入力にパルスが入力されるとバッファを伝播し、パルス幅が線形に縮小、消滅する。SET パルスは FF のクロック入力となるため、消滅するまでの FF は値がシフトする。FF がシフトした段数は図 3 に示す市松模様で初期化することで測定する。シフトした段数の測定結果からバッファ通過段数が分かり、SET パルス幅が計算できる。

## 3 動作確認結果

図 4 にパルス生成回路を用いて生成した任意の矩形波を図 2 の Pulse\_IN に入力した場合のバッファ通過段数を示す。パルス生成回路はリングオシレータ構造となっているため、発振周波数から正確にパルス幅を測定できるようになっている。動作確認結果は入力パルス幅の増加に対して線形増加しており、1 段バッファを通過するごとに約 2.5 ps ずつパルス幅が減少している。

## 4 まとめ

本稿ではバッファ通過によるパルス幅の縮小を利用した SET パルス幅測定回路を提案した。パルス生成回路を用いて動作確認を行い、測定結果が入力パルス幅に対して線形に増加する結果となり、提案回路で SET パルス幅が測定可能であることを確認した。また動作確認結果から測定粒度が約 2.5 ps となることを確認し、高精度で測定可能であることを確認した。

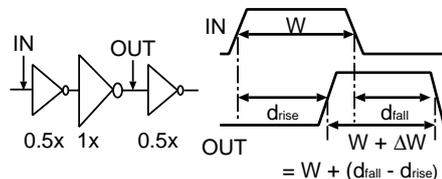


図 1 バッファチェーン通過によるパルス幅の変動。

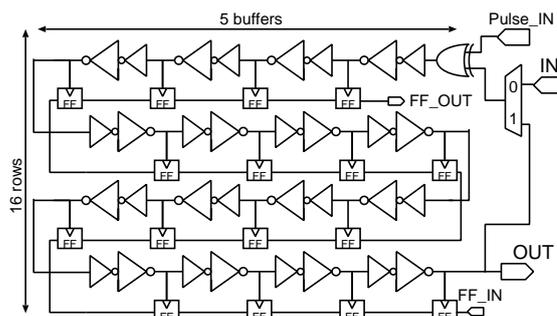


図 2 提案する SET パルス幅測定回路。

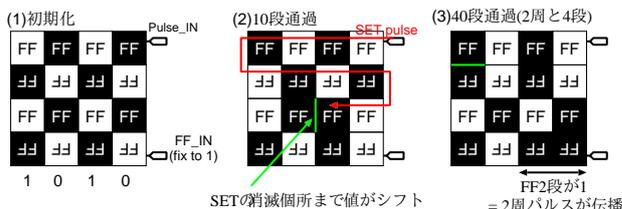


図 3 提案回路の初期化。同じ値が連続する FF が消滅個所を表す。FF\_IN が 1 で固定されているため、SET がバッファチェーンをループした回数は保持値が 1 となった右下の FF の段数となる。

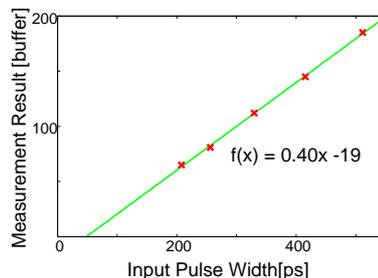


図 4 動作確認結果。

## 参考文献

- [1] Y. Yanagawa et al., *Trans. on Nuclear Science*, pp. 3575 – 3578
- [2] P. Chen et al., *Trans. on Circuits and Systems II*, vol. 47, no. 9, pp. 954 – 958

謝辞 本研究の一部は、経済産業省から STARC に委託された「次世代回路アーキテクチャ技術開発事業」により実施した。チップ試作は東京大学大規模集積システム設計教育研究センターを通し 株式会社半導体理工学研究センター、(株)イー・シャトルおよび富士通株式会社の協力で行われた。