

冗長/非冗長化 FF による多重化プロセッサのソフトエラー耐性評価

Soft Error Immunity on Multiple Modular Processors with Redundant or Non-Redundant Flip Flops

岡田翔伍¹ 増田政基¹ 姚駿² 嶋田創^{2,3} 小林和淑^{1,3}

Shogo Okada Masaki Masuda Jun Yao Hajime Shimada Kazutoshi Kobayashi

京都工芸繊維大学¹ 奈良先端大学院大学² JST, CREST³

Kyoto Institute of Technology Nara Institute of Science and Technology JST, CREST

1. まえがき

近年、製造技術の進歩により微細化が進み、ソフトエラー率が上昇し、アーキテクチャレベルでの信頼性の向上が必要になっている。本稿では、アーキテクチャレベルでソフトエラー耐性を向上させたパイプラインプロセッサのエラー耐性の評価を行うため、回路レベルではエラー耐性のない非冗長化 FF と回路レベルでエラー耐性を持つ冗長化 FF を用いたプロセッサのエラー耐性の比較を目的とした LSI 設計と評価方法について述べる。

2. 試作チップ概要・レイアウト設計

今回の試作では Rohm 社の 180nm プロセス、5mm 角のチップで、二重化 6 段パイプライン構造 RISC プロセッサで、各ステージの境界で比較器を持ち、2 値が異なると命令を再実行することで回復動作を行う DARA プロセッサ[1] をコアとする。プロセッサ内に SRAM ではなく、FF のアレイで構成された 368 bits×8 lines(ECC 付き)の L1\$ が存在する。通常の DFF を用いたプロセッサ(Proc-DFF)と、エラー耐性を持つ冗長化 FF として、二重化 FF に Weak Keeper と二重化した C-element によりエラー耐性を高めた BCDMRFF[2] を用いたプロセッサ(Proc-BCDMR)を実装する。ソフトエラー耐性の評価はプロセッサに α 線を照射し行う。Proc-DFF では、回路レベルでエラー耐性を持たないので、アーキテクチャレベルでのエラー耐性の評価ができる。Proc-DFF または Proc-BCDMR ではエラー回復のための命令再実行の回数と電力や動作終了までの時間のオーバーヘッドにどのような相関があるかを評価できる。Proc-DFF と Proc-BCDMR のエラー回数を比較することで、回路レベルでのエラー耐性向上の優位性の評価を行うことができる。この 2 つのプロセッサはセレクタ回路で制御し、一方のプロセッサのみ動作する。チップのテストはホスト PC、L2\$ とチップの間に FPGA を接続する構成である。チップの動作環境を図 1、各 FF の面積とプロセッサ内の FF の使用数を表 1 に示す。Set 端子のみの DFF が用意できなかったため、Set / Reset 端子の DFF を使用している。テストを行うシステムの動作周波数が 50MHz であるので、論理合成、配置配線はこの動作周波数を満たすようにした。

設計はスタンダードセルベースで、標準条件(Typical)の遅延ライブラリを使用して行った。論理合成、配置配線には Synopsys 社の Design Compiler と IC Compiler を用いた。プロセッサは FPGA との IF 部のみ二重化されていないので共に BCDMRFF を用いて設計しソフトエラー耐性を高めている。論理合成、配置配線の結果をそれぞれ表 2、3 に示す。表内の括弧内の数は Proc-DFF の面積を基準にした時の面積比である。BCDMRFF は DFF に比べ面積は約 3 倍になっているため、記憶素子部面積は Proc-BCDMR が 2.88 倍となり、FF の面積の比が顕著に表れて

いるが、全面積で比較すると 1.74 倍となっている。

3. まとめ

アーキテクチャレベルでのソフトエラー耐性の評価のために非冗長化 FF を用いたプロセッサと冗長化 FF を用いたプロセッサのレイアウト設計を行った。冗長化 FF は非冗長化 FF の面積の約 3 倍であるが、プロセッサでは面積オーバーヘッドは 1.74 倍となる。設計を行ったチップは 2011 年 7 月 25 日にテラブラウトになる。今後、そのチップでは通常の FF を用いたプロセッサのソフトエラー率、ソフトエラー回復による電力 / 性能のオーバーヘッド、多重化 FF を用いることによるソフトエラー回数の減少の有無の評価を行う予定である。

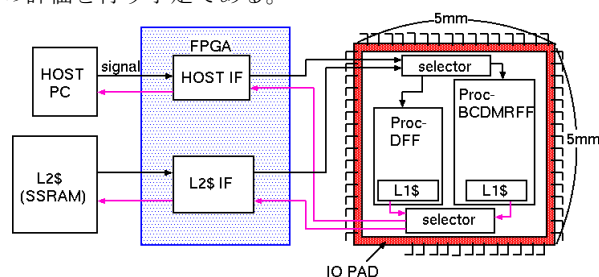


図 1 チップの動作環境

表 1 FF の面積と各プロセッサの FF の使用数

FF 名	Set / Reset 端子	面積 [μm ²]	FF 使用数[個]	
			Proc-DFF	Proc-BCDMR
DFF	N / A	51.6	13762	0
	Reset	67.7	4610	0
	Set / Reset	77.4	160	0
BCD MR	N / A	168	0	13763
	Reset	200	695	5304
	Set	200	9	169

表 2 面積

プロセッサ	論理合成		配置配線 面積(Ap) [mm ²]	As/Ap [%]
	FF の面積 [mm ²]	面積(As) [mm ²]		
Proc-DFF	1.18(1.00)	3.06(1.00)	5.09(1.00)	60.1
Proc-BCDMR	3.40(2.88)	5.32(1.74)	8.84(1.74)	60.1

参考文献

- [1]J. Yao et al., DA symposium, 2008, pp. 169-174
 [2]増田ほか, 軽井沢ワークショップ, 2011 発表予定

謝辞

本チップ試作/研究は東京大学 VDEC を通しローム、凸版印刷、日本ケイデンス、シノプシス、メンターの協力で行われた。