

TCAD を用いた回路とレイアウト構造によるフリップフロップ のソフトエラー耐性の評価

小谷 萌香[†] 中島 隆一[†] 井置 一哉^{††} 古田 潤[†] 小林 和淑[†]

[†] 京都工芸繊維大学

^{††} ローム株式会社

あらまし 本稿では 130 nm プロセスのフリップフロップ (FF) とトランジスタと配線を追加した面積, 遅延, 電力オーバーヘッドの小さい提案回路のソフトエラー耐性をデバイスシミュレーションを用いて評価した. 回路シミュレーションによるソフトエラー耐性評価ではレイアウト依存性を評価することができない. ここではレイアウト構造を TCAD により再現し, レイアウト依存性の評価を行った. ソフトエラー耐性の低い FF と比較して提案回路の臨界 LET 値は 2.5 倍に増加し, Cross Section は 30% に減少した. 実測と回路シミュレーションでソフトエラー耐性の相関係数が 0.34 と低かった測定条件においてデバイスシミュレーションを用いることで相関係数は 0.74 へと向上した.

キーワード ソフトエラー, デバイスシミュレーション, 回路シミュレーション, 信頼性

Soft Errors on Flip-flops Depending on Circuit and Layout Structures Estimated by TCAD Simulations

Moeka KOTANI[†], Ryuichi NAKAJIMA[†], Kazuya IOKI^{††}, Jun FURUTA[†], and Kazutoshi
KOBAYASHI[†]

[†] Kyoto Institute of Technology

^{††} ROHM Co.,Ltd.

Abstract We compare the soft error tolerance of conventional flip-flops (FFs) and the proposed radiation-hard FF with small area, delay and power overheads by adding transistors and wires in a 130 nm process by using device simulation. Circuit simulations cannot evaluate layout dependence of soft errors. By constructing layout structures on TCAD, the layout dependence is evaluated. The critical LET of the proposed circuit becomes 2.5x larger than the conventional FF and the cross section of the proposed circuit is decreased to 30%. The correlation coefficient of the soft error tolerance on a specific condition between the measurement results and the circuit simulation results is 0.34, while that between the measurement results and the device simulation results becomes 0.74.

Key words Soft error, Device simulation, Circuit simulation, Reliability

1. 序 論

近年, 集積回路はプロセスの微細化により集積度の向上や動的消費電力の減少など性能が向上し, 電子機器の小型化が進んでいる [1]. 一方, 微細化に伴いソフトエラーが顕在化することで信頼性の低下が問題となっている. ソフトエラーとは放射線がデバイスに突入することにより発生する一時故障である. デバイスに放射線が突入することにより電子正孔対が生成され, 出力電圧が変動するためラッチなどの保持値が反転しソフトエラーが発生する. ソフトエラーは永久故障とは異なり, 機器の再起動により回復するが, 自動車や医療分野などの高い信頼性

が求められる機器には対策が必要である. ソフトエラーの回路レベルの対策として回路の冗長化が挙げられるが, 面積, 遅延, 消費電力のオーバーヘッドが問題である [2].

本稿では様々なレイアウト構造を持つ 130 nm プロセスのフリップフロップ (FF) と性能のオーバーヘッドを抑えソフトエラー耐性の向上を目的に提案された回路のソフトエラー耐性をデバイスシミュレーションを用いて評価した. デバイスシミュレーションを用いた耐性評価の結果と α 線での実測結果を比較し, ソフトエラー耐性評価手法の向上を検討する. 第 2 節ではソフトエラーとソフトエラー耐性評価方法について述べる. 第 3 節では耐性の評価対象回路と性能評価について述べる. 第 4

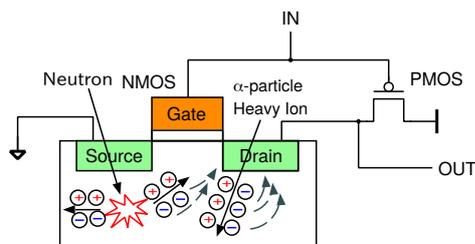


図 1: ソフトエラーの発生原理

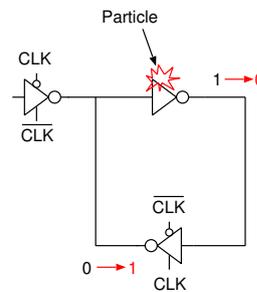


図 2: SEU 発生原理

節ではデバイスシミュレーションを用いたソフトエラー耐性の評価方法と提案回路について述べる。第 5 節では各 FF のソフトエラー耐性のシミュレーション結果と実測結果との間の相関関係を調べる。第 6 節では結論を述べる。

2. ソフトエラー

ソフトエラーとは集積回路に放射線が突入することにより発生する一過性のエラーである。集積回路の微細化により動作電圧が低くなり保持できる電荷量が減少したためソフトエラーが顕在化した。FDSOI, FinFET プロセスでは従来のバルクプロセスと比べて大幅にソフトエラー耐性が向上したが、集積度の向上によりチップあたりのソフトエラー率はそれほど下がっていない [3]。

2.1 ソフトエラーの発生原理

ソフトエラーの発生原理を図 1 に示す。地上では中性子、 α 線が主な要因である。10MeV 以上のエネルギーを持つ高速中性子が Si 原子と衝突すると核破砕反応により荷電粒子が発生する。 α 線を含む荷電粒子により電子正孔対が生じる。発生した電荷が拡散層に収集されることで、出力電圧が一時的に変動し回路の保持値が反転するため、ソフトエラーが発生する [4]。電子の移動度は正孔に比べて大きいので、NMOS の方がソフトエラーを引き起こしやすい [5]。

寄生バイポーラ効果 放射線の突入により生じた電子正孔対のうち、NMOS では正孔、PMOS では電子が基板に残留することにより発生する。基板に残留したキャリアにより基板電位が変動し、ドレイン・基板・ソースで構成されるバイポーラトランジスタが ON 状態となる。同じ基板上にある隣接したトランジスタにも影響する。

2.2 SEU (Single Event Upset)

ラッチなどの記憶素子付近に放射線が突入することによって保持値が直接反転するエラーを SEU (Single Event Upset) とよぶ [6]。SEU の発生原理を図 2 に示す。ラッチの保持値が反転するために必要な最小の電荷量を臨界電荷量 Q_{crit} とよぶ。SEU は 1bit が反転する SBU (Single Bit Upset) と複数 bit が反転する MCU (Multiple Cell Upset) の 2 つに分類される。ソフトエラー耐性を向上させるための冗長化した回路では MCU がソフトエラーの要因となるが、本稿では冗長化していない回路を対象とするため SBU を扱う。

2.3 ソフトエラー耐性評価手法

ソフトエラー耐性の評価は実測とシミュレーションにより行

われる。実測ではソフトエラーを直接測定することにより信頼性の高い結果を得ることができるが、チップの設計や準備にコストと時間がかかるという欠点がある。一方、シミュレーションではチップの設計段階からソフトエラー耐性の評価を行い、対策することが可能である。実測と比較すると、得られる結果の信頼度は低くなるが、時間とコストを抑えることができる。本稿ではデバイスシミュレーションでデバイスのレイアウト構造を 3D で再現し、シミュレーションを行う。回路の違いだけでなくレイアウト構造の違いによるソフトエラー耐性を評価する。

2.4 シミュレーションツール

2 種類のシミュレーションツールを用いる。

2.4.1 SPICE (Simulation Program with Integrated Circuit Emphasis)

電子回路のアナログ動作をシミュレーションする。ここでは Synopsys 社の HSPICE を用いる。SPICE は各素子のモデルとネットリストを用いてシミュレーションを行い、デバイスシミュレーションと比較すると短い時間で評価することができる。

2.4.2 TCAD (Technology Computer Aided Design)

プロセスシミュレータとデバイスシミュレータなどの複数のシミュレータを統合したツールである。ここでは Synopsys 社の Sentaurus を用いる。デバイス外部からの物理現象を考慮したシミュレーションが可能であり、3D デバイスモデルとネットリストを組み合わせてラッチを構成し重イオン照射時のソフトエラー耐性を評価する。

2.5 TCAD を用いたシミュレーション

臨界 LET (Linear Energy Transfer) LET 値とは粒子線の単位長さあたりのエネルギー付与を表す。LET 値はトランジスタに粒子線が突入した際に発生する電荷量に比例するため、粒子線の LET 値が大きいほどソフトエラーが発生する。評価対象の最も脆弱と考えられる箇所に任意の LET の重イオンを照射し、臨界 LET 値を調べる。図 3 にラッチの保持値の反転の様子を示す。照射した重イオンの LET 値が $0.9 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ のとき、電圧は 1.2 V に戻り保持値は反転しないが、 $1.0 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ では反転する。このときの臨界 LET 値は $1.0 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ となる。

Cross Section ある特定の粒子に対して評価対象のソフトエラーに脆弱な面積を Cross Section (CS) とよぶ。対象となるデバイスのトランジスタをグリッドに区切り、各グリッドの中心に重イオンを照射する。重イオンの照射によりソフトエラーが発生するグリッドの合計を CS とするため、CS が小さいほどソ

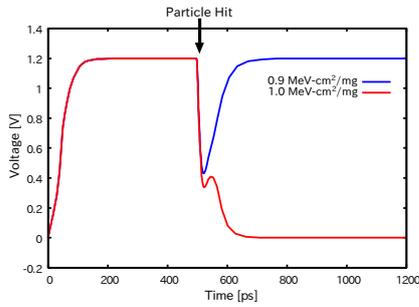


図3: 臨界 LET 値の重イオン照射時の保持値反転の様子

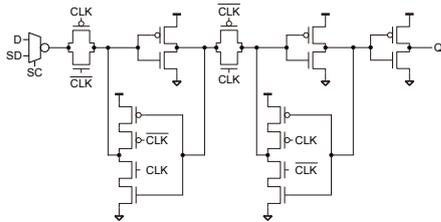


図4: セット/リセット無しスキャン型 FF の回路図

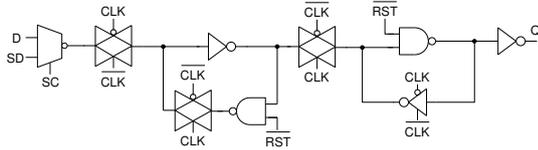


図5: リセット付きスキャン型 FF の回路図

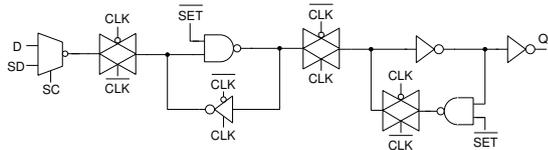


図6: セット付きスキャン型 FF の回路図

フトエラー耐性が高い。

3. 評価対象回路

本稿では合計9種類の回路を評価対象とした。セット/リセット無し、リセット付き、セット付きの3種類のスキャン型フリップフロップ (FF) が用途の異なる3種類のライブラリ A, B, C に基づいて設計されている。各回路を図4~6に示す。

SPICE を用いてレイアウトの配線抵抗や容量などの寄生成分を含む RC 抽出後のネットリストから求めた各 FF の面積 (A), 遅延時間 (D), 消費電力 (P), ADP 積を表1に示す [7]。ライブラリ A のセット/リセット無しスキャン FF の性能を 1.00 として規格化している。

3.1 α 線照射試験と回路シミュレーション

9種類のスキャン型 FF を搭載した 130 nm bulk プロセスチップへの α 線照射試験の結果から算出したエラー率を表2に示す [7]。(D, CLK) = (1, 0), (0, 1) のときに、ライブラリ C とセット/リセット無しスキャン FF でエラーが起りやすい。

各 FF の Q_{crit} を回路シミュレーションを用いて評価する。電源電圧は標準電圧の 1.5 V とし、各ノードに電流源を接続し電

表1: 各フリップフロップの性能比較

ライブラリ	フリップフロップの種類	A	D	P	ADP 積
A	セット/リセット無し	1.00	1.00	1.00	1.00
	リセット付き	1.20	1.10	1.10	1.40
	セット付き	1.20	1.10	1.10	1.50
B	セット/リセット無し	0.68	1.00	0.49	0.33
	リセット付き	0.84	1.00	0.50	0.42
	セット付き	0.88	1.10	0.53	0.51
C	セット/リセット無し	0.70	0.91	0.49	0.31
	リセット付き	0.80	0.99	0.50	0.40
	セット付き	0.83	1.00	0.53	0.44

表2: 各 (D, CLK) における SER [a.u.]

ライブラリ	フリップフロップの種類	(0, 0)	(0, 1)	(1, 0)	(1, 1)
A	セット/リセット無し	0	2.39	0.65	0
	リセット付き	0	0	1.09	0
	セット付き	0	0.87	0	0
B	セット/リセット無し	0.49	6.36	4.07	0
	リセット付き	0	0	5.05	0
	セット付き	0	3.26	0	0
C	セット/リセット無し	0.11	52.3	59.6	0.22
	リセット付き	0	0.65	57.1	0.22
	セット付き	0.22	22.1	0.65	0

表3: 各 (D, CLK) における Q_{crit} [fC]

ライブラリ	フリップフロップの種類	(0, 0)	(0, 1)	(1, 0)	(1, 1)
A	セット/リセット無し	43	14	15	48
	リセット付き	43	24	15	41
	セット付き	44	14	24	50
B	セット/リセット無し	21	13	13	25
	リセット付き	22	16	13	24
	セット付き	21	13	16	26
C	セット/リセット無し	19	11	11	28
	リセット付き	17	14	11	28
	セット付き	19	11	13	28

表4: 実測結果と回路シミュレーション結果の相関係数

	(D, CLK)			
	(0, 0)	(0, 1)	(1, 0)	(1, 1)
相関係数	0.34	0.68	0.73	0.22

流を増加させることで Q_{crit} を求める。シミュレーション結果を表3に示す [7]。 Q_{crit} とソフトエラー率は逆相関となるため、グラフの縦軸に Q_{crit} の逆数を取り比較する。 α 線照射試験の結果と回路シミュレーションの結果の各 (D, CLK) における相関係数を表4に示す。(D, CLK) = (0, 0), (1, 1) の場合、ソフトエラーが発生しない FF があるため、ソフトエラー率と Q_{crit} の数値にばらつきが生まれ相関係数が低い。(D, CLK) = (0, 1), (1, 0) の場合、ソフトエラー耐性は低く相関係数が高い。

4. TCAD を用いたソフトエラー耐性評価方法

評価対象回路が9種類あり長時間のシミュレーションが必要となるため、(D, CLK) = (0, 0), (1, 0) におけるソフトエラー耐性をデバイスシミュレーションを用いて評価する。(D, CLK) = (0, 0), (1, 0) とし、セカンダリラッチが値を保持

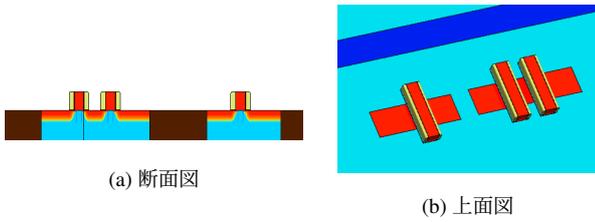


図 7: 作成したデバイスモデル

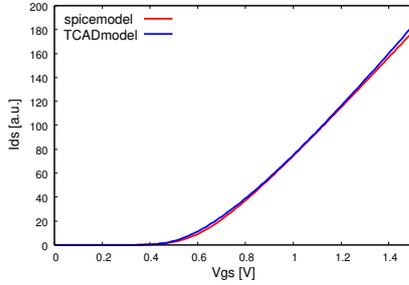


図 8: I-V 特性

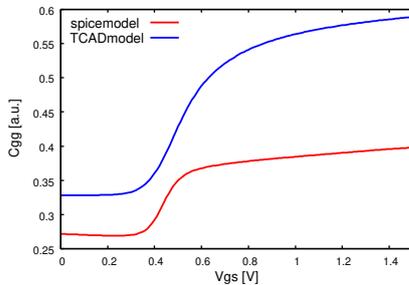


図 9: C-V 特性

している状態で評価を行う。

4.1 デバイスモデル作成

130 nm bulk プロセスの NMOS デバイスモデルを TCAD で作成する。ローム社の 130 nm プロセス SPICE モデルの静特性 (I-V, C-V 特性) を再現できるよう各パラメータを調節し作成する。作成した NMOS デバイスモデルの断面図と上面図を図 7 に示す。

回路内全てのトランジスタに 3D デバイスモデルを使用するとシミュレーションに時間を要するため、セカンダリラッチ内の NMOS に限定しそれ以外のトランジスタには SPICE モデルを使用する。それぞれの I-V 特性と C-V 特性を図 8, 9 に示す。合わせ込みの精度 (RMSPE) は式 1 に示す平方平均二乗誤差率を用いて計算する。TCAD デバイスモデルの I-V 特性の RMSPE は 4%, C-V 特性の RMSPE は 41% である。

$$\text{RMSPE} = \sqrt{\frac{1}{N} \sum_{i=0}^N \frac{([\text{TCAD}_i] - [\text{SPICE}_i])^2}{[\text{SPICE}_i]^2}} \quad (1)$$

TCAD_i: TCAD から求めた値

SPICE_i: SPICE から求めた値

4.2 臨界 LET 値による耐性評価

各 FF のソフトエラー耐性を臨界 LET 値により評価する。2.5

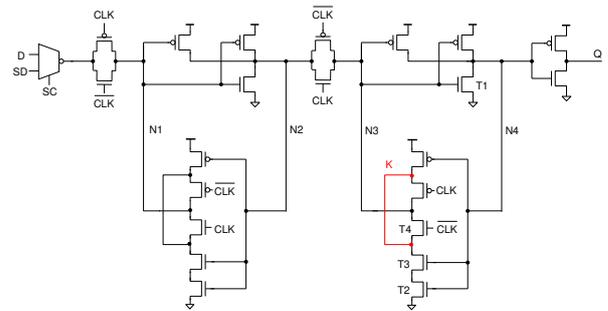


図 10: ソフトエラー耐性の高い提案 FF

節で説明したように回路内で最も脆弱と考えられる部分に重イオンを照射し、臨界 LET 値を調べる。PMOS に比べてソフトエラー耐性の低い NMOS を対象とする。バルク構造では重イオンの照射位置を中心に発生した電荷が拡散層に収集されることでソフトエラーが起こるためドレイン中央に重イオンを照射する。(D, CLK) = (0, 0), (1, 0), 電源電圧 1.5 V でシミュレーションを行う。

4.3 CS による耐性評価

各 FF のレイアウト構造に対するソフトエラー耐性を CS により評価する。CS では重イオンの照射によりソフトエラーが発生するグリッドを記録しその合計を CS とする。 α 線は LET が低くデバイスシミュレーションでは再現が難しいため重イオンを照射している。(D, CLK) = (0, 0), (1, 0), 電源電圧は 1.5V とする。照射する重イオンの LET 値は中性子と Si の核破砕反応から生じる 2 次粒子の LET 値に近い Ar の 15.8 MeV-cm²/mg とする。

4.4 提案回路

(D, CLK) = (1, 0) でライブラリ C のセット/リセット無しスキラン FF のソフトエラー耐性が低いことから考案した耐ソフトエラー FF (図 10) のセカンダリラッチの臨界 LET 値, CS を評価する [7]。提案回路のラッチ下部は直列に接続された NMOS と PMOS の間に配線を通すことで、トランスマッションゲートとインバータを組み合わせた回路構成と同等になる。

5. シミュレーション結果

4 節で説明したシミュレーションの結果を述べる。

5.1 臨界 LET 値

(D, CLK) = (0, 0), (1, 0) における各 FF の臨界 LET 値を図 11, 12 に示す。グラフでは求めた臨界 LET 値の逆数を縦軸としているため、縦軸の値が大きいくほどソフトエラー耐性が低いことを表す。(D, CLK) = (0, 0), (1, 0) におけるソフトエラー率と臨界 LET 値の逆数は図 13 のような相関関係を持ち、相関係数はそれぞれ 0.58, 0.71 となった。

(D, CLK) = (1, 0) における提案回路の臨界 LET 値は 4.0 MeV-cm²/mg となった。臨界 LET 値が 1.6 MeV-cm²/mg のセット/リセット無しスキラン FF と比較して、改善前より 2.4 MeV-cm²/mg 向上し 2.5 倍となった。

5.2 CS

(D, CLK) = (0, 0), (1, 0) における各 FF の CS を図 14,

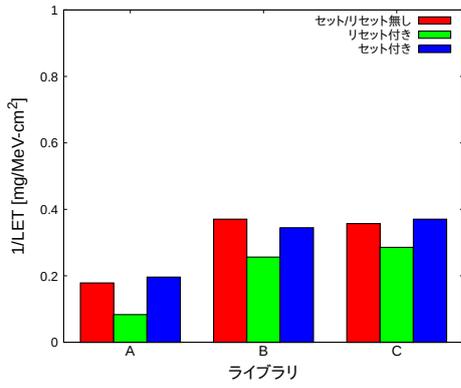


図 11: (D, CLK) = (0, 0) の 1/臨界 LET

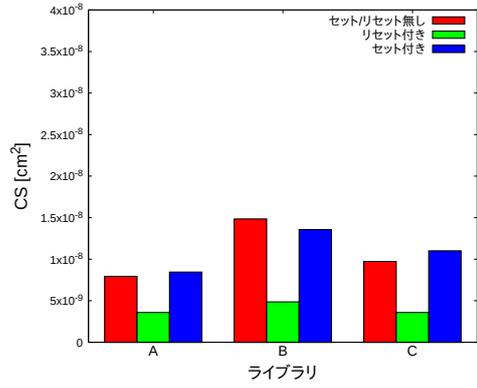


図 14: (D, CLK) = (0, 0) の CS

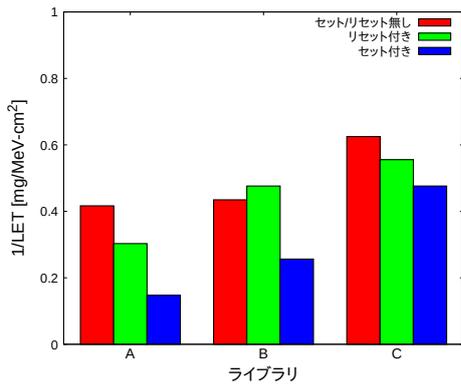


図 12: (D, CLK) = (1, 0) の 1/臨界 LET

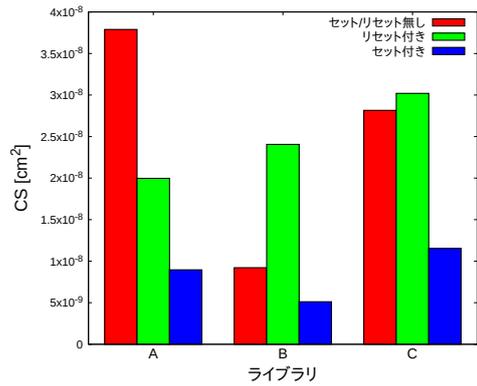


図 15: (D, CLK) = (1, 0) の CS

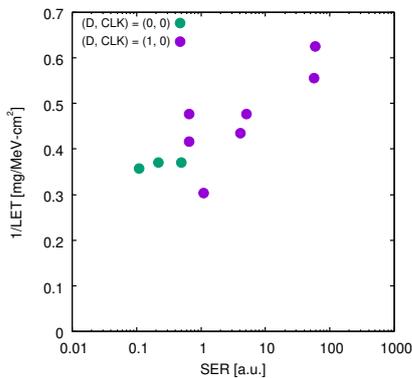


図 13: (D, CLK) = (0, 0), (1, 0) の実測と 1/臨界 LET の相関関係

15 に示す。(D, CLK) = (1, 0) においてライブラリ A のセット/リセット無しスキャン FF の CS が最も大きく、臨界 LET 値と異なりライブラリ間のレイアウト構造の違いが考慮されている。(D, CLK) = (0, 0) ではライブラリ A の臨界 LET 値が (D, CLK) = (1, 0) と比較して高いためレイアウト構造の影響を受けにくい。回路内におけるソフトエラー耐性は臨界 LET 値と同様の傾向を示す。

図 16, 17 に改善前のセット/リセット無しスキャン FF (ライブラリ C) と提案回路の CS を示す。提案回路の CS はセット/リセット無しスキャン FF の約 30% となった。

提案回路の CS が約 30% に減少した要因を調べるために、提案回路の照射点 A に重イオンを照射したときの半導体界面付近

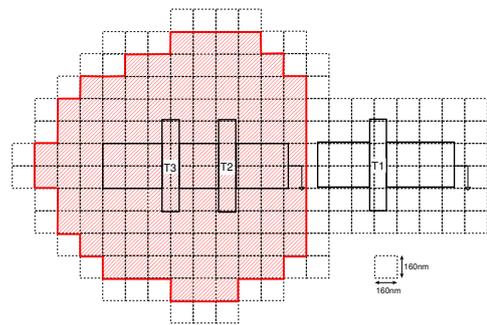


図 16: セット/リセット無しスキャン FF の CS

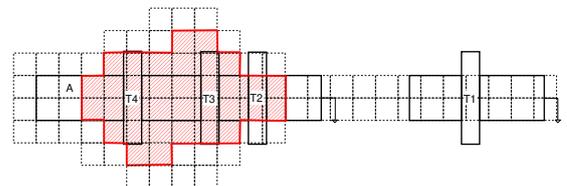


図 17: 提案回路の CS

の電圧の時間変化を図 18 に示す。照射点 A に重イオンが照射されると T4 のチャネルポテンシャルが上昇していることから寄生バイポーラ効果の影響が考えられる。T4 の NMOS は寄生バイポーラ効果によって ON 状態となり低抵抗で電流を流すことができるため、図 10 のノード K の電位が低下せず出力電圧が反転しない。

5.3 CS/臨界 LET とソフトエラー率の相関関係

臨界 LET 値の逆数とデバイスのレイアウト構造を考慮した

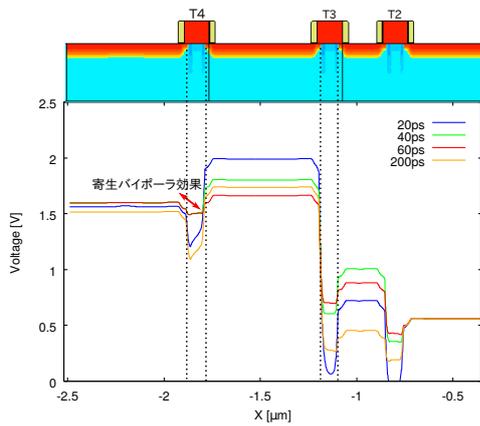


図 18: 提案回路 (照射点 A) のポテンシャルの時間変動

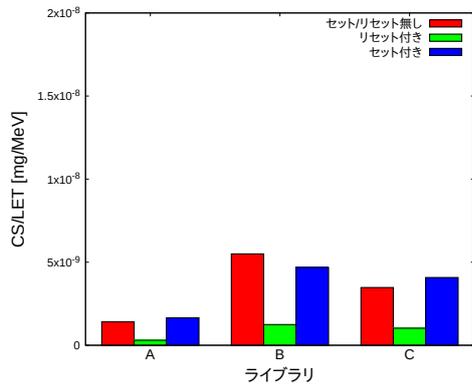


図 19: (D, CLK) = (0, 0) の CS/臨界 LET

CS の積と実測結果の相関関係を調べる。

(D, CLK) = (0, 0), (1, 0) の臨界 LET 値と CS の積を図 19, 20 に示す。実測結果と比較すると、相関係数はそれぞれ 0.74, 0.73 と CS を考慮することによりさらに相関係数が高くなった。デバイスシミュレーションを用いて評価することにより、回路シミュレーションで相関係数が 0.34 と低かった (D, CLK) = (0, 0) における相関係数が 0.74 と高くなった。デバイスシミュレーションを用いることにより回路シミュレーションよりも高精度でソフトエラー耐性の見積もりができる。実測値が LET の低い α 線の結果であり TCAD シミュレーションでは中性子によるソフトエラー耐性を評価しているため、今後の中性子照射試験の結果と比較しソフトエラー耐性評価の精度の向上を確認する必要がある。

6. 結 論

本稿では 130 nm bulk プロセスの様々な回路やレイアウト構造をもつ FF と提案回路のソフトエラー耐性の評価を行い、デバイスシミュレーションを用いた耐性評価の精度を確認した。

(D, CLK) = (0, 0), (1, 0) のときの臨界 LET 値の逆数と実測結果のソフトエラー率と比較すると相関係数は 0.58, 0.71 となった。(D, CLK) = (1, 0) における提案回路の臨界 LET 値は改善前と比較して 2.4 MeV-cm²/mg 増加し、CS は約 30% の大きさとなりソフトエラー耐性の向上を確認した。提案回路

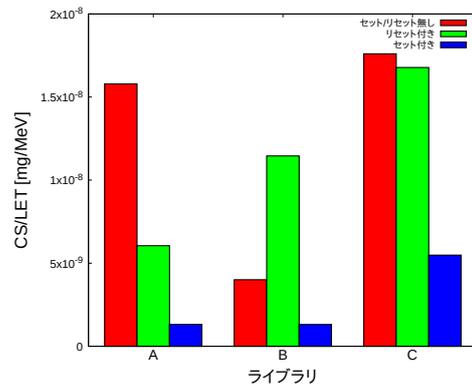


図 20: (D, CLK) = (1, 0) の CS/臨界 LET

の半導体界面付近の電圧を確認すると、重イオンが照射された NMOS のチャネルポテンシャルが寄生バイポーラ効果で上昇していることが判明した。寄生バイポーラ効果で NMOS が ON 状態になり低抵抗で電流を流すことができるため、電圧が降下せず出力の反転がおきない。

(D, CLK) = (0, 0), (1, 0) のときの臨界 LET 値の逆数と CS の積とソフトエラー率を比較すると、CS を考慮することにより相関係数は 0.74, 0.73 と向上した。実測値が LET の低い α 線の結果であり TCAD シミュレーションでは中性子によるソフトエラー耐性を評価しているため、今後の中性子照射試験の結果と比較しソフトエラー耐性評価の精度向上を検討する。

謝辞 本研究はローム株式会社との共同研究であり、使用した TEG チップと PDK はローム株式会社から提供されたものである。シミュレーションに用いたツールは東京大学大学院工学系研究科付属システムデザイン研究センター基板設計研究部門を通してシノプシス合同会社から提供されたものである。

文 献

- [1] G.E. Moore, "Cramming more components onto integrated circuits," Proceedings of the IEEE, vol.86, pp.82-85, 1998.
- [2] D.G. Mavis and P.H. Eaton, "Soft error rate mitigation techniques for modern microcircuits," IRPS, pp.216-225, 2002.
- [3] T. Uemura, B. Chung, J. Jo, M. Kim, D. Lee, G. Kim, S. Lee, T. Song, H. Rhee, B. Lee, and J. Choi, "Soft-error susceptibility in flip-flop in euv 7 nm bulk-finfet technology," 2021 IEEE International Reliability Physics Symposium (IRPS), pp.1-7, 2021.
- [4] 戸坂義春, "知っておきたいソフト・エラーの実態," 日経エレクトロニクス, 2005 年 7 月 24 日号, pp.145-147, 2005.
- [5] P. Hazucha and C. Svensson, "Impact of cmos technology scaling on the atmospheric neutron soft error rate," IEEE Transactions on Nuclear Science, vol.47, no.6, pp.2586-2594, 2000.
- [6] E. Petersen, "Single event effects in aerospace", John Wiley & Sons, 2011.
- [7] 中島隆一, 井置一哉, 小谷萌香, 古田潤, 小林和淑, "130nm プロセスによるフリップフロップのソフトエラー耐性向上手法の提案," DA シンポジウム, pp.148-153, Sept. 2021.