

同一の回路構造のリングオシレータを用いた 65nm FDSOI プロセスに発生する BTI 劣化の実測評価

菊田 大輔[†] 岸田 亮^{††} 小林 和淑[†]

[†] 京都工芸繊維大学

^{††} 富山県立大学

あらまし 集積回路の微細化に伴い BTI (Bias Temperature Instability) などの経年劣化現象により回路の信頼性が低下している。BTI とは MOSFET の温度やゲートソース間の電圧などのストレスによって、MOSFET の特性が時間経過と共に劣化する現象であり、NMOS で発生する PBTI (Positive BTI) と PMOS で発生する NBTI (Negative BTI) がある。長期にわたって集積回路を使用するためには、回路設計時に劣化の見積もりを行い、設計マージンをとるなどの対策が必要である。高温、高電圧を用いた加速試験で BTI による劣化を RO (Ring Oscillator) の発振周波数の変化として測定する。従来は NAND 型、NOR 型 RO を用いて PBTI と NBTI の劣化率は測定、評価してきたが、回路構造が異なるため、PBTI、NBTI の比較が難しいという問題があった。ここで、同一の回路構造で PBTI と NBTI を測定できる新たな構造の 65 nm プロセス RO を設計し、劣化特性を比較した。PBTI 型 RO の劣化率は NBTI 型 RO より最大 2.68 倍大きく劣化した。

キーワード NBTI, PBTI, FDSOI (Fully Depleted Silicon on Insulator), RO (Ring Oscillator)

Daisuke KIKUTA[†], Ryo KISHIDA^{††}, and Kazutoshi KOBAYASHI[†]

[†] Kyoto Institute of Technology

^{††} Toyama Prefectural University

1. はじめに

集積回路の微細化により回路の低消費電力化や動作速度の向上などといった恩恵を受けることができる [1]。しかし、微細化に伴い BTI (Bias Temperature Instability) などの経年劣化現象により、回路の信頼性が低下している。長期間使用が想定される集積回路においては BTI による劣化現象が顕著に現れるため、回路設計時に劣化の見積もりを行い、設計マージンをとる必要がある。本研究では、BTI による劣化を加速試験で 10,000 秒間測定し、MOSFET の劣化特性の相違点を調べた。BTI による劣化を短時間で進めるために、高温状態でストレス電圧を与え続けた。NBTI と PBTI の劣化率を同条件で測定するために、同一の回路構造の RO を設計し、測定した。

2. BTI とは

BTI とは MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) に温度や電圧などのストレスがかかることで MOSFET の特性が劣化する現象である [2]。BTI はゲート絶縁膜の欠陥がチャネル領域のキャリアを捕獲し、チャネル領域の電流が減少することで生じると考えられている。温度やゲートソ

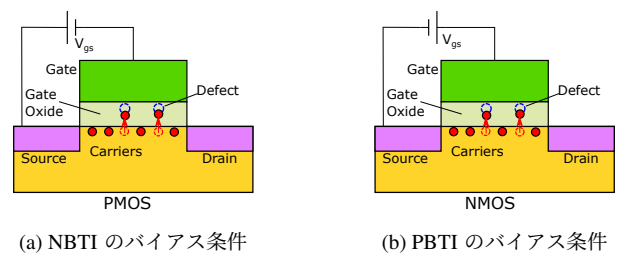


図 1: BTI のバイアス条件

ス間の電圧などのストレスによって、時間経過でしきい値電圧特性の劣化が生じる [3]。しきい値電圧の劣化により、電流電圧特性の変動、遅延時間の増加、発振周波数の低下などの劣化現象が生じる。電圧などのストレスを取り除くと劣化した特性が回復するが、完全には回復しない。BTI には、PMOS で発生する Negative BTI (NBTI) と NMOS で発生する Positive BTI (PBTI) の 2 種類がある。PMOS、NMOS で BTI が発生する時のバイアス条件をそれぞれ図 1(a), (b) に示す。NBTI は PMOS でゲートソース間電圧が負 ($V_{gs} < 0$)、PBTI は NMOS でゲートソース間電圧が正 ($V_{gs} > 0$) であるときに起こる。PBTI は、絶

縁膜に high-k 材料が用いられている 45 nm プロセス以降で顕在化している [4]。今回提案した経年劣化測定回路ではゲート絶縁膜の一部に high-k 材料を用いているため、PBTI についても考慮する [5]。BTI の発生原理は R-D Theory と T-D Model の 2 つが有力視されていたが [6], [7], 近年は Universal Model が有力視されており [8], 時間 t に対する劣化特性のモデル式は $t^{(1/6)}$ でしきい値電圧変動量の劣化を表現する。

3. 経年劣化測定回路

3.1 制御信号付 RO を用いた測定

ここでは、BTI による劣化率を RO (Ring Oscillator) の発振周波数の減少から導出する。回路シミュレータを用いて RO のしきい値電圧変動量の変化率と発振周波数の変化率をシミュレーションし、しきい値電圧変動量の劣化率を求める。先行研究では、11 段 NAND 型 RO と 11 段 NOR 型 RO を利用することで、NBTI と PBTI の劣化率を測定した [9]。NAND 型、NOR 型の回路構造をそれぞれ図 2(a), (b) に、トランジスタレベルの回路構造を図 2(c), (d) に示す。NAND 型 RO は制御用端子 EN と前段の NAND の出力値を入力とした構造をとる。EN=1 の状態で発振し、EN=0 の状態で PBTI のストレス状態になる。NOR 型 RO は制御用端子 ENB (= \overline{EN}) と前段の NOR の出力値を入力とした構造をとる。ENB=0 (EN=1) の状態で発振し、ENB=1 (EN=0) の状態で NBTI のストレス状態になる。

先行研究では、NOR 型 RO で測定される NBTI の劣化率が NAND 型 RO で測定される PBTI の劣化率よりも大きい。しかし、NAND 型 RO と NOR 型 RO はそれぞれ回路構成が異なる。回路構成によって寄生容量や寄生抵抗の値が変化するため、正確には PBTI と NBTI による回路の劣化率の比較をすることは難しい。同一の回路構成で NBTI と PBTI を個別にストレス状態にできる回路構成が必要である。ここで、新たに同一の回路構成で NBTI と PBTI を測定できる RO を提案した。次節で提案した RO の回路構成について述べる。

3.2 測定回路概要

測定には 65 nm FDSOI (Fully Depleted Silicon on Insulator) プロセスで試作した 11 段の BTI 制御スイッチ付インバータ型 RO (BTI-Control Switch RO : BCS RO) を用いた。ばらつきによる誤差を少なくして評価するために、それぞれ 500 (10×50) 個搭載している。RO 全体の回路構造を図 3(a) に示す。制御信号を変えることで、同じ回路構成で発振、ストレス、ストレスなし状態にできる RO を提供する。今回の測定では低しきい値電圧 (LVTH) の MOSFET を用いる。MOSFET には接合容量が小さく、基板浮遊効果が発生しない FDSOI 構造を用いる。

RO 1 段あたりの回路構造を図 3(b)~(e) に示す。図 3(b)~(e) はそれぞれ発振状態、NBTI ストレス状態、PBTI ストレス状態、ストレスなし状態である。M9 と M10 で構成されるインバータに対して、M5~M8 のプルアップ、プルダウン MOSFET、M1~M4 からなる TG (Transmission Gate) が接続されている。制御信号 EN を用いて、各 MOSFET のゲート端子の電圧 (VG1~VG8) を制御することで、発振状態と発振停止状態を切り替えることができる。各ゲート端子を制御用端子 EN や電源、GND に接

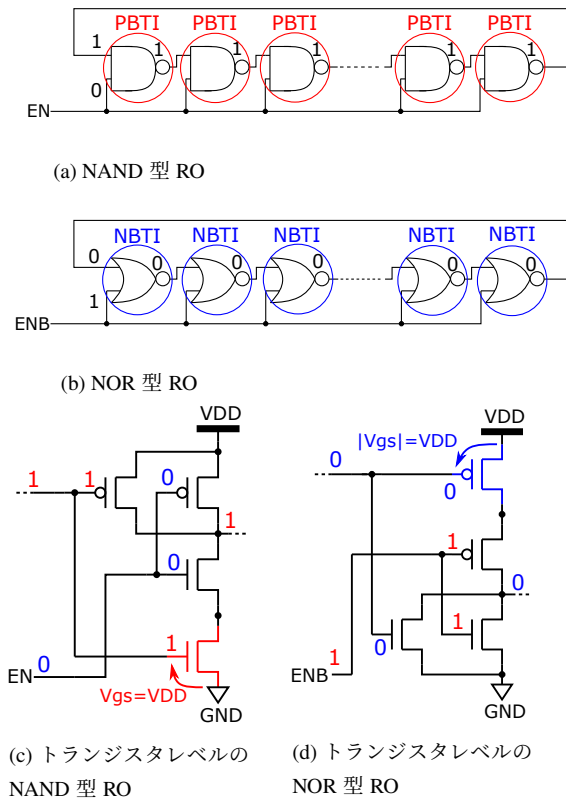


図 2: 先行研究 [9] の回路構造

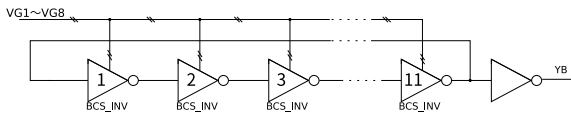
続することで、EN を 1 か 0 にするだけで、それぞれ発振または発振停止 (ストレス) となる。発振停止時 (NBTI ストレス状態、PBTI ストレス状態、ストレスなし状態のいずれか)、発振時のゲート端子と制御用端子 EN の真理値表を表 1 に示す。

発振時は図 3(b) のように 11 段のインバータ型 RO として動作させる。TG を ON とすることで、インバータ間が接続される。M5~M8 をすべて OFF にして、M9、M10 のゲート端子が電源または GND に接続されないようにする。この時に発振周波数変動の影響を最も大きく受けるのは、発振時に ON/OFF を繰り返す M9 と M10 の特性変動である。発振経路上にある M1~M4 の影響も多少受けるが、M1~M4 のゲート幅を M9 と M10 の 4 倍とし、M1 から M4 の特性変動の影響を小さくする。

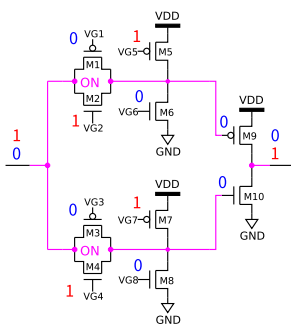
図 3(c)~(e) より、発振停止状態は NBTI 発生型、PBTI 発生型、MOSFET にストレスを与えない NOSTR 型の 3 つに分けられる。TG を OFF とすることで、インバータ間を切り離すことができる。M6、M8 を ON にすることで、M9 のみにストレスがかかり、NBTI のストレス状態となる。M5、M7 を ON にすることで、M10 のみにストレスがかかり、PBTI のストレス状態となる。M5、M8 を ON にすることで、M9、M10 にストレスがかからず、ストレスなし状態となる。これらの RO を用いることで、NBTI と PBTI、ストレスなし状態の劣化率の比較が可能である。

3.3 制御ユニット構造

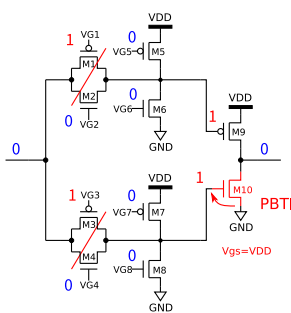
経年劣化測定回路内の制御ユニット構造を図 4 に示す。RO の発振を制御する ENRO、測定箇所となる BTIRO、発振回数をカウントする COUNTSHIFTREG の計 3 つの回路から構成され



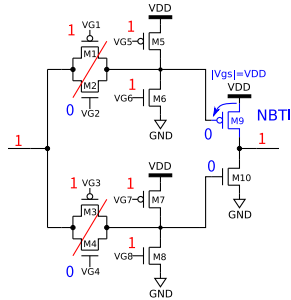
(a) BCS RO 概略図



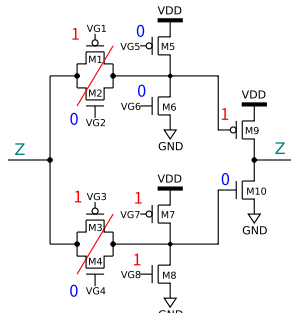
(b) BCS INV 発振状態



(d) BCS INV PBTI ストレス状態



(c) BCS INV NBTI ストレス状態



(e) BCS INV ストレスなし状態

図 3: BCS RO の回路構造

表 1: ゲート端子 VG1~VG8 と制御用端子 EN の真理値表

	ALL_RO	NBTI ストレス状態	PBTI ストレス状態	ストレス なし状態
EN	1	0	0	0
VG1	0	1	1	1
VG2	1	0	0	0
VG3	0	1	1	1
VG4	1	0	0	0
VG5	1	1	0	0
VG6	0	1	0	0
VG7	1	1	0	1
VG8	0	1	0	1

る [9].

ENRO および BTIRO の構造を図 5 に示す。ENRO は各 RO の発振を制御する。ENFF は通常のリセット付き D 型フリップフロップである。この ENFF が各 RO に 1 個あり、ENFF の値が 1 かつ OSCENIN=1 であれば OSCEN の出力が 1 となり、RO が発振する。ENFF への値の書き込みは OSCIN と ENCLKIN で行う。ENCLKIN を 0 から 1 に立ち上げると、OSCIN の値がシフトされて ENFF に書き込まれる。ユニットを直列に接続しているため、各 ENFF の値は ENCLKIN を 1 に立ち上げると、

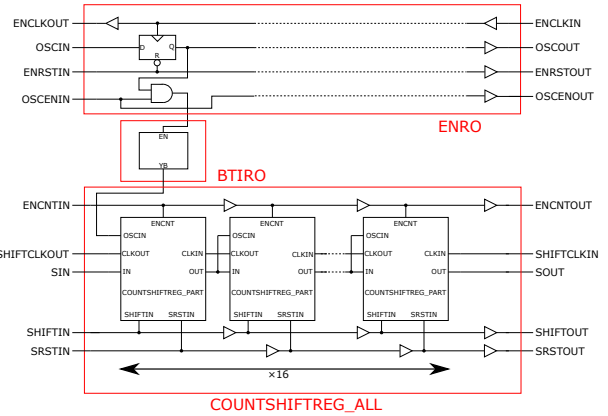


図 4: 制御ユニットの構造

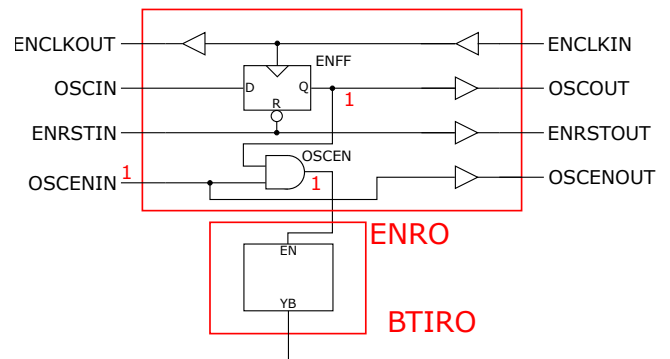


図 5: ENRO と BTIRO の構造

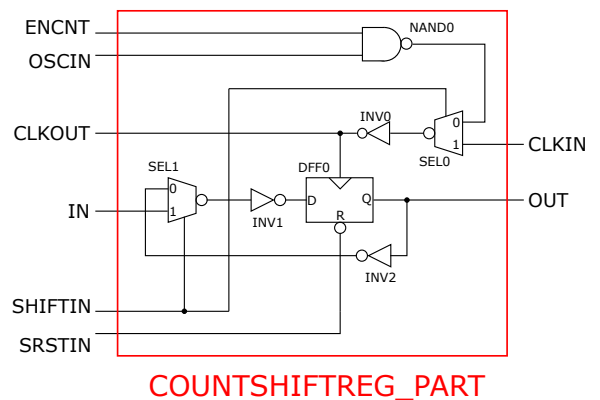


図 6: COUNTSHIFTREG_PART の構造

前段の ENFF の値がシフトされる。RO を 1 つずつ全て発振させるにはこのシフト動作を RO の個数分行う必要がある。

BTIRO は被測定用リングオシレータである。赤枠 1 個につき、1 個の RO がある。ここに 3.2 節で述べた RO が搭載されている。

1 ユニット内のカウンタ兼シフトレジスタ (COUNTSHIFTREG_PART) の構造を図 6 に示す。16 個の COUNTSHIFTREG_PART を直列接続して COUNTSHIFTREG_ALL としている。SHIFTIN の値によって、カウンタとシフトレジスタを切り替えることができる。SHIFTIN=0 にすると 16 ビットカウンタとして動作する。RO の出力値 YB は OSCIN に接続されて

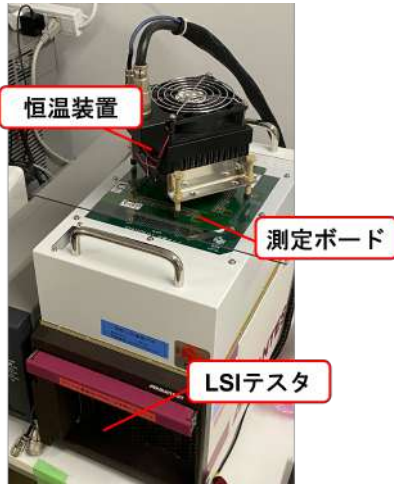


図 7: 測定系概要

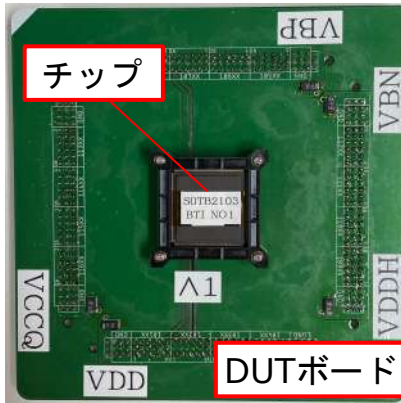


図 8: DUT ボード

いるため、発振回数を記録する場合は、SHIFTIN=0 と同時に ENCNTIN=1 にする。発振だけさせてカウンタに値を記録したくない場合は ENCNTIN=0 にする。SHIFTIN=1 にするとシフトレジスタとして動作する。SHIFTCLKIN を 0 から 1 に 1 回立ち上げることで、1 ビット分の値がシフトする。一番最初の DFF だけは SIN の値が SHIFTCLKIN を 1 にしたときに書き込まれる。カウンタで記録された値は MSB (上位ビット) からシフトされて SOUT から出力させる。

4. 測定・評価方法

パッケージに封入された測定チップを載せた Device Under Test (DUT) ボードを LSI テスタ (アドバンテスタ社 EVA100) に接続し、恒温装置 (ATE サービス製 CTS-01A) により制御されたペルチェ素子をパッケージに密着させて測定を行った。測定系およびチップを搭載した DUT ボードをそれぞれ図 7 と図 8 に示す。

EN=0 とすることで、リングオシレータ (RO) の MOSFET に BTI によるストレスが与えられ続ける。EN=1 で RO が発振し、発振回数をカウンタに記録する。カウンタは 16 ビットであり、発振回数が $2^{16} - 1 = 65,535$ 回を超えると桁溢れする。RO の初期発振周波数が 60,000 回程度になるように発振時間を 60 μsec に調整した。

発振停止時に RO にストレス電圧と温度をかけ続けて劣化を

表 2: 各 RO 劣化率比較 (加速係数 a)

ストレス電圧	1.20 V	1.50 V	1.75 V
NBTI	0.041	0.10	0.23
PBTI	0.11	0.17	0.24
NOSTR	-0.013	-0.010	-0.015

加速させる。測定開始時に測定した初期発振周波数 $F(0)$ と t 秒後に測定した発振周波数 $F(t)$ との変化率をしきい値電圧の変化率 ΔV_{th} に変換して評価する。しきい値電圧の劣化率 ΔV_{th} は式 (1) で計算する。

$$\Delta V_{\text{th}} = \frac{V_{\text{th}}(0) - V_{\text{th}}(t)}{V_{\text{th}}(0)}, \quad (1)$$

ここで、 $V_{\text{th}}(0)$ は初期しきい値電圧、 $V_{\text{th}}(t)$ は時刻 t でのしきい値電圧である。 $V_{\text{th}}(0)$ の値はシミュレーションにより求めた値を用いる。 $V_{\text{th}}(t)$ の値は $F(t)$ の値から変換した値を用いる。

ストレス電圧は 1.20 V から 1.50 V, 1.75 V の 3 つを与えた。発振電圧は 0.75 V, 温度は 120 $^{\circ}\text{C}$, 発振時間は 60 μsec , ストレス時間は最大 10,000 秒とした。近似式は Universal Model [8] より、 $\Delta V_{\text{th}} = at^{(1/6)} + b$ (a, b はフィッティング係数) とした。 a の値は劣化度合いを表す加速係数であるため、劣化率の大きさを比較する評価パラメータとした。

5. 測定結果

NBTI, PBTI, NOSTR 型 RO での発振周波数の変化率をそれぞれ図 9～図 11 に示す。この時の NBTI 型 RO の初期発振周波数は 254 MHz, PBTI 型 RO の初期発振周波数は 256 MHz, NOSTR 型 RO の初期発振周波数は 253 MHz である。図 9～図 11 の結果をもとに、しきい値電圧の劣化率に変換する。BTI によるしきい値電圧の変化率を図 12～図 14 に示す。フィッティングで求めた加速係数 a の値を表 2 に示す。NBTI 型 RO と PBTI 型 RO はしきい値電圧が劣化した。表 2 より全ての条件で PBTI 型 RO の劣化率が NBTI 型 RO より大きくなった。PBTI が NBTI よりも大きく劣化するのは先行研究とは異なる。NOSTR 型 RO は a が -0.01 % 前後であり、劣化しなかった。ストレス電圧が増加すると NBTI 型, PBTI 型 RO の加速係数 a が増加した。1.20 V から 1.75 V で a の値は NBTI 型で約 5 倍, PBTI 型 RO で約 2 倍増加した。以上の結果から、発振電圧 0.75 V, ストレス電圧 1.20 V, 温度 120 $^{\circ}\text{C}$ の条件では十分にストレスが与えられないと推測される。高電圧のストレスをかけるほど NBTI 型 RO と PBTI 型 RO の劣化率の差が小さくなることから、PBTI 型 RO 内の M10 以外の MOSFET が劣化してしまうことが推測される。

6. 結論

提案した BTI 制御スイッチ付インバータ型 RO を用いて経年劣化の測定を行い、BTI の劣化を制御信号を用いた同一の回路構造で NBTI と PBTI, ストレスなし状態の劣化率の比較ができた。ストレスなし状態では BTI 劣化せず、NOSTR 型 RO が想定通りに動作した。PBTI 型 RO が NBTI 型 RO より最大 2.68

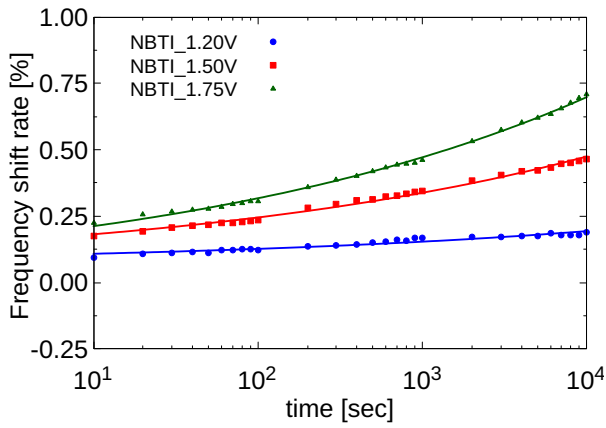


図 9: NBTI RO の発振周波数劣化率

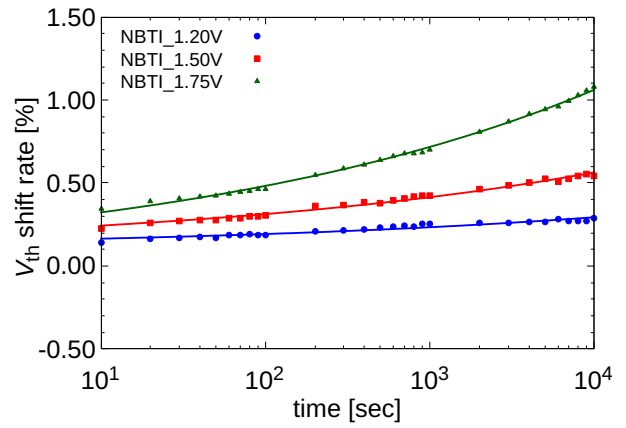


図 12: NBTI RO のしきい値電圧劣化率

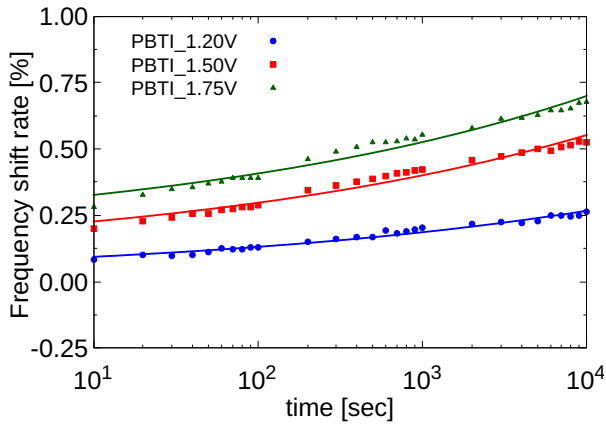


図 10: PBTI RO の発振周波数劣化率

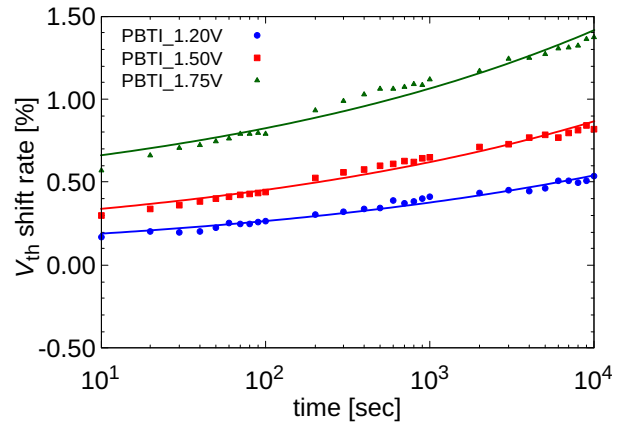


図 13: PBTI RO のしきい値電圧劣化率

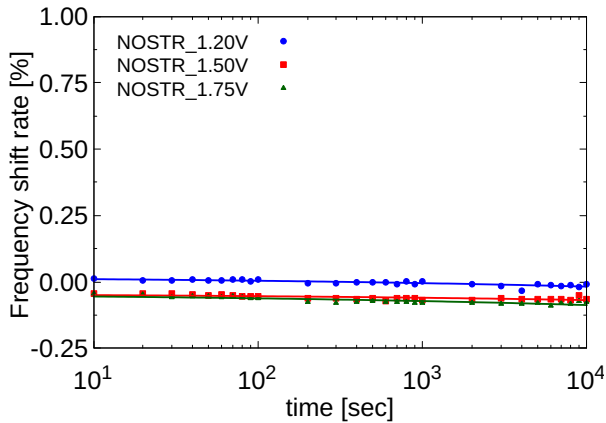


図 11: NOSTR RO の発振周波数劣化率

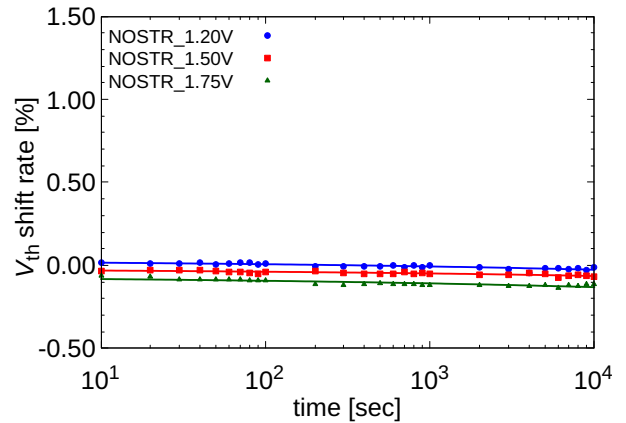


図 14: NOSTR RO のしきい値電圧劣化率

倍大きく劣化した。従来構造の RO では、NBTI による劣化が PBTI より大きく、本結果と異なっている。PBTI 型 RO が NBTI 型 RO よりも大きく劣化する原因を解明し、新たに RO の回路構造を提案する必要がある。

謝辞 本研究におけるテストチップの試作は東京大学大規模集積システム設計教育センター (d.lab-VDEC) を通し、ルネサスエレクトロニクス、日本シノプシス合同会社、日本ケイデンス株式会社、シーメンス EDA ジャパン株式会社の協力で行われた。

文 献

- [1] M. Bohr. The evolution of scaling from the homogeneous era to the heterogeneous era. *International Electron Devices Meeting*, pp. 1.1.1–1.1.6, 2011.
- [2] V. Huard, C. Parthasarathy, C. Guerin, T. Valentin, E. Pion, M. Mammasse, N. Planes, and L. Camus. NBTI degradation: From transistor to SRAM arrays. *IEEE International Reliability Physics Symposium*, pp. 289–300, 2008.
- [3] G. Park, H. Yu, M. Kim, and C. H. Kim. An all BTI (N-PBTI, N-NBTI, P-PBTI, P-NBTI) odometer based on a dual power rail ring oscillator array. *IEEE International Reliability Physics Symposium (IRPS)*, pp. 1–5, 2021.

- [4] D. Heh, C. D. Young, and G. Bersuker. Experimental evidence of the fast and slow charge trapping/detrapping processes in High-k dielectrics subjected to PBTI stress. *IEEE Electron Device Letters*, Vol. 29, No. 2, pp. 180–182, 2008.
- [5] S. Zafar, Y. Kim, V. Narayanan, C. Cabral, V. Paruchuri, B. Doris, J. Stathis, A. Callegari, and M. Chudzick. A comparative study of NBTI and PBTI (charge trapping) in SiO₂/HfO₂ stacks with FUSI, TiN, Re Gates. *Symposium on VLSI Technology, 2006. Digest of Technical Papers.*, pp. 23–25, 2006.
- [6] C Ma, M Miyake, H Mattausch, K Matsuzawa, T Iizuka, T Hoshida, A Kinoshita, T Arakawa, J He, and M Miura-Mattausch. Compact reaction-diffusion model for accurate NBTI prediction. *International Conference on Solid State Devices and Materials*, pp. 877–878, 2011.
- [7] C. Ma, H. J. Mattausch, K. Matsuzawa, S Yamaguchi, T Hoshida, M Imade, R Koh, T Arakawa, and M Miura-Mattausch. Universal NBTI compact model for circuit aging simulation under any stress conditions. *IEEE Transactions on Device and Materials Reliability*, Vol. 14, No. 3, pp. 818–825, 2014.
- [8] S. Mahapatra, V. Huard, A. Kerber, V. Reddy, S. Kalpat, and A. Haggag. Universality of NBTI - from devices to circuits and products. *IEEE International Reliability Physics Symposium*, pp. 3B.1.1–3B.1.8, 2014.
- [9] R. Kishida, T. Asuke, J. Furuta, and K. Kobayashil. Extracting BTI-induced degradation without temporal factors by using BTI-sensitive and BTI-insensitive ring oscillators. *IEEE 32nd International Conference on Microelectronic Test Structures (ICMTS)*, pp. 24–27, 2019.