

間欠動作を行う IoT 向けプロセッサに適した FiCC 型不揮発フリップフロップの実測評価

阿部 佑貴[†] 小林 和淑[†] 越智 裕之^{††}

[†] 京都工芸繊維大学 〒606-8585 京都府京都市左京区松ヶ崎橋上町

^{††} 立命館大学 〒525-8577 滋賀県草津市野路東 1-1-1

E-mail: [†]{yabe, kazutoshi.kobayashi}@vlsi.es.kit.ac.jp, ^{††}ochi@cs.ritsumeikan.ac.jp

あらまし 近年, IoT (Internet of Things) やモバイルデバイスの普及に伴い, そのバッテリー駆動時間延長のため, プロセッサの低消費電力化および待機時電力の削減が求められている. 本稿では間欠動作を行う IoT 向けプロセッサに適した FiCC (Fishbone-in-Cage Capacitor) 型不揮発フリップフロップ (NV-FF) の実測について述べる. 180nm プロセスを用いて NV-FF の設計を行ったところ不揮発化による面積オーバーヘッドは 29% となった. 実測により動作周波数 10MHz における NV-FF の動作を確認した. データ保持時間は不揮発メモリへの書き込み時間を 0.1 秒, 読み出し電圧を 1.4V とした場合, 約 155 分となった. 1 時間の内, 55 分の電源断と 5 分の動作を仮定すると, 不揮発レジスタファイルは揮発レジスタファイルと比べ, 消費エネルギーを 29.36% 削減できることをシミュレーションにより示した.

キーワード 不揮発フリップフロップ, 不揮発メモリ, 不揮発プロセッサ, IoT (Internet of Things), FiCC (Fishbone-in-Cage Capacitor)

Measurement Results of Nonvolatile Flip-Flops Using FiCC for IoT Processors with Intermittent Operations

Yuki ABE[†], Kazutoshi KOBAYASHI[†], and Hiroyuki OCHI^{††}

[†] Kyoto Institute of Technology Matsugasakihashikami-cho, Sakyo-ku, Kyoto, 606-8585 Japan

^{††} Ritsumeikan University 1-1-1, Noji-higashi, Kusatsu-city, Shiga, 525-8577 Japan

E-mail: [†]{yabe, kazutoshi.kobayashi}@vlsi.es.kit.ac.jp, ^{††}ochi@cs.ritsumeikan.ac.jp

Abstract In recent years, with the spread of the Internet of Things (IoT) and mobile devices, low power consumption of processors is mandatory to extend their battery life. In this paper, we present an experimental study of a FiCC (Fishbone-in-Cage Capacitor) type nonvolatile flip-flop (NV-FF) suitable for IoT processors with intermittent operation. The NV-FF was fabricated in a 180nm CMOS process technology. The area overhead due to the nonvolatility of bit cells was 29%. We confirmed the operation of the NV-FF at 10MHz. The data retention time was about 155 minutes when the writing time to the nonvolatile memory was 0.1 seconds and the reading voltage was set to 1.4V. Assuming 5 minutes operation and 55 minutes hibernation time per hour, the simulation results show that the proposed nonvolatile register file can reduce 29.36% of energy consumption compared to a conventional register file.

Key words Flip-Flops, Nonvolatile memory, Nonvolatile processor, IoT (Internet of Things), FiCC (Fishbone-in-Cage Capacitor)

1. はじめに

近年, 5G などの情報通信技術が著しく発展を遂げており, IoT (Internet of Things) デバイスの普及が進んでいる [1], [2]. ノートパソコン, スマートフォン等のモバイルデバイスは, そのバッテリー駆動時間の延長のため, マイクロプロセッサ等の低消費電力

化および待機時電力の削減が求められている [3]. 電源電圧のスケーリングは集積回路の消費エネルギー削減の効果的な手段の一つである. 文献 [4] では, 電源電圧をトランジスタの閾値電圧近傍までスケーリングすることで, プロセッサのエネルギー効率を最大 4.7 倍改善したことが示されている. 待機時の削減手法として, 待機時にプロセッサの電源を落とし, リーク電力を削減

することもできる。ただし、揮発性のレジスタやメモリの状態が失われるため、それらの状態をバックアップするための不揮発性メモリが必要となる。不揮発性メモリへのデータの書きこみや読み出し時には、長距離のデータ輸送が行われるため、電力と性能のオーバーヘッドが発生する。これらのオーバーヘッドを低減するために、不揮発フリップフロップ (Nonvolatile Flip-Flop: NV-FF) を用いたデータ輸送方式が提案されている [5]。不揮発素子を各フリップフロップに適用することでフリップフロップの不揮発化が行われる。バックアップ動作では、揮発性フリップフロップの保持値をビット単位で不揮発素子に書き込むため、電力と性能のオーバーヘッドの低減が可能となる。文献 [5] では強誘電体を用いた NV-FF が提案されている。しかし、メモリ製造時に CMOS プロセスに加えて誘電体層用の追加マスクが必要となる。

本稿ではメタルフリッジキャパシタの一種である FiCC (Fishbone-in-Cage Capacitor) を用いた不揮発メモリ [6] をフリップフロップに適用することで不揮発化した NV-FF [7] のレイアウト設計および実測評価について述べる。

2. FiCC を用いた不揮発メモリ

2.1 FiCC

集積回路上に構成可能なキャパシタとして、配線間容量を利用し、メタル配線のみで実現することができるメタルフリッジキャパシタ [8] は、通常の CMOS プロセスで追加マスクが不要であり、かつ理想的な線形特性を持つキャパシタである。プロセスの微細化に伴い、メタル配線などの最小線幅や最小配線間距離が小さくなるため、占有面積あたりの容量が増えることから注目されている [9], [10]。しかし、メタルフリッジキャパシタは配線間のフリッジ容量を用いるため、他の配線や近接して配置された他のキャパシタとの間でクロストーク容量を生じやすく、それらを考慮したレイアウト設計が必要である。先行研究ではキャパシタごとにシールドメタルの壁を作ることにより、クロストーク容量を削減する手法が取られている [11]。そのような問題を解決するため提案されたものが FiCC (Fishbone-in-Cage Capacitor) である [12]。FiCC はキャパシタ電極を外側と内側に分けたメタルフリッジキャパシタである。FiCC の 3D 構造を図 1 に示す。赤色で示している電極が外側、青色で示しているところが内側電極であり、電極はそれぞれピアで垂直方向に接続されている。ノイズに弱い電極を内側電極とし、GND または VDD などの電位の安定したインピーダンスの低いネットを外側電極に接続することで、ファラデーケージのように内側端子をシールドする。これにより、内側端子と他の配線または近接する他のキャパシタとのクロストーク容量を約 1/10 にまで抑制することができる。

2.2 FiCC を用いた不揮発メモリ素子

FiCC を用いた不揮発メモリはフラッシュメモリの FG (フローティングゲート) 構造に相当するものを、FiCC と NMOS を用いて実現し、CMOS 互換な不揮発メモリとしたものである [6]。FiCC を用いた不揮発メモリを図 2 に示す。トランジスタのゲート端子とキャパシタ内側端子からなる配線は絶縁体によって外

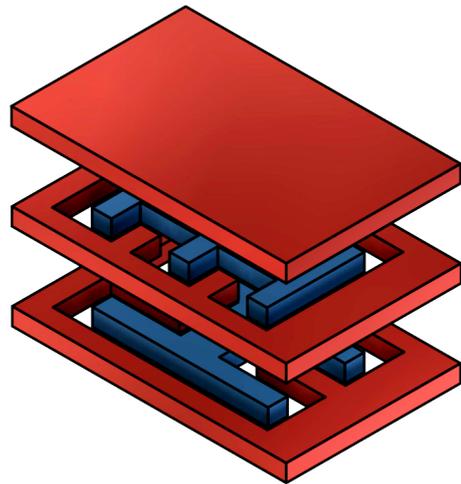


図 1 FiCC の 3D 構造
Fig. 1 3D structure of FiCC

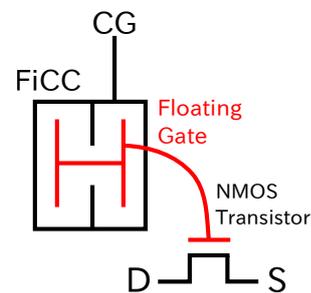


図 2 FiCC を用いた不揮発メモリ
Fig. 2 Nonvolatile memory using FiCC

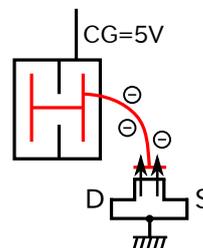


図 3 書き込み動作
Fig. 3 Write operation

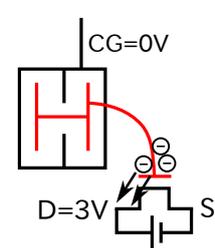


図 4 消去動作
Fig. 4 Erase operation

部から隔離されており、FG の役割を担う。不揮発メモリの書き込みおよび消去動作を図 3, 4 に示す。書き込みは CG に 5V を印加し、トンネリングによって電子を FG に閉じ込めることで行う。消去動作は書き込み動作とは逆のトンネリングを発生させ、電子を FG から引き抜くことで行う。文献 [6] では、FiCC を用いた不揮発メモリ素子への書き込みにおいて、5V の書き込み電圧を 5 秒間印加すれば閾値電圧は 3V まで上昇することや、書き込み後は 1 日程度のデータの保持が可能であること、1200 回程度の書き込み、消去動作では特性がほとんど変化しないことが示されている。

3. NV-FF の構成

NV-FF の構成を図 5 に示す。非同期セットリセット付きポジティブエッジトリガ型 D フリップフロップを不揮発化したもの

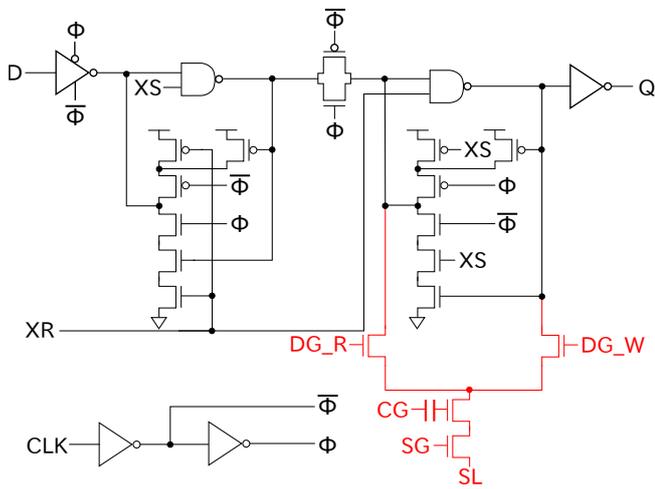


図5 NV-FFの構成
Fig.5 Structure of NV-FF

である。NV-FFはフリップフロップと図中において赤色で示している不揮発部で構成される。不揮発部はFiCCを用いた不揮発メモリ素子と3つのNMOSで構成されている。このような不揮発部の構造から、FiCCを用いた不揮発メモリは他の不揮発メモリでも代用可能である。NV-FFの動作モードは、フリップフロップ動作、不揮発部へのデータ退避動作、フリップフロップへのデータ復帰動作、データ消去動作の4つである。復帰動作を除いた、それぞれの動作モードにおけるCLK, DG_W, DG_R, CG, SG, SL, XS, XRピンへの印加電圧を表1に示す。フリップフロップ動作時はDG_W, DG_R, CG, SG, SLはすべて0Vとする。データの退避動作時はDG_W, XS, XR=1.8V, CG=5.0V, CLK, DG_R, SG, SL=0VとしてFiCCを用いた不揮発メモリ素子にデータを書き込む。書き込みによる不揮発メモリ素子のしきい値電圧上昇量はフリップフロップの保持値によって決まる。データ消去動作時はDG_W, DG_R, CG=0V, SG, SL=1.8VとしてFiCCを用いた不揮発メモリ素子のデータ消去を行う。データ復帰動作時はフリップフロップへ電源投入後、CLK, XS=0Vとしてセットをかける。その後、DG_R, CG, SG, XS, XR=1.8V, CLK, DG_W, SL=0Vとする。不揮発メモリ素子のしきい値電圧が1.8Vより高い場合と低い場合におけるデータの復帰時のセカンダリラッチの様子を図6, 7にそれぞれ示す。不揮発メモリ素子のしきい値電圧が1.8Vより高い場合、CG=1.8Vとしても、NMOSはONにならずフリップフロップの保持値はHighのままとなる。しきい値電圧が1.8Vよりも低い場合、NMOSはONとなり、グラウンドとつながるためフリップフロップの保持値はHighからLowへと変化する。このように、不揮発メモリ素子のしきい値電圧に応じて、フリップフロップへHighもしくはLowのデータの復帰が行われる。

4. NV-FFと16bitカウンタのレイアウト設計と実測評価

4.1 レイアウト設計

180nm CMOSプロセスを用いて1bit NV-FFと1bit NV-FFをビットセルに用いた16bitアップカウンタのレイアウト設計を

表1 NV-FFの動作モード

Table 1 Operation mode of NV-FF

	CLK	DG_W	DG_R	CG
フリップフロップ動作	-	0V	0V	0V
退避動作	0V	1.8V	0V	5.0V
消去動作	-	0V	0V	0V
	SG	SL	XS	XR
フリップフロップ動作	0V	0V	-	-
退避動作	0V	0V	1.8V	1.8V
消去動作	1.8V	1.8V	-	-

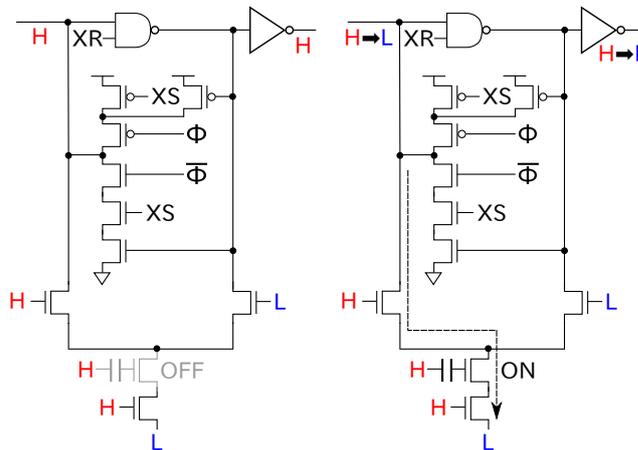


図6 復帰動作(書き込み時)

Fig. 6 Restore operation (programmed)

図7 復帰動作(非書き込み時)

Fig. 7 Restore operation (nonprogrammed)

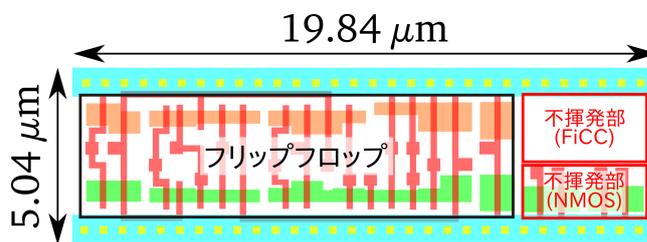


図8 1bit NV-FFのレイアウト

Fig. 8 Layout of 1bit NV-FF

行った。1bit NV-FFのレイアウトを図8に示す。図中、赤字で示している場所は不揮発部を示している。レイアウトのサイズは $99.99\mu\text{m}^2$ ($5.04\mu\text{m} \times 19.84\mu\text{m}$)となり、フリップフロップの不揮発化による面積オーバーヘッドは29%となった。16bitアップカウンタは1bit NV-FFをビットセルに使用し、レイアウト設計を行った。16bitカウンタのレイアウトを図9に示す。16bitカウンタのレイアウトのサイズは 0.006142mm^2 ($70.56\mu\text{m} \times 87.04\mu\text{m}$)となった。

4.2 NV-FFとFFの動作速度の比較

NV-FFと通常のFFにおいてDQ遅延時間を比較するために、HSPICEを用いてシミュレーションを行った。通常のFFはNV-FFから不揮発部を取り除いたものである。シミュレーションには設計したレイアウトの配線抵抗や容量などの寄生成分を含むRC抽出後のネットリストを用いた。電源電圧は1.8V、温度は27°C、動作周波数は1GHzとした。表2にシミュレーション

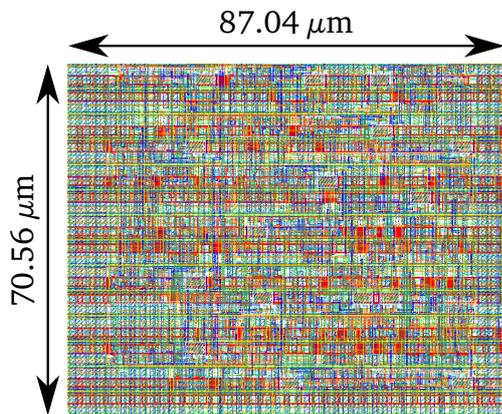


図9 16bitカウンタのレイアウト

Fig.9 Layout of 16bit Counter

表2 NV-FF と FF の遅延時間の比較

Table 2 Comparison of delay time between NV-FF and FF

	DQ 遅延
FF	0.501ns (1.0)
NV-FF	0.549ns (1.097)

結果を示す。表中カッコ内の数字はFFの遅延時間を1.0として規格化したものである。NV-FFはFFと比べて遅延時間が10%程度増加した。FFに不揮発部を搭載したことによる動作速度への影響はほぼ無いと言える。

4.3 実測評価

試作チップをLSI テスタを用いて測定した。NV-FFと16bitカウンタの測定結果を順に述べる。

動作周波数10MHzにおいて測定を行い、1bit NV-FFの動作(フリップフロップ、退避、復帰、消去動作)が正常に行われていることを確認した。データの退避(書き込み)時間と保持時間の関係を調べた。結果を図10に示す。データの復帰時にCGピンへ印加する電圧が1.8Vの場合、書き込み時間が0.025秒程度までは書き込み時間と保持時間は比例関係にある。書き込み時間0.025秒以降、保持時間は緩やかに上昇し、0.1秒時点では30分程度となった。この結果を踏まえて、データ復帰時にCGピンへ印加する電圧を1.4Vへ変更し、再度保持時間の測定を行った。1.8Vのときと同様に、書き込み時間が0.025秒程度までは書き込み時間と保持時間はおおよそ比例関係にある。書き込み時間0.025秒以降、保持時間は緩やかに上昇し、0.1秒で155分となった。復帰時にCGピンへ印加する電圧が1.8Vのときと比べて保持時間が延長されたことがわかる。このことからデータ復帰時にCGピンへ印加する電圧を変更することで、FiCCを用いた不揮発メモリへのデータ退避(書き込み)時間の短縮が可能であり、FiCCを用いた不揮発メモリを構成するNMOSのゲート酸化膜の劣化の抑制により、FiCCを用いた不揮発メモリの寿命を伸ばすことができると考えられる。

動作周波数10MHzにおいて測定を行い、16bitカウンタにおいて、カウンタ、退避、復帰、消去動作が正常に行われていることを確認した。ここでカウンタにおける退避と復帰動作の確認手順について詳しく述べる。

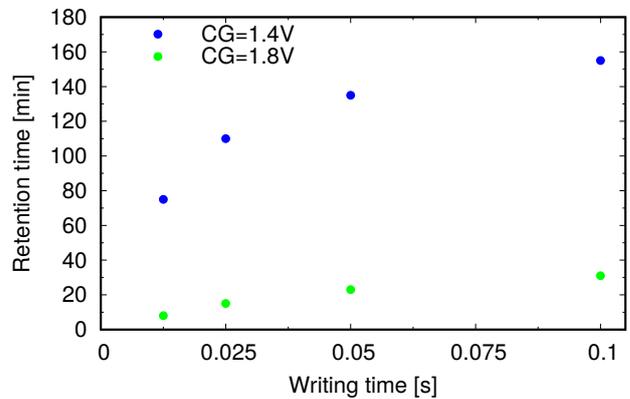


図10 不揮発メモリのデータ保持時間(1bit NV-FF)

Fig.10 Retention time of nonvolatile memory (1bit NV-FF)

- 退避動作

カウンタのクロックを止めて、FiCCを用いた不揮発メモリへ各フリップフロップのデータの退避を行う。

- 復帰動作

電源投入後、FiCCを用いた不揮発メモリから各フリップフロップへデータの復帰を行う。

- カウンタ動作の再開

データの復帰動作後、クロックを進めるとカウンタの動作は再開される。このとき、カウンタの値が退避動作時の次の値となっていることが確認できれば、データの退避および復帰動作が行われていると言える。

16bitカウンタにおいてデータの退避(書き込み)時間と保持時間の関係を調べた。1bit NV-FFでの結果を踏まえて、データの復帰時にCGピンへ印加する電圧は1.4Vとした。1bit NV-FFと比べ、データの保持時間が短くなり、カウンタの各ビットによりデータの保持時間にばらつきが生じた。この原因として、自動配線によりCGピンを接続しており、各CGピンをつなぐ配線の長さが異なることによる配線抵抗、容量などに差により、データ退避時、復帰時に各CGピンへ印加される電圧がばらついているためだと考えられる。

5. FFとNV-FFの消費エネルギー比較

FFとNV-FFの消費エネルギーを比較するためにHSPICEを用いてシミュレーションを行った。FFおよびNV-FFを用いたレジスタの大きさは32bit、電源電圧は1.8V、ゲート長は180nm、温度は27°C、動作周波数は10MHzとした。揮発レジスタ(RG)と不揮発レジスタ(NV-RG)の消費エネルギーの関係を図11に示す。動作時におけるRGとNV-RGの消費エネルギーの差を E_{leak} とする。NV-RGは待機時に、電源を落とせるので、消費エネルギーはゼロとみなせるため、待機時においてNV-RGはRGが消費するエネルギーを削減できる。NV-RGが削減できる消費エネルギーを E_{sb} とする。NV-RGはRGと異なり、待機時に電源を落とすため、再度動作を開始するときにエネルギーを消費する。 $E_{leak} + E_{store} + E_{restore} \leq E_{sb}$ となるために待機時間(BET: Break Even Time)が必要となる。 E_{store} , $E_{restore}$ はそれぞれデータの退避、復帰時の消費エネルギーであり、動作、待機時間と比べ、退避、

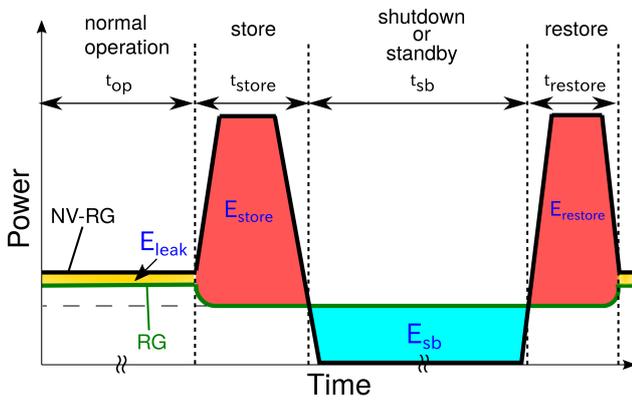


図 11 RG と NV-RG の消費エネルギーの関係

Fig. 11 Energy consumption diagram of RG and NV-RG

表 3 256word×32bit の RGFile と NV-RGFile の消費電力

Table 3 Power consumption of 256word-32bit RGFile and NV-RGFile

	動作時	待機時
RGFile	21.52μW	0.9198μW
NV-RGFile	22.35μW	-

復帰時間が非常に短いため、ゼロとみなすことができる。

32bit の RG と NV-RG のシミュレーション結果を用いて、256word×32bit のレジスタファイルの消費電力を導出する。動作時において、同時に動作するのは 1word (32bit) とし、残りの 255word (8160bit) は待機状態とする。256word×32bit のレジスタファイル (RGFile) と不揮発レジスタファイル (NV-RGFile) の消費電力を表 3 に示す。この結果から BET と削減エネルギーの導出を行う。NV-RGFile と RGFile の動作時の消費電力の差は 0.83μW である。動作時間 1s あたりに必要な電源 OFF 時間は 0.83μJ/0.9198μW=0.9024s となる。動作時間 t_{op} を変数とすると BET は式 (1) の通りとなる。次に削減エネルギーの導出を行う。待機・動作時間の比率と削減エネルギーの関係を図 12 に示す。1 時間の内、55 分の電源断と 5 分の動作を仮定すると、NV-RGFile は RGFile と比べ、消費エネルギーを 29.36% 削減することができる。待機時間が動作時間の 100 倍の場合では、消費エネルギーを 80.31% 削減することができる。

$$BET = 0.9024 \times t_{op} \quad (1)$$

6. チャージポンプを用いた CG への供給電圧切り替え回路

6.1 チャージポンプ回路

NV-FF ではデータの退避動作においては CG ピンに 5.0V を印加する必要がある。しかし、その他回路に用いる電源電圧は 1.8V のため、1.8V から 5.0V への昇圧が必要である。そのためチャージポンプ回路 (CP) を用いる。基本的な CP の動作を図 13, 14 に示す。図 13 に示すように、スイッチ S1 および S4 が ON, S2 および S3 が OFF し、破線のように電流が流れる。この電流は C_{chg} に入力電圧 V_{in} を充電するため、 C_{chg} と V_{in} の電圧

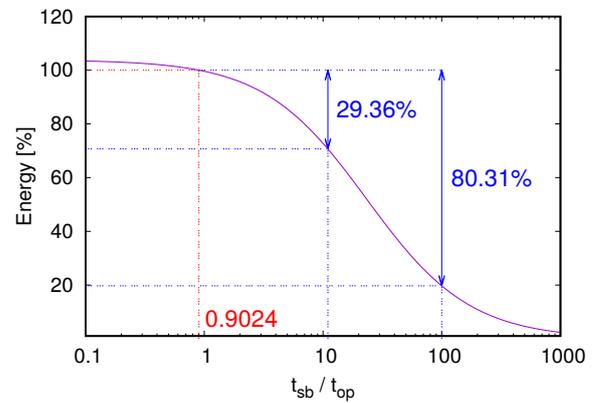


図 12 待機・動作時間の比率と削減エネルギーの関係

Fig. 12 Relationship between standby/operation time and energy reduction

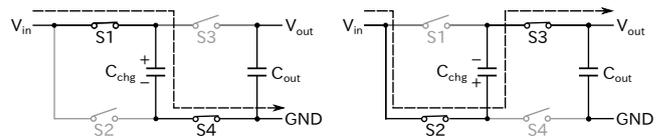


図 13 CP の動作 (モード 1)

図 14 CP の動作 (モード 2)

Fig. 13 Operation of CP (Mode1) Fig. 14 Operation of CP (Mode2)

は等しくなる。次に図 14 に示すように、スイッチ S1 および S4 が OFF, S2 および S3 が ON する。入力電圧は C_{chg} を介して出力電圧となるが、モード 1 で C_{chg} には入力電圧分の電荷が充電されているため、入力電圧の 2 倍の電圧が出力コンデンサ C_{out} に充電される。そしてまたモード 1 の状態に戻り、 C_{chg} に入力電圧を充電している間、 C_{out} は出力に放電をおこなう。そのためこの回路では入力電圧の 2 倍の出力電圧を得ることができる。

図 15 に 4 段ディクソンチャージポンプ [13] を示す。ドレインとゲートがダイオード接続された NMOS (M1~M5) を通して振幅が電源電圧 V_{dd} である相補的クロック CLK により電荷が一つの方向のみ押し出される。電荷がクロック信号の動作により持ち上げられ、ダイオード接続 NMOS を通して容量に流れ込み、各ノードを昇圧する。しかしこの方式は各電荷転送スイッチにおいてスレシヨルド電圧分の電圧降下が生じるため、4 段ディクソンチャージポンプでの出力電圧は $V_{out} = 5(V_{dd} - V_{th})$ と表される。図 15 の回路においてシミュレーションを行った。シミュレーションには HSPICE を用いた。各トランジスタのゲート長は 180nm (M1 から M5 は耐圧確保のため、電源電圧 3.3V 用のトランジスタで 360nm)、ゲート幅は最小サイズ、コンデンサの容量は 100fF とした。電源電圧、入力電圧は 1.8V、クロック周波数は 10MHz とした。結果を図 16 に示す。チャージポンプの出力が 5.0V 程度まで昇圧されていることがわかる。

6.2 CG への供給電圧切り替え回路

NV-FF では CG ピンへ印加する電圧をフリップフロップ、消去動作では 0V, 退避動作では 5.0V, 復帰動作では 1.8V と切り替える必要がある。CG ピンへの供給電圧の切り替え回路を図 17 に示す。CG に 0V を供給する際は、OUT_GND に 1.8V を印加する。CG に 5.0V を供給する際は IN_CP と CK_CP に 1.8V を印加する。CG に 1.8V を供給する際は IN_LOW に 1.8V を印加

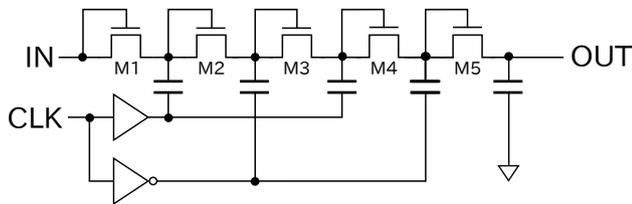


図 15 4 段ディクソンチャージポンプ
Fig. 15 4-stage Dickson charge pump

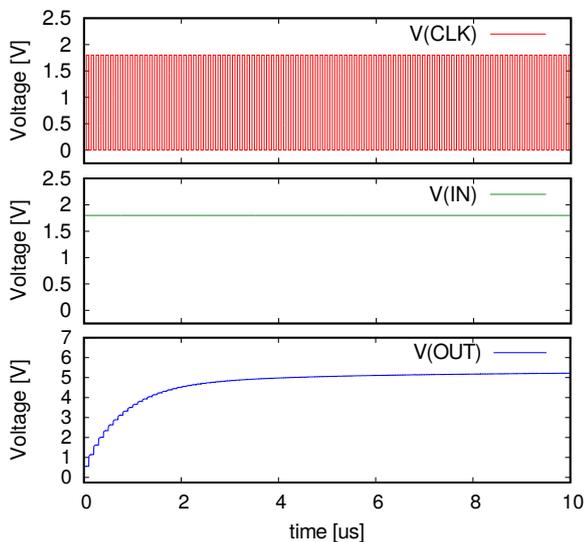


図 16 ディクソンチャージポンプのシミュレーション結果
Fig. 16 Simulation results of a Dickson charge pump

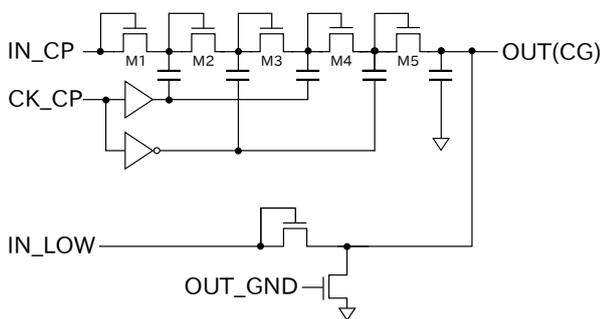


図 17 CG への供給電圧切り替え回路
Fig. 17 Supply voltage switching circuit for CG

する。

HSPICE を用いて図 17 の回路のシミュレーションを行った。電源電圧、入力電圧は 1.8V、クロック周波数は 10MHz とした。シミュレーション結果から、図 17 の回路構造で CG へ 5.0V の供給が可能であるとわかったが、CG に 1.8V を供給する場合はダイオード接続された NMOS での電圧降下により実際に供給される電圧は 1.4V 程度となった。しかし、NV-FF の実測においてデータの復帰時に CG へ印加する電圧を 1.4V とすることで FiCC を用いた不揮発メモリのデータ保持時間が伸びることを確認したため、問題は無いと考えられる。

7. おわりに

本稿では、間欠動作を行う IoT 向けプロセッサに適した FiCC

型 NV-FF の実測について述べた。180nm プロセスを用いて、NV-FF のレイアウト設計を行った。ビットセルの不揮発化による面積オーバーヘッドは 29% となった。実測により、動作周波数 10MHz における NV-FF の動作を確認した。データ保持時間は不揮発メモリへの書き込み時間を 0.1 秒、復帰時に CG に印加する電圧を 1.4V とした場合、約 155 分となった。また、1 時間の内、55 分の電源断と 5 分の動作を仮定すると、NV-RGFile は RGFile と比べ、消費エネルギーを 29.36% 削減できることをシミュレーションにより示した。最後にチャージポンプを用いた CG への供給電圧切り替え回路の構成と動作について述べた。

謝辞 本研究におけるテストチップの試作は東京大学 d.lab-VDEC を通し、ローム株式会社、日本シノプシス合同会社、日本ケイデンスデザインシステム社、シーメンス EDA ジャパン株式会社の協力のもと行われたものである。

文 献

- [1] K. Shafique, B.A. Khawaja, F. Sabir, S. Qazi, and M. Mustaqim, "Internet of things (IoT) for next-generation smart systems: A review of current challenges, future trends and prospects for emerging 5G-IoT scenarios," *IEEE Access*, vol.8, pp.23022–23040, 2020.
- [2] K. Kaabneh and T. Ghnaimat, "A SURVEY OF QoS IN 5G NETWORK FOR IoT APPLICATIONS," *International Journal*, vol.8, no.6, pp.159–163, 2019.
- [3] 石橋孝一郎, "低電圧・低電力 LSI 技術の最新動向," *電子情報通信学会論文誌 C*, vol.97, no.1, pp.9–16, 2014.
- [4] S. Jain, S. Khare, S. Yada, V. Ambili, P. Salihundam, S. Ramani, S. Muthukumar, M. Srinivasan, A. Kumar, S.K. Gb, et al., "A 280mV-to-1.2 V wide-operating-range IA-32 processor in 32nm CMOS," 2012 IEEE International Solid-State Circuits Conference, IEEE, pp.66–68, 2012.
- [5] F. Su, Y. Liu, Y. Wang, and H. Yang, "A Ferroelectric Nonvolatile Processor with 46 μ s System-Level Wake-up Time and 14 μ s Sleep Time for Energy Harvesting Applications," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol.64, no.3, pp.596–607, 2016.
- [6] 田中一平, 宮川尚之, 木村知也, 今川隆司, 越智裕之, "FiCC を用いた CMOS 互換な不揮発性メモリ素子の閾値電圧特性の測定ならびに読み出し方式検討," *DA シンポジウム 2019 論文集*, pp.9–14, 2019.
- [7] 阿部佑貴, 小林和淑, 塩見準, 越智裕之, "間欠動作を行う IoT 向けプロセッサに適した FiCC を用いた不揮発スタンダードセルメモリの実測評価," *DA シンポジウム 2021 論文集*, vol.2021, pp.3–8, 2021.
- [8] R. Aparicio and A. Hajimiri, "Capacity limits and matching properties of integrated capacitors," *IEEE Journal of Solid-State Circuits*, vol.37, no.3, pp.384–393, 2002.
- [9] A. Matsuzawa, "Analog and RF circuits design and future devices interaction," 2012 International Electron Devices Meeting, IEEE, pp.14.3.1–14.3.4, 2012.
- [10] Q.S. Lim, A.V. Kordesch, and R.A. Keating, "Performance comparison of MIM capacitors and metal finger capacitors for analog and RF applications," 2004 RF and Microwave Conference (IEEE Cat. No. 04EX924), IEEE, pp.85–89, 2004.
- [11] D. Sandstrom, M. Varonen, M. Karkkainen, and K.A. Halonen, "W-band CMOS amplifiers achieving +10 dBm saturated output power and 7.5 dB NF," *IEEE Journal of Solid-State Circuits*, vol.44, no.12, pp.3403–3409, 2009.
- [12] 宮川尚之, 木村知也, 越智裕之, "FiCC: 高集積向け耐クロストークノイズメタルフリンジキャパシタ," *電子情報通信学会技術研究報告*, vol.116, no.478, VLD2016-109, pp.43–47, 2017.
- [13] J.F. Dickson, "On-chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique," *IEEE Journal of solid-state circuits*, vol.11, no.3, pp.374–378, 1976.