遅延を抑えたスタック構造による SOI プロセス向け耐ソフトエラー FF の提案および実測評価

榎原 光則[†] 山田 晃大[†] 古田 潤[†] 小林 和淑[†]

↑ 京都工芸繊維大学 〒 606-8585 京都市左京区松ヶ崎

あらまし 本稿では、ソフトエラーに比較的強靭である SOI プロセス向けの耐ソフトエラーフリップフロップを提案 しその実測結果を述べる. SOI 構造がデバイスレベルのソフトエラー対策として有効であり、さらにスタック構造とす ることで、よりソフトエラーに強靭になる. SOI 構造とスタック構造を用いてソフトエラー耐性を持ち、動作速度の速 い回路を提案する. 提案回路を 65 nm thin BOX FDSOI プロセスで試作し、重イオンを用いてエラー耐性を評価した. 提案回路は通常の DFF のインバータ、トライステートインバータをスタックした構造と比べ 21%動作速度が速い. 提 案回路は Ar イオン照射時ではエラー数が 0 であり、Kr イオンを 60°の角度で照射した際にエラーが発生したが、DFF と比べエラー率は 1/120 である. Xe イオン垂直照射時では DFF に比べ垂直照射ではエラー率が 1/105、60° では 1/18 である.

キーワード ソフトエラー, FDSOI, 重イオン, スタック構造, フリップフロップ

A Radiation-hard Low-delay Flip-Flop with Stacking Structure for SOI Process

Mitsunori EBARA^{\dagger}, Kodai YAMADA^{\dagger}, Jun FURUTA^{\dagger}, and

Kazutoshi KOBAYASHI[†]

† Kyoto Institute of Technology, Kyoto, Japan

Abstract We proposed a radiation-hard low-delay flip-flop with the stacking structure to suppress soft errors in a 65 nm thin-BOX FDSOI process. The Fully-Depleted Silicon On Insulator (FDSOI) structure is stronger against soft errors than bulk. We evaluated soft-error tolerance and angle dependence on soft errors by heavy ion irradiation. D-Q delay of the proposed FF is 21% faster than that of a FF which consists of stacked inverters and tristate-inverters. There was no error on the proposed FF by Ar irradiation. The proposed FF is 120x and 18x stronger against soft errors than a conventional DFF by Kr and Xe irradiation respectively.

Key words Soft error, FDSOI, Radiation-hardened latch, Stacked structure, Flip-flop

1. 序 論

近年,集積回路 (LSI) に使われる半導体素子が微細化,高集 積化することで,PC やスマートフォンといった高性能な製品 が市場にでた[1].しかし,微細化が進むにつれ,ソフトエラー による信頼性の低下が問題視されている.ソフトエラーとは α 線や中性子線などの粒子線が集積回路内を通過または衝突する ことにより SRAM やフリップフロップ等の保持値が一時的に 反転する現象のことである.ソフトエラーは,一時故障であり, 再起動により修復可能である.ソフトエラーの耐性指標として FIT (Failure In Time) が使われる.100万個のデバイスやシ ステムが1000時間当たりのエラー数である.1チップあたりで は10⁹時間あたりのエラー数となる.1000FIT 以下,約100年 に1回のソフトエラーであれば使用するのに問題はない[2].し かし,高い信頼性が要求される自動車や飛行機,医療機器など, 人命に関わる機器では一度のエラーが深刻な問題となるため, 高い信頼性が必要不可欠となる[3].

SOI (Silicon on Inslator) プロセスはバルクプロセスよりも ソフトエラーに強い[4]. SOI では、トランジスタの拡散領域の 下の酸化膜 (BOX: Buried OXide) 層により BOX 層下で発 生した電荷がドレイン部に収集されない. 回路レベルの対策と して TMR (Triple Modular Re- dundancy) [5], DICE (Dual Interlocked strage CEll) [6] といった多重化した冗長化回路が



図 1 ソフトエラーの発生機構

用いられる.しかし,ソフトエラー耐性は高くなるが,冗長化 により面積や遅延時間,消費電力が大きくなる.

本稿では,65 nm FDSOI (Fully-Depleted Silicon on Insulator) プロセスに適したソフトエラー対策手法を提案し,性能評 価と重イオン照射によるソフトエラー耐性評価を行った.

第2章では,ソフトエラーについて述べる.第3章では,評 価フリップフロップと性能評価について述べる.第4章では, 重イオンによるソフトエラー耐性の評価について説明する.第 5章では,実測結果について述べる.第6章でまとめる.

2. ソフトエラーについて

ソフトエラーとは、永久故障とは異なり、SRAM やフリップ フロップの保持値が一時的に反転する一時故障のことである. 地上ではチップのパッケージ材料に含まれる放射線不純物によ り発生する α 線や高エネルギー中性子、宇宙では重イオンが主 要因である.本稿では、重イオンによるソフトエラー耐性につ いて述べる.

2.1 重イオンによるソフトエラー

図1のように荷電粒子がLSI内を通過することによって電 子正孔対が生成され,発生したキャリアがドレインに収集され ることによってソフトエラーが引き起こされる[2].ソフトエ ラー発生原理を図1に示す.重イオンとはHeよりも重い元素 のイオンを指す.重イオンがLSI内の拡散領域近傍を通過す ることで電子正孔対が生成される.宇宙に存在する重イオン の線エネルギー付与(LET:Linear Energy Transfer)分布を 図2に示す[7].LETとは荷電粒子の通過によって単位長あた り物質に与えるエネルギーである.縦軸のfluxは、単位面積、 単位時間あたりに通過する重イオンの数である.地上では20 MeV-cm²/mgの耐性を求められ、宇宙空間で使用する機器では 60 MeV-cm²/mgの耐性が求められる[8][9].

2.2 SEU (Single Event Upset)

SRAM やラッチなどの保持部に荷電粒子が通過すると電子正 孔対が発生し,保持値が反転する.これを SEU と呼ぶ.SEU の 発生機構を図3に示す.インバータN1のNMOS に粒子線が衝 突したとき,インバータの出力が一時的に HIGH から LOW に 反転する.HIGH に戻る前に,トライステートインバータ(N2) が反転すると,保持値の反転が起こる.NMOS に粒子線が衝 突すると,発生電荷により出力が LOW に, PMOS では出力が HIGH とそれぞれ反転する.電子は正孔と比べて移動度が大き



図 2 宇宙における重イオンエネルギースペクトラム [7]



⊠ 3 Single Event Upset



図 4 Thin BOX FDSOI の断面図

く、PMOS に比べ、NMOS のほうが電荷が収集されやすい[10]. そのため、PMOS に比べて NMOS で発生するパルスの振幅は 大きく、ソフトエラーが生じやすい.

2.3 デバイスレベルでの対策

SOI はソフトエラーに強靭な構造である. SOI の中でも完全 空乏型 SOI (FDSOI) の 65 nm Thin BOX FDSOI プロセスを ここで使用する.

SOIではシリコン基板とトランジスタの間に、BOX 層を挿入 する. Bulk 構造と異なり基板で発生した電荷が BOX 層により 拡散領域に収集されない[11]. 今回使用した 65 nm Thin BOX FDSOI プロセスを図 4 に示す. 荷電粒子の突入時の bulk 構造 と SOI 構造の様子を図 5 に示す. Thin BOX 層により, bulk 構造と比べ,トランジスタの寄生容量が小さく,高速かつ低消費 電力で動作し、ソフトエラー耐性が高い. しかしウェハーやプ ロセスコストが高い.

2.4 回路レベルのソフトエラー対策

SOI プロセスではトランジスタを縦積みにしたスタック構造 によりソフトエラー耐性を高められる.NMOSのスタック構 造に放射線が突入した様子を図6に示す.通常のインバータの NMOSトランジスタに放射線が突入し基板電位が上昇すると,



図 6 スタック構造に放射線が突入した時の様子

寄生バイポーラトランジスタが ON し出力とソースが完全に 導通し出力が'1'から'0' に変化する.一方で,スタック構造の M1のトランジスタに荷電粒子が突入すると,基板電位が上昇 し,M1の寄生バイポーラトランジスタが ON し,N1のノード とGND が導通する.しかし,M2のトランジスタは BOX 層に より分離されており,OFF状態のままで出力は変化しない.M2 のトランジスタに荷電粒子が突入したとしても M1 は OFF 状 態のままのため出力が大きく変化しない.FDSOI は BOX 層 により個々のトランジスタが孤立しており,トランジスタの同 時反転が起こりにくく,スタック構造は FDSOI プロセスに適 する.ソフトエラーに脆弱な箇所をスタック構造に置き換える だけで,多重化回路と比べ面積・電力のオーバーヘッドを抑え た対策が可能である.しかし,スタック構造はゲート容量や,出 力抵抗により動作速度が遅くなる.

3. 評価フリップフロップと性能評価

3.1 スタック構造を用いたフリップフロップ

今回評価するフリップフロップは DFF (D Flip-Flop) と以下の2つのフリップフロップである.

STACKEDFF

DFF のラッチ内のインバータとトライステートインバータに スタック構造を用いる (図 7).

STACKEDTIFF

TIFF 構造と STACKEDFF を用いる [12]. 図 8 に STACKED-TIFF を示す.

STACKEDFF と STACKEDTIFF は図9のように入力から出 カまでのトランジスタ数が異なる.STACKEDTIFF は Mout の入力がスレーブラッチの入力とショートされており, Mslave を介さず出力され,スタック構造の動作速度の遅さを改善で きる.

3.2 性能評価

SPICE を用いて DFF, STACKEDFF, STACKEDTIFF の



図 7 STACKEDFF の構造



図 8 STACKEDTIFF の構造



図 9 STACKEDFF と STACKEDTIFF の入力から出力

表 1 性能評価 (VDD=1.2V, 活性化率 10%, 寄生容量含む. DFF を 1 として規格化, ()は STACKEDFF を 1 として規格化)

	消費電力	面積	動作速度
DFF	1	1	1
STACKEDFF	1.05(1)	1.24(1)	1.76(1)
STACKEDTIFF	1.06(1.01)	1.35(1.09)	1.39(0.79)

3 種で消費電力,面積,動作速度を評価する.トランジスタサイ ズは ED² (消費電力 × 動作速度 × 動作速度)積での最適解と する.表1は DFF を1として規格化,電源電圧 (VDD)1.2 V, 活性化率 10%,寄生容量も含んでいる.

提案回路である STACKEDTIFF は STACKEDFF より消費



図 10 設計したテストチップ

電力は1%大きく、面積は9%大きく、動作速度は21%小さい.

4. 重イオンによるソフトエラー耐性の評価

4.1 テストチップ

今回評価するテストチップを図 10 に示す. テストチップの ソフトエラー耐性評価を行うために、すべての FF はシフトレ ジスタとしてシリアル接続されている.シフトレジスタは FF が組み合わせ回路を介さずに直結されており、ホールド違反に 脆弱である.ホールド違反を防ぐために、データパスとクロッ クパスの向きは逆向きである.

4.2 重イオン測定

重イオン実験は量子科学技術研究開発機構 (QST: Quantum and Radiological Science and Technology) の高崎量子応用研 究所 (TIARA : Takasaki Ion accelerators for Advanced Radiation Application) で実施した. 図 11 に TIARA で使用し た機材を示す. 直径 900mm の円筒型チャンバとサイクロトロ ン加速器 (図 11 (a)) を用いる.測定時は、チップを搭載した DUT (Device Under Test) ボード (図 11 (b)) をチャンバ内に 固定し、重イオンは大気によりエネルギーが減衰するためチャ ンバ内を真空状態にする.ボードは一度の照射で2チップが同 時に照射されるように設計した.地上から 500 km 離れた宇宙 空間では重イオンの中でも Fe が主な要因となるが, 不活性な 希ガス原子のイオンを用いる. 地上では 20 MeV-cm²/mg, 宇 宙空間では 60 MeV-cm²/mg の耐性が求められることから Ar, Kr, Xeの3種の希ガスを用いる.

4.3 衝突断面積 (CS: Cross Section)

CSは、粒子が通過するとソフトエラーを引き起こす面積であ る. CS の値が小さいほどソフトエラー耐性が高い. パッケージ からの α 線量や地上での中性子の流量と CS の積により, FIT 値を用いてソフトエラー率を求める.しかし,宇宙空間では場 所により流量が大きく異なるため CS を用いて評価する. CS と 単位面積当たりの流量 (フルエンス)の積がソフトエラー率と なる.式1にCSの計算式を示す.

$$CS \ [cm2/bit] = \frac{N_{error}}{N_{ion} \times N_{FF}}$$
(1)

 N_{error} は重イオン照射によって発生するエラー数, N_{ion} は 1cm^2 あたりに照射される重イオンの総数, N_{FF} はフリップフ



(a)

(b) 図 11 使用機材 (a) チャンバ (b) 設計した DUT ボードとチップ

表 2 重イオンの LET とフルエンス

	Ar	Kr	Xe
LET [MeV-cm ² /mg]	17.5	40.9	67.2
フルエンス [ions/cm ²]	2.59×10^6	3.16×10^6	1.82×10^6

ロップ数である.

4.4 評価方法

試作チップを用いて、実測を以下の手順で行う.

(1) シフトレジスタのフリップフロップ全段に同じ値を書 き込み初期化する.

(2) クロック信号を0 or 1 で停止し, チップに重イオンを 照射する.

(3) 重イオン照射後、シフトレジスタの値を読み出し、期待 値と異なった値のフリップフロップの個数を計算する.

(4) (1)-(3) を各条件ごとに繰り返し行う.

4.5 測定条件

重イオンの LET 値, エネルギー, フルエンスを表 2 に示す. 測定条件を以下にまとめる.

- 電源電圧: 0.8V
- **重イオン**: Ar, Kr, Xe
- 重イオン照射時間: 30秒
- 角度: 0° (垂直照射), 30°, 60°
- 動作状態: (DATA, CLK) = (0, 1), (1, 1), (0, 0), (1, 0)
- 測定回数:各5回

5. 重イオン照射結果

DFF, STACKEDFF, STACKEDTIFF に Ar, Kr, Xe を垂 直照射したさいの実測結果を図 12 に示す. (DATA, CLK) を変 えた4条件の平均で示している.エラーバーは信頼区間95%で ある.

Ar, Kr 照射時では STACKEDFF, STACKEDTIFF どちら もエラー数が0であった.Xe 照射時ではSTACKEDFFのエ ラー率は DFF の 1/77, STACKEDTIFF では 1/105 である.

照射角度が大きくなると縦積み NMOS 両方の SOI 層へ正孔 が収集されやすくなり、スタック構造は粒子の照射角度に敏感 である [13]. そのため, 30°, 60°の角度をつけて重イオンを照射 した. (DATA, CLK) = (0, 1) の条件の時にエラーが多数発生 するため、角度依存性は (DATA, CLK) = (0, 1) の条件で行っ た. 照射時間の制限のため、Ar 照射時は 0°, 60° のみである. 結 果を図 13 - 15 に示す.

図 12, 13 より Ar 照射では STACKEDFF, STACKEDTIFF ではエラー数が 0 であった.スタック構造により地上で使用す る機器でのソフトエラー対策は十分であることがわかる.図 12, 14, 15 より STACKEDTIFF のエラー率は Kr を 60° 照射した 時では DFF のエラー率の 1/120, Xe 垂直照射では 1/105, 60° 照射時では 1/18 である.

6. 結 論

本論文では 65 nm FDSOI プロセスにおいてスタック構造 に適し, ソフトエラーに強靭な構造を提案し, SPICE を用いて 性能評価を行い, 重イオン照射によりソフトエラー耐性を評価 した. 性能評価により STACKEDFF に比べ提案回路である STACKEDTIFF は 21%動作速度が速い. STACKEDTIFF は 垂直, 30°, 60°のいずれも照射でも Ar ではエラー数が 0 である スタック構造を用いることで地上でのソフトエラー対策が十分で ある. Kr では, 角度を大きくすることにより STACKEDTIFF でもエラーが発生したが, 60°ではエラー率が DFF の 1/120 である. Xe では, エラー率が DFF に比べ垂直照射では 1/105, 60° 照射時では 1/18 である. 提案回路である STACKEDTIFF は DFF のインバータ, トライステートインバータをスタッ ク構造にした STACKEDFF と比べエラー耐性がほぼ同じで, 21%速い.

謝 辞

本研究は, JSPS 科研費 15H02677 および, NEC スペーステ クノロジー(株)の助成を受けたものである.シミュレーショ ン用の EDA 及びパラメータは,東京大学大規模集積システム 設計教育研究センターを通し、シノプシス,ルネサスエレクト ロニクスの提供で行われたものである.重イオン照射実験は量 子科学技術研究開発機構の施設共用制度にて行われたもので ある.

文 献

- [1] A. Makihara, M. Midorikawa, T. Yamaguchi, Y. Iide, T. Yokose, Y. Tsuchiya, T. Arimitsu, H. Asai, H. Shindou, S. Kuboyama, and S. Matsuda, "Hardness-by-design approach for 0.15 mu;m fully depleted CMOS/SOI digital logic devices with enhanced SEU/SET immunity", *IEEE Transactions on Nuclear Science*, Vol. 52, No. 6, pp. 2524– 2530, (2005).
- [2] 戸坂義春, "知っておきたいソフト・エラーの実態", 日経エレクトロクス, 2005 年 7 月 25 日号, pp. 145–156, (2005).
- [3] "ソフト・エラー対策,待ったなし SRAM や理論回路が俎上 に",日経エレクトロニクス, No. 903, pp. 63-70, (2005).
- [4] P. Roche, J. L. Autran, G. Gasiot, and D. Munteanu, "Technology downscaling worsening radiation effects in bulk: SOI to the rescue", 2013 IEEE International Electron Devices Meeting, (2013), pp. 31.1.1–31.1.4.
- [5] D. G. Mavis and P. H. Eaton, "Soft error rate mitigation techniques for modern microcircuits", 2002 IEEE International Reliability Physics Symposium. Proceedings. 40th



図 15 Xe 照射時の角度依存性

Annual (Cat. No.02CH37320), (2002), pp. 216-225.

- [6] D. Krueger, E. Francom, and J. Langsdorf, "Circuit Design for Voltage Scaling and SER Immunity on a Quad-Core Itanium Processor", 2008 IEEE International Solid-State Circuits Conference - Digest of Technical Papers, (2008), pp. 94–95.
- [7] Jenet L. Barth et al, The Radiation Environment for the Next Generation Space Telescope, (2000), pp. A8–A12.
- [8] Taiki Uemura, Ryo Tanabe, Yoshiharu Tosaka, and Shigeo Satoh, "Soft Error Hardened Latch and Its Estimation Method", *Japanese Journal of Applied Physics*, Vol. 47, No. 4, pp. 2736–2741, (2008).
- [9] M. A. Xapsos, C. Stauffer, T. Jordan, J. L. Barth, and R. A. Mewaldt, "Model for Cumulative Solar Heavy Ion Energy and Linear Energy Transfer Spectra", *IEEE Transactions* on Nuclear Science, Vol. 54, No. 6, pp. 1985–1989, (2007).
- [10] P. Hazucha and C. Svensson, "Impact of CMOS Technology Scaling on the Atmospheric Neutron Soft Error Rate", *IEEE Trans. Nucl. Sci.*, Vol. 47, No. 6, pp. 2586–2594, (2000).
- [11] D. Kobayashi, K. Hirose, H. Ikeda, and H. Saito, "Radiation-induced pulse noise in SOI CMOS logic", Int'l Symposium on Advanced Semiconductor-on-insulator Technology and Related Physics (in 219th ECS Meeting), (2011).
- [12] 山口 潤己,張 魁元,古田 潤,小林 和淑,"低電力向け 65nm プロセスにおける回路およびレイアウト構造の相違によるソフトエラー耐性の評価",DA シンポジウム, (2014), pp. 191–196.
- [13] Haruki Maruoka, Masashi Hifumi, Jun Furuta, and Kazutoshi Kobayashi, "A Low-Power Radiation-Hardened Flip-Flop with Stacked Transistors in a 65 nm FDSOI Process", *IEICE Transactions on Electronics*, Vol. 101, No. 4, pp. 273–280, (2018).