

FDSOIに適したスタック構造におけるソフトエラー対策手法の 提案・評価と微細化による影響の評価

丸岡 晴喜[†] 山田 晃大[†] 榎原 光則[†] 古田 潤[†] 小林 和淑[†]

[†] 京都工芸繊維大学 〒606-8585 京都府京都市左京区松ヶ崎橋上町

E-mail: hmaruoka@vlsi.es.kit.ac.jp

あらまし トランジスタサイズの微細化に伴い、ソフトエラーにより集積回路の信頼性が低下している。本稿では 65 nm FDSOI プロセスにおいてソフトエラー対策技術であるスタック構造の耐性を TCAD シミュレーションにより評価する。その結果からスタック構造のトランジスタ間距離を広げることを提案する。トランジスタ間距離の異なる 3 種のスタック構造を 65 nm FDSOI プロセスで試作し、重イオン照射によりソフトエラー耐性の向上率を評価する。その結果、トランジスタ間距離を 250 nm から 350 nm に広げると、Kr 粒子を垂直照射した場合エラーが発生しなかった。加えて、28 nm FDSOI プロセスにおいてもテストチップを試作し、スタック構造における微細化の影響を重イオン照射によって検証した。その結果、28 nm FDSOI プロセスのスタック構造ではエラーが発生せず、スタック構造は微細化に適したソフトエラー対策と言えることが判明した。

キーワード ソフトエラー、フリップフロップ、FDSOI、重イオン、TCAD シミュレーション

Evaluation of a Radiation-Hardened Method and Soft Error Resilience on Stacked Transistors in 28/65 nm FDSOI Processes

Haruki MARUOKA[†], Kodai YAMADA[†], Mitsunori EBARA[†], Jun FURUTA[†], and Kazutoshi
KOBAYASHI[†]

[†] Kyoto Institute of Technology Matsugasaki, Sakyo-ku, Kyoto, Kyoto, 606-8585 Japan

E-mail: hmaruoka@vlsi.es.kit.ac.jp

Abstract The continuous downscaling of transistors has resulted in an increase of reliability issues for semiconductor chips. In this paper, we propose a radiation-hardened technique for stacked transistors. We evaluate their radiation hardness by TCAD simulations. Widening the distance between stacked transistors increase their radiation hardness from TCAD simulations. We fabricate three latches which have different distance between stacked transistors in 65 nm FDSOI process. Experimental results reveal that there is no error in stacked transistors widened the distance from 250 nm to 350 nm. We also evaluate the effect of downscaling on stacked transistors to compare with their radiation hardness in 28 nm and 65 nm FDSOI processes. The experimental results prove that stacked transistors are effective radiation-hardened technique for downscaled processes.

Key words soft error, flip-flop, FDSOI, heavy ion, TCAD simulation

1. 序 論

集積回路に搭載されるトランジスタ数はムーアの法則に従って増加している。トランジスタサイズの微細化に伴い集積回路の信頼性低下が問題になっている [1]。本稿ではその要因の放射線起因の一時故障であるソフトエラーについて扱う。ソフトエラーとは放射線が集積回路に突入することで SRAM (Static Random Access Memory) や FF (Flip-Flop) の保持値が反転

する現象である。恒久的なエラー (ハードエラー) とは異なり、ソフトエラーは再起動・再書き込みを行うことで正常な保持値に戻る。しかし、一つの誤動作が人命などに直結する宇宙機器、医療機器、自動運転車では対策が必須である。ソフトエラー対策として主に多重化回路が用いられている。多重化とは同一回路を複数搭載し、多数決を採る回路である [2]。多重化回路を用いることでソフトエラー耐性は向上するが、面積・消費電力・遅延時間の増加が課題である。

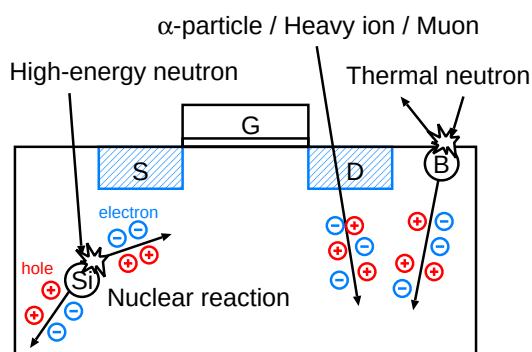


図 1 各粒子による電子正孔対の発生機構。

本稿では 65 nm FDSOI (Fully-Depleted Silicon on Insulator) プロセス [3] において、スタック構造に適したソフトエラー対策手法を提案し、TCAD シミュレーション・重イオン照射測定により評価する。28 nm と 65 nm FDSOI プロセスで設計したスタック構造のソフトエラー耐性を重イオン照射により比較することで、微細化によるスタック構造のソフトエラー耐性への影響を検証する。第 2 章ではソフトエラーの発生原理や対策手法について述べる。第 3 章では TCAD シミュレーションによるスタック構造のソフトエラー耐性の評価について述べる。第 4 章では重イオン照射測定結果について述べる。第 5 章では本稿の結論を述べる。

2. ソフトエラー

ソフトエラーとは、集積回路に放射線が突入することによって発生する一時的な誤動作である。近年、トランジスタサイズの微細化に伴いゲートに蓄えられる電荷量が減少しているため、ソフトエラーが顕在化している。ソフトエラーを引き起こす要因として地上では α 線、熱中性子、高エネルギー中性子が挙げられる。地上では主に高エネルギー中性子によってソフトエラーが発生する。高エネルギー中性子起因のソフトエラー発生機構を図 1 に示す。高エネルギー中性子が基板の Si などの原子核に衝突すると核反応を起こし、 α 線や重イオンを放出する [4]。発生した 2 次イオンは様々な角度に放射される。そのため、照射角度を変えた重イオン照射測定が必要である。一方、宇宙では重イオンがソフトエラーの要因である。本稿では宇宙で顕在化する重イオンを扱う。重イオン起因のソフトエラー発生機構を図 1 に示す。重イオンは電荷を持つため、トランジスタに突入すると電離効果により電子正孔対が生成される。発生した電荷がドレインへ収集されることで出力ノードの電位が変動する。宇宙空間における重イオンの LET (Linear Energy Transfer) の分布を図 2 に示す [5]。LET とは物質内に重イオンが突入した時、物質にあたえるエネルギー量のことである。重イオンのエネルギーが $30\text{MeV}\cdot\text{cm}^2/\text{mg}$ から $40\text{MeV}\cdot\text{cm}^2/\text{mg}$ の間で粒子の存在確率が 2 桁下がっている。そのため、ソフトエラーが発生する重イオンの LET は $40\text{MeV}\cdot\text{cm}^2/\text{mg}$ までと報告されている [5]。

2.1 SEU (Single Event Upset)

SEU は FF や SRAM などの記憶素子に放射線が突入し、記

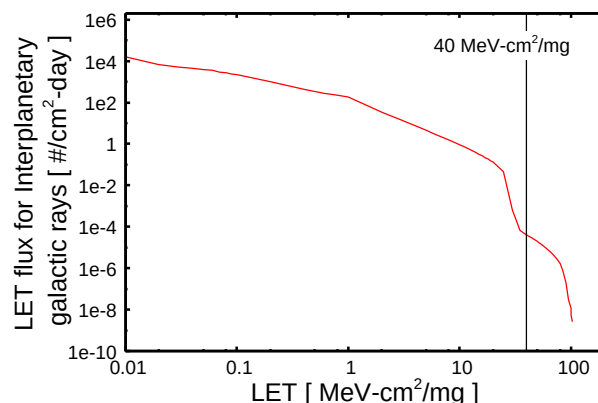


図 2 宇宙空間における重イオンの LET の分布 [5].

憶した保持値が反転するエラーである。ラッチの片方の素子の NMOS に放射線が突入しトランジスタの出力の電位が '1' から '0' に反転する。反転した値がラッチのもう片方の素子に取り込まれると、保持値が反転する。一般的に、PMOS に比べて NMOS の方が移動度が大きいいため、NMOS はソフトエラーに脆弱である [6]。本稿ではすべてのソフトエラーが OFF 状態の NMOS で発生していると仮定している。

2.2 ソフトエラーの対策技術

ソフトウェア対策技術にはデバイスレベル、回路レベル、システムレベルの3種類がある。本稿ではデバイスレベルの対策技術であるSOI (Silicon on Insulator) デバイスと回路レベルの対策技術であるスタック構造について説明する。

2.2.1 SOI デバイス

SOI はシリコン基板とトランジスタの間に、BOX 層 (Buried Oxide layer) を挿入した構造である (図 3 (b))。絶縁物には主に SiO_2 が用いられる。本稿では 65 nm と 28 nm Thin-BOX FDSOI プロセスでテストチップを試作している。それぞれのゲート長、SOI 層、BOX 層の厚さを表 1 に示す。従来の SOI デバイスの BOX 層は 100 nm であるのに対し、65 nm FDSOI や 28 nm FDSOI デバイスの BOX 層の厚みはそれぞれ 10~15 nm、25nm と非常に薄いため基板バイアス制御が可能である。加えて、SOI はバルクと比べて高いソフトエラー耐性を有する。図 3 (a) にバルクに放射線が突入した様子を示す。バルクでは基板で発生した電子正孔対がドレインに収集されることによってソフトエラーを引き起こす。図 3 (b) に SOI に放射線が突入した様子を示す。SOI は BOX 層が挿入されているため、基板で発生した電子正孔対は BOX 層に遮られドレインには収集されない。バルクと SOI の有感領域を比較すると SOI の方が有感領域が小さいため、SOI の方がバルクと比べて高いソフトエラー耐性を持つことが報告されている [7] [8]。しかし、SOI デバイスでは発生した正孔がボディの電位を上昇させ、ドレイン・ソース間が ON 状態になることでソフトエラーを引き起こす。この現象を寄生バイポーラ効果と呼ぶ。

2.2.2 スタック構造

トランジスタを縦積みにしたスタック構造が寄生バイポーラ効果対策として用いられる [9]。インバータとスタック構造に放

表 1 65nm と 28 nm FDSOI のデバイスパラメータ。

	28 nm FDSOI	65 nm FDSOI
ゲート長 [nm]	30	60
SOI 層 [nm]	7	12
BOX 層 [nm]	25	10~15

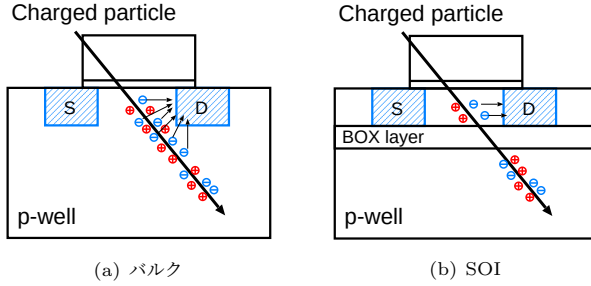


図 3 デバイス内に放射線が突入した時の様子。(a) はバルク、(b) は SOI デバイス。

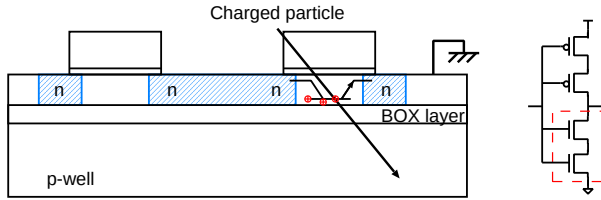


図 4 スタック構造の回路図とスタック構造の NMOS の断面図。

放射線が突入した様子を図 4 に示す。インバータの NMOS に放射線が突入し基板電位が上昇すると、寄生バイポーラトランジスタが ON し保持ノードが '1' から '0' に変化する。一方、スタック構造の片方の NMOS トランジスタに放射線が突入し基板電位が変動したとしても、ゲート/ソース間に電位差がないため OFF 状態の NMOS トランジスタは ON しない。FDSOI デバイスは BOX 層により個々のトランジスタが孤立しているため、電荷共有などが起こらない。そのため、スタック構造は FDSOI プロセスに適したソフトエラー対策である。加えて、ソフトエラーに脆弱な箇所をスタック構造に置き換えるだけで対策できるため、多重化回路と比べて性能のオーバーヘッドを抑えた対策が可能である。しかし、スタック構造のドレイン/ソース共有部分に放射線が突入すると、縦積みトランジスタ両方に電荷が収集され出力が反転する。スタック構造に Ar イオン (15.8 MeV-cm²/mg) を垂直に照射した場合、ソフトエラーが発生している [10]。一般的に、宇宙用デバイスでは 60 MeV-cm²/mg でエラーフリーが求められているため、さらなる対策が必要である。

3. TCAD を用いたスタック構造に適したソフトエラー耐性向上手法の提案と評価

宇宙空間では地上と異なり場所によって放射線のスペクトルが一定ではない。重イオン照射測定で得られるソフトエラー率は CS (Cross Section : 衝突断面積) を用いて評価する。CS とは放射線が通過した場合、保持値が反転する面積のことである。評価する宇宙環境が想定できればソフトエラー率への変換が可能である。本稿ではある特定の場所に限定した耐性評価を行わ

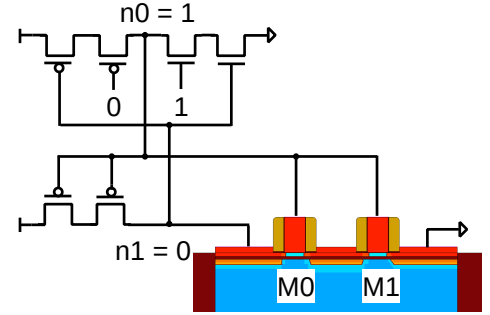


図 5 シミュレーション回路の概略。スタック構造の NMOS のみ TCAD モデル、その他は SPICE モデルである。

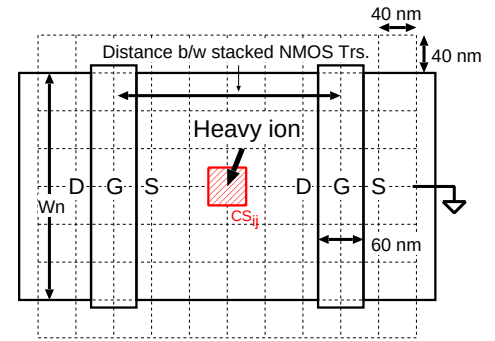


図 6 スタック構造の NMOS の上面図。40 nm 間隔に重イオンを照射し、CS を推定している。

ないため CS で耐性比較を行う。デバイスシミュレーションを用いて CS を推定する方法が報告されている [11] [12]。いずれも、粒子の照射位置を走査することで CS を推定している。

3.1 シミュレーションのセットアップ

CS の評価に用いたシミュレーション回路を図 5 に示す。一般的なラッチのインバータをスタック構造に置き換えたラッチで評価を行なっている。以降、このラッチをスタックラッチと呼ぶ。n0 は '1'、n1 は '0' で初期化し、OFF 状態の M0、M1 の間の拡散層に粒子を照射する。シミュレーションの高速化のために粒子を照射する NMOS トランジスタのみ 3D モデルを使用し、その他は SPICE モデルを使用している。すべてのシミュレーションは 65 nm Thin-BOX FDSOI デバイスを用いて評価している。構築した TCAD モデルのドレイン電流-ゲート電圧 (I_{ds}) 特性とゲート容量-ゲート電圧 (C_{gg}) 特性は SPICE モデルと誤差 7%以内で一致している。シミュレーションモデルの上面図を図 6 に示す。40 nm 間隔に粒子を照射し、反転した点を中心とする一辺 40 nm の正方形の面積を CS_{ij} とする。各格子点における CS の和をその回路の CS と定義する。粒子がデバイスを通過すると発生する電荷は標準偏差が粒子の中央からの半径 r に分布する。半径 r は文献 [11] から、Kr (40.3 MeV-cm²/mg) 粒子では $r = 45.5$ nm でシミュレーションを行った。

3.2 シミュレーション結果と考察

Kr 粒子 (40.3 MeV-cm²/mg) を垂直に照射した場合のスタック構造の CS の分布を図 7 に示す。スタック構造の CS は縦積みトランジスタ間に分布している。拡散層で発生した正孔

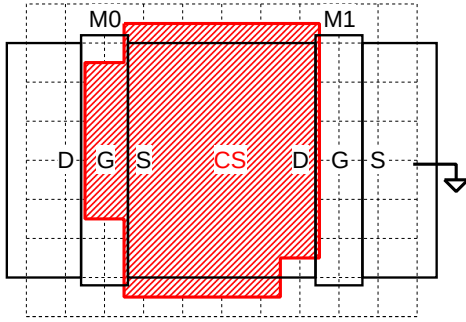


図 7 Kr 粒子を垂直に照射した場合の CS の分布。

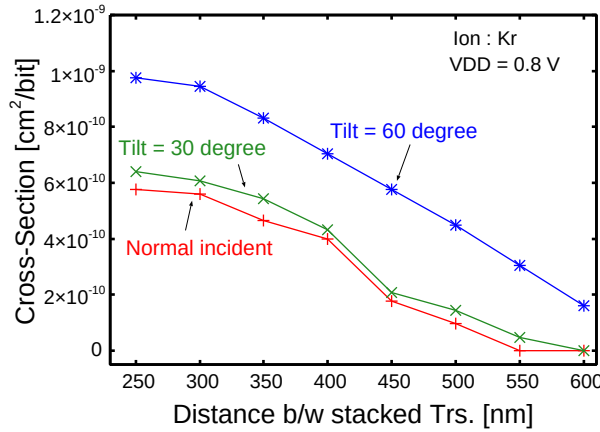


図 8 スタック構造における縦積みトランジスタ間距離依存性のシミュレーション結果。

は M0、M1 のゲートへ拡散され M0 と M1 が同時に反転する。トランジスタ間を広げることで拡散層で発生した正孔が縦積みトランジスタ両方に収集されるまでに再結合によって消滅すると思われる。TCAD シミュレーションを用いてトランジスタ間距離依存性を評価した。その結果を図 8 に示す。電源電圧 0.8 V で Kr を Tilt 方向に垂直 (0°)、30°、60° に傾けて照射している。Tilt とはトランジスタのゲートを軸に回転する方向である。トランジスタ間距離を 250 nm から 600 nm に広げると照射角度 0° と 30° ではエラーが発生せず、照射角度 60° では CS が 84% 低減する。このことから、スタック構造の縦積みトランジスタ間の距離を離すことでソフトエラー耐性が改善する。また、スタック構造は粒子の照射角度によって耐性が大きく変化する。この原因について図 9 を用いて説明する。赤色矢印は粒子の軌跡、青色の円筒は電荷が発生する領域である。照射角度が大きくなるにつれて、粒子の通過距離が伸びるため、発生する電荷量が増加する。加えて、照射角度が大きくなると縦積み NMOS 両方の SOI 層へ正孔が収集されやすくなる。このことから、スタック構造は粒子の照射角度に敏感であることが判明した。

4. 重イオン照射測定による評価

重イオン照射測定は量子化学技術研究開発機構 (QST : Quantum and Radiological Science and Technology) の TIARA (Takasaki Ion accelerators for Advanced Radiation Applica-

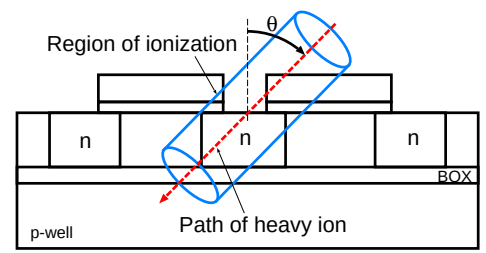


図 9 照射角度を変化させた場合のスタック構造の断面図。

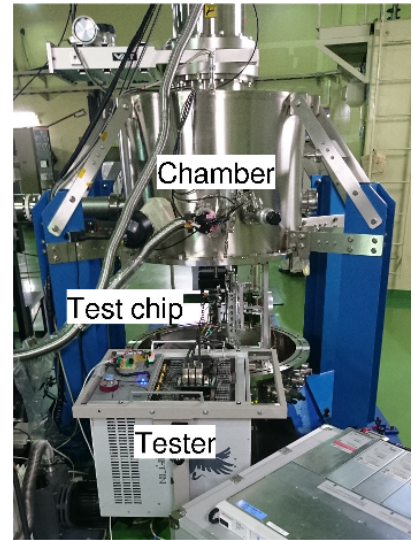


図 10 重イオン照射測定のセットアップ。テストチップを入れるチャンバ、テストチップと読み書きを行うテスターが設置されている。

表 2 重イオン照射測定で用いた Kr のエネルギー、LET、シリコンの通過距離。

Ion	$^{84}\text{Kr}^{17+}$
Energy [MeV]	230
LET [MeV-cm ² /mg]	40.9
シリコンの通過距離 [μm]	27.7

tion) で実施している。TIARA では N (窒素)、Ne (ネオン)、Ar (アルゴン)、Kr (クリプトン)、Xe (キセノン) を照射できる。実測で照射した重イオンの核種は Kr である。実測で用いたイオン種のエネルギー、LET、シリコンの通過距離を表 2 に示す。重イオンは大気や磁場によって遮蔽されるため、真空状態で測定する必要がある。加えて、宇宙空間では様々な方向から放射線が集積回路に突入するため、放射線の照射角度を変えた評価が必要である。実測には宇宙航空研究開発機構 (JAXA : Japan Aerospace eXploration Agency) が保有する直径 900mm のシングルイベント評価チャンバを用いて実施した。CS は式 (1) で計算できる [13]。

$$CS = \frac{N_{SE}}{N_{FF} \times N_{ion} \cos \theta} \quad (1)$$

ここで、 N_{SE} はエラー数、 N_{ion} は重イオンの粒子数、 θ は重イオンの照射角度である。

4.1 テストチップ

前章で述べたように、スタック構造の縦積みトランジスタ間の距離を広げることで CS を低減する。耐性向上を実測で確認

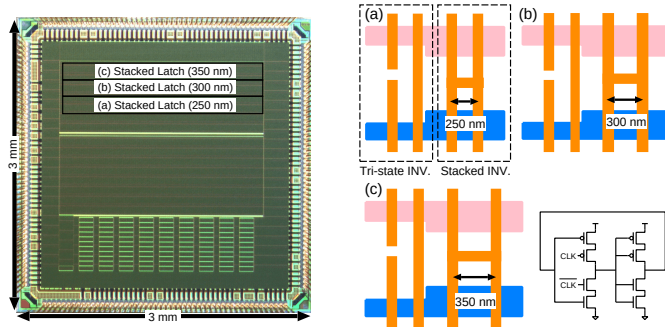


図 11 スタック構造におけるトランジスタ間の距離依存性を評価するためのテストチップ。トランジスタ間の異なる 3 種のスタックドラッチが各 40,000 段搭載されている。

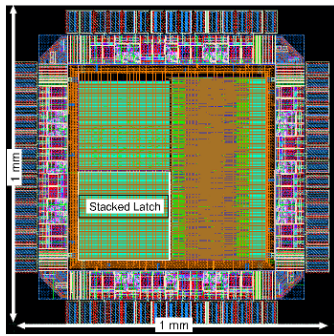


図 12 28 nm FDSOI プロセスで設計したテストチップのレイアウト。スタックドラッチが 7,000 段搭載されている。

するために縦積みトランジスタ間が異なる 3 種のスタックドラッチを作成した。スタック構造のトランジスタ間の距離が 250 nm、300 nm、350 nm の 3 種類のラッチが約 40,000 段搭載されている。評価に用いたテストチップと設計したレイアウトを図 11 に示す。微細化による提案回路のソフトエラー耐性への影響を調べるために、28 nm FDSOI プロセスでテストチップを作成した。評価に用いたテストチップを図 12 に示す。このテストチップにはトランジスタ間距離が 124 nm のスタックドラッチが約 7,000 段搭載されている。いずれのテストチップもスタックドラッチが FF として搭載され、シフトレジスタを形成している。シフトレジスタとはすべての FF を直列に数珠つなぎにした回路である。

4.2 スタック構造におけるトランジスタ間距離依存性の評価

実測はソフトエラーを発生しやすくするために、電源電圧を標準電圧 (1.2 V) よりも低い 0.8 V に設定する。図 11 のテストチップに Kr イオンを照射角度 0°, 30°, 60° から照射した実測結果を図 13 に示す。エラー率は 68% の信頼区間で作成されている。トランジスタ間距離を 250 nm から 350 nm に広げた場合、照射角度 0°, 30° でエラーが発生せず、照射角度 60° では CS を 91% 低減する。シミュレーションと実測結果から、スタック構造においてトランジスタ間距離を広げることはソフトエラー耐性を向上させる有効な手法である。

実測の CS の結果はシミュレーション結果と比較して 2 桁以上小さい。構築したシミュレーションモデルのドレイン/ソースの拡散層の不純物密度が試作したテストチップと異なること

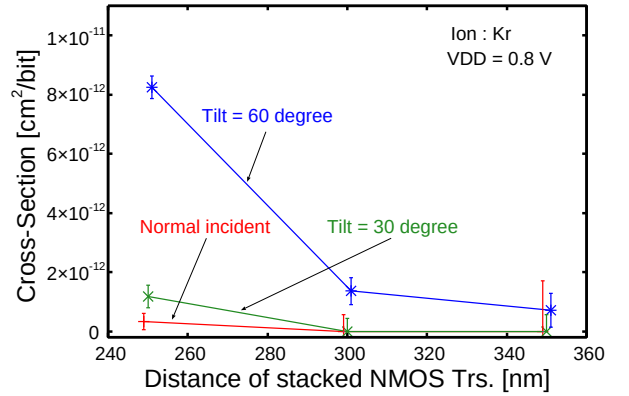


図 13 65 nm FDSOI プロセスにおけるトランジスタ間距離依存性の実測結果。

が要因であると考えられる。放射線が拡散層に突入することによって発生した電荷は Auger 再結合によって消滅する。Auger 再結合とは 3 つのキャリアが関係する再結合である。電子・電子・ホール間で起こる Auger 再結合の場合、電子とホールが再結合する際他の電子にエネルギーを与える。電子・電子・ホール間で起こる再結合確率 R_E は式 (2)、ホール・ホール・電子間で起こる Auger 再結合確率 R_H は式 (3) で表される。

$$R_E = Bn^2p \quad (2)$$

$$R_H = Bp^2n \quad (3)$$

ここで、 n と p はキャリア密度、 B は Auger 係数である。Auger 再結合確率はキャリア密度の 3 乗に比例する。仮に拡散層の不純物密度が高くなると発生した電荷が再結合されやすくなり CS が減少する。今後、実測結果と同程度の CS となるように構築したモデルの不純物密度を調整する予定である。

4.3 スタック構造における微細化の影響の評価

図 11 に搭載されている 65 nm FDSOI プロセスで設計されたスタックドラッチ (250 nm) の SL と図 12 に搭載されている 28 nm FDSOI プロセスで設計されたスタックドラッチを比較することでスタック構造における微細化の影響を調べる。前節の結果からトランジスタ間距離を離すことで耐性向上が見込めることが判明した。微細化に伴いトランジスタ間距離は狭くなるが、放射線による電荷が発生する領域は変化しない。そのため、微細化が進むとスタック構造はソフトエラーに脆弱になると考えられる。それぞれのプロセスにおいて、Kr イオンを照射角度 0°, 30°, 60° で耐性比較を行う。実測結果を図 14 に示す。予想に反し 28 nm FDSOI で設計されたスタック構造ではすべての照射角度においてソフトエラーの発生が見られなかった。SOI 層の厚みが薄くなったことがソフトエラー耐性向上の理由として考えられる。65 nm FDSOI プロセスの SOI 層の厚みは 12 nm であるのに対し、28 nm FDSOI プロセスの SOI 層の厚みは 7 nm である。SOI 層が薄くなると重イオンによって発生する電荷量が減少し、縦積みトランジスタに収集される電荷量も減少する。SOI プロセスにおいて微細化に伴い SOI 層の厚みも薄くなると、スタック構造のソフトエラー耐性が向上する。

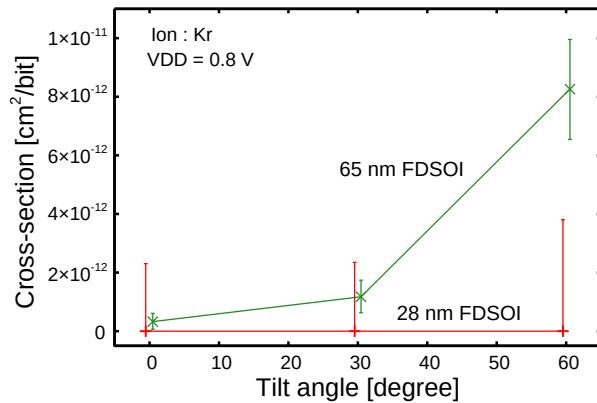


図 14 プロセスの違いによるスタック構造のソフトエラー耐性の変化。

5. 結 論

本稿では 65 nm FDSOI デバイスにおいてスタック構造に適したソフトエラー対策技術を提案し、TCAD シミュレーションと重イオン照射により評価した。TCAD シミュレーションの結果からスタック構造は縦積みトランジスタの間に粒子が突入した際にソフトエラーが発生していることが判明し、トランジスタ間距離を広げることで耐性向上が見込めることが判明した。TCAD シミュレーションの結果からトランジスタ間距離を 250 nm から 600 nm に広げると、照射角度 0° と 30° ではエラーが発生せず、照射角度 60° では CS が 84% 低減する。3 種類のトランジスタ間距離の異なるスタック構造を搭載したテストチップを試作し、重イオン照射を行い耐性向上を確認した。実測結果からトランジスタ間距離を 250 nm から 350 nm に広げることで照射角度 60° で CS が 91% 低減することが判明した。加えて、28 nm FDSOI プロセスでもスタック構造を作成し、重イオン照射を行った。その結果、すべての照射角度でエラーは発生せず、スタック構造は微細化に適したソフトエラー対策であることを明らかにした。

謝辞 本研究は、JSPS 科研費 15H02677 ならびに NEC スペーステクノロジーの助成を受けたものである。本研究に用いたテストチップはルネサスエレクトロニクスにより試作されたものであり、東京大学大規模集積システム設計教育研究センターを通しシノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われたものである。また、重イオン照射測定は量子科学技術研究開発機構の施設共用制度にて行われたものである。

文 献

- [1] N. Seifert, B. Gill, K. Foley, and P. Relangi, "Multi-cell upset probabilities of 45nm high-k+ metal gate SRAM devices in terrestrial and space environments," Proc. Int. Rel. Phys. Symp., pp.181–186, 2008.
- [2] D.G. Mavis and P.H. Eaton, "Soft error rate mitigation techniques for modern microcircuits," IEEE Int. Rel. Physics Symp., pp.216–225, 2002.
- [3] N. Sugii, R. Tsuchiya, T. Ishigaki, Y. Morita, H. Yoshimoto, and S. Kimura, "Local Vth variability and scalability in silicon-on-thin-box (SOTB) CMOS with small random-dopant fluctuation," IEEE Trans. Electron Devices, vol.57, no.4, pp.835–845, Apr. 2010.

- [4] R. Ramanarayanan, V.S. Degalahal, R. Krishnan, J. Kim, V. Narayanan, Y. Xie, M.J. Irwin, and K. Unlu, "Modeling soft errors at the device and logic levels for combinational circuits," IEEE Transactions on Dependable and Secure Computing, vol.6, no.3, pp.202–216, July 2009.
- [5] M.A. Xapsos, C. Stauffer, T. Jordan, J.L. Barth, and R.A. Mewaldt, "Model for cumulative solar heavy ion energy and linear energy transfer spectra," IEEE Trans. Nucl. Sci., vol.54, no.6, pp.1985–1989, Dec. 2007.
- [6] P. Hazucha, T. Karnik, J. Maiz, S. Wal-STRA, B. Bloechel, J. Tschanz, G. Dermer, S. Hareland, P. Armstrong, and S. Borkar, "Neutron soft error rate measurements in a 90-nm CMOS process and scaling trends in SRAM from 0.25μm to 90-nm generation," Int. Electron Devices Meeting.
- [7] P. Roche, J.L. Autran, G. Gasiot, and D. Munteanu, "Technology downscaling worsening radiation effects in bulk: SOI to the rescue," Int. Electron Devices Meeting, pp.31.1.1–31.1.4, Dec. 2013.
- [8] G. Gasiot, M. Glorieux, S. Uznanski, S. Clerc, and P. Roche, "Experimental characterization of process corners effect on SRAM alpha and neutron soft error rates," IEEE Int. Rel. Physics Symp., pp.3C.4.1–3C.4.5, Apr. 2012.
- [9] A. Makihara, M. Midorikawa, T. Yamaguchi, Y. Iide, T. Yokose, Y. Tsuchiya, T. Arimitsu, H. Asai, H. Shindou, S. Kuboyama, and S. Matsuda, "Hardness-by-design approach for 0.15 um fully depleted CMOS/SOI digital logic devices with enhanced SEU/SET immunity," IEEE Trans. Nucl. Sci., vol.52, no.6, pp.2524–2530, Dec. 2005.
- [10] H. Maruoka, M. Hifumi, J. Furuta, and K. Kobayashi, "A non-redundant low-power flip flop with stacked transistors in a 65 nm thin BOX FDSOI process," 2016 16th European Conference on Radiation and Its Effects on Components and Systems (RADECS), pp.1–4, Sept 2016.
- [11] K. Warren, L. Massengill, R. Schrimpf, and H. Barnaby, "Analysis of the influence of mos device geometry on predicted seu cross sections," IEEE Transactions on Nuclear Science, vol.46, no.6, pp.1363–1369, Dec 1999.
- [12] K. Hirose, H. Saito, Y. Kuroda, S. Ishii, Y. Fukuoka, and D. Takahashi, "Seu resistance in advanced soi-srams fabricated by commercial technology using a rad-hard circuit design," IEEE Trans. Nucl. Sci., vol.49, no.6, pp.2965–2968, Dec 2002.
- [13] J.S. Kauppila, T.D. Loveless, R.C. Quinn, J.A. Maharrey, M.L. Alles, M.W. McCurdy, R.A. Reed, B.L. Bhuvu, L.W. Massengill, and K. Lilja, "Utilizing device stacking for area efficient hardened SOI flip-flop designs," IEEE Int. Rel. Physics Symp., pp.SE.4.1–SE.4.7, Jun. 2014.