

TCAD シミュレーションを用いた FDSOI プロセスの 耐ソフトエラー回路構造の検討

山田 晃大[†] 丸岡 晴喜[†] 梅原 成宏[†] 古田 潤[†] 小林 和淑[†]

[†] 京都工芸繊維大学 〒606-8585 京都市左京区松ヶ崎

あらまし 集積回路はムーアの法則に従って微細化してきたが、それに伴いソフトエラーによる信頼性の低下が問題となっている。既にソフトエラーの対策として、三重化を用いた冗長化回路は有効であるが、面積や遅延時間、消費電力が増加する。冗長化によらない対策が必要とされているため、FDSOI プロセスにおける非冗長化ラッチのソフトエラー耐性を評価する。TCAD シミュレーションを用いて、PMOS トランジスタや容量を追加したラッチのソフトエラー耐性を評価した。PMOS パストランジスタを追加したラッチは、LET が $60\text{MeV}\cdot\text{cm}^2/\text{mg}$ である粒子を照射した場合でも保持値が反転せず、宇宙でも利用可能なソフトエラー耐性であることが判明した。

キーワード ソフトエラー, TCAD シミュレーション, FDSOI, 耐放射線ラッチ, パストランジスタ

Evaluation of Radiation-Hard Circuit Structures in an FDSOI Process by TCAD Simulations

Kodai YAMADA[†], Haruki MARUOKA[†], Shigehiro UMEHARA[†], Jun FURUTA[†], and
Kazutoshi KOBAYASHI[†]

[†] Kyoto Institute of Technology, Kyoto, Japan

Abstract According to the Moore's law, LSIs are miniaturized and the reliability of LSIs is degraded. To improve the tolerance of FFs against soft errors, several redundant FFs are effective countermeasures. However, redundant FFs have large area, delay and power overheads. Non-redundant FF structures with higher soft-error resilience are needed. In this paper, we evaluate non-redundant FF structures in an FDSOI process to prevent soft errors. We evaluate soft error rates of latches with additional components such as capacitors or PMOS pass-transistors by TCAD simulations. Even by a particle hit with LET of $60\text{MeV}\cdot\text{cm}^2/\text{mg}$, the stored value of the latch with PMOS pass-transistors is not upset. Thus, the latch has enough tolerance to use even if in outer space.

Key words Soft error, TCAD simulations, FDSOI, Radiation-hardened latch, Pass-transistor

1. 序 論

集積回路 (LSI) の微細化・高集積化によって、トランジスタ数はムーアの法則に従って増加している [1]。近年、あらゆる場所で集積回路が用いられており、自動車や航空機、医療機器などの高信頼性が求められる製品にも用いられる。一方で、微細化に伴い信頼性の低下が問題となっている。信頼性低下の要因の 1 つとして、放射線起因のソフトエラーが挙げられる。

ソフトエラーとは、LSI に粒子線が通過、または衝突することにより電子正孔対が生成され、一時的にメモリの保持値やフリップフロップの論理値が反転するの現象である [2]。ソフトエラーは一過性のエラーであり、再起動やデータの書き換えを行うことにより元の値へと戻すことができる。しかし、近年の集

積回路の微細化に伴う集積化や電源電圧の低下によって、ソフトエラーの影響が顕在化してきている。特に 1 つのエラーが重大となる機器では致命的であるため、ソフトエラーの対策は必須である。

ソフトエラーの主な対策には、SOI (Silicon On Insulator) トランジスタや多重化した冗長化回路が用いられる。SOI は製造工程を追加するため高コストであるが、BOX (Buried Oxide) 層より下で発生する電子正孔対を遮断するため、従来の Bulk 構造に比べてソフトエラー耐性は高い。一方で、冗長化回路は製造プロセスを変更せずに対策を行え、ソフトエラー耐性は高いが、面積や遅延時間、消費電力が大きくなる。SOI プロセスでは、寄生サイリスタが存在しないため SEL (Single Event Latchup) が起こらない [3]。

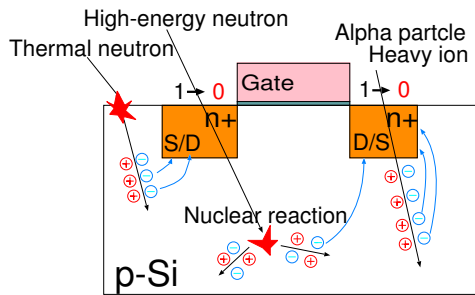


図 1 ソフトエラーの発生機構

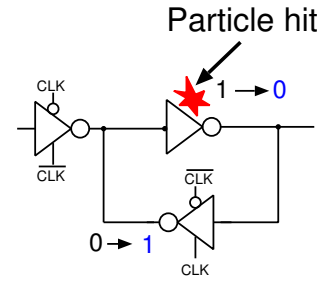


図 2 Single Event Upset

本稿では、ラッチ内の NMOS トランジスタで発生した SET (Single Event Transient) パルスを抑制することのできる非冗長化ラッチ回路を評価する。SRAM にキャパシタを追加することによってソフトエラーを抑えられることが報告されている [4]。本稿でも同様に非冗長化ラッチ回路として容量などの素子を追加する。作成した 3D 構造は、 C_{gg} - V_{gs} 特性および I_{ds} - V_{gs} 特性を完全空乏型 SOI の 1 種である SOTB (Silicon On Thin BOX) [5] プロセスを用いて、TCAD シミュレーションにより評価する。

本稿の構成を述べる。第 2 節では、ソフトエラーについて述べる。第 3 節では、TCAD シミュレーション手法について説明し、デバイスの準備についてまとめる。第 4 節では、ラッチ回路に素子を追加することによるソフトエラー耐性について評価する。第 5 節でまとめる。

2. ソフトエラーについて

本章では LSI の一時的な誤動作の要因の 1 つであるソフトエラーについて説明する。

2.1 ソフトエラーの発生要因

荷電粒子が LSI 内を通過することによって電子正孔対が生じる。発生したキャリアが拡散層に収集され、ソフトエラーが引き起こされる。ソフトエラーの発生機構を図 1 に示す。ソフトエラーを引き起こす要因となる主な粒子は、 α 粒子、熱中性子、高エネルギー中性子、重イオンの 4 種類である。

2.2 SEU (Single Event Upset)

ソフトエラーがラッチなどのデータ保持部で生じるものを SEU (Single Event Upset) と呼ぶ。粒子線がトランジスタに衝突することで SET (Single Event Transient) パルスと呼ばれる一過性のパルスが発生する。SET パルスが SRAM やラッチの内部で発生した場合は保持値を直接反転させる。

図 2 のようにラッチを構成する一方のインバータの拡散層付近に粒子線が突入することで、一時的に出力が反転する。この反転が元に戻るまでに、もう一方のインバータの出力が反転すると保持値が反転してしまう。一定以上の電荷がトランジスタの拡散層に収集されると出力が反転する。この反転までに必要な電荷量を臨界電荷量 Q_{crit} と呼ぶ。微細化に伴って、電源電圧の低下とトランジスタのゲート容量の低下が進み、 Q_{crit} が減少して SEU が発生しやすくなる。電荷収集効率は PMOS トランジスタと NMOS トランジスタで異なり、 $0.1\mu\text{m}$ プロセスで

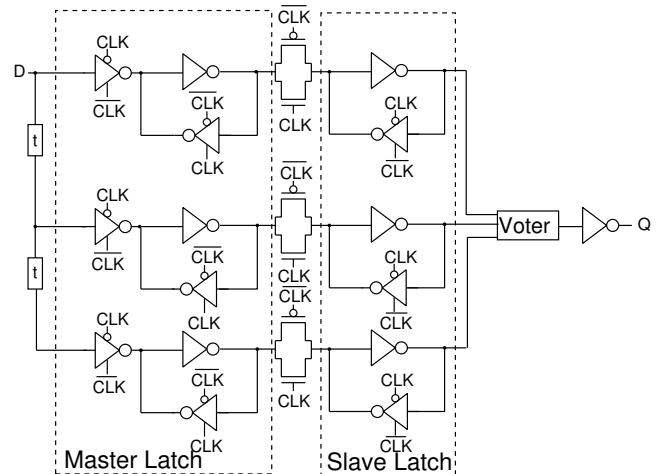


図 3 TMRFF の回路図

は PMOS トランジスタが 13fC 、NMOS トランジスタが 5.8fC である [6]。PMOS トランジスタの電荷収集効率は NMOS トランジスタの電荷収集効率の約 $1/2$ であるため、NMOS トランジスタに比べて PMOS トランジスタでソフトエラーが生じにくい。

2.3 ソフトエラーの対策

ソフトエラー対策として、一般的に回路レベルとデバイスレベルでの対策がある。

2.3.1 回路レベルのソフトエラー対策

回路レベルのソフトエラー対策として冗長化 (多重化) 回路が提案されている。冗長化回路である TMRFF (Triple Modular Redundancy Flip Flop) を図 3 に示す [7]。TMRFF 回路は、一般的なフリップフロップである TGFF (Transmission Gate Flip Flop) 回路を 3 重にして出力に多数決回路 (VOTER) を挿入することで出力の多数決をとる。1 つのラッチで SEU が発生したとしても、残り 2 つの出力が反転していなければ多数決回路により正常な値が出力される。しかし、フリップフロップの 3 重化や多数決回路の挿入により、通常のフリップフロップに比べ面積や遅延時間、消費電力のオーバーヘッドがある。そのため、冗長化によらないソフトエラー対策が必要である。

2.3.2 デバイスレベルでの対策

デバイスレベルでの対策としては SOI 構造が用いられる [8]。SOI はプレーナ型の CMOS 回路の一種である。シリコン基板とトランジスタの間に、絶縁層として埋め込み酸化膜 (BOX 層) が挿入されている。絶縁物としては主に SiO_2 やサファイアが

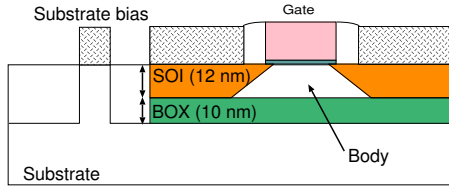


図 4 SOTB (Silicon On Thin Box) の断面図

用いられる．SOI の利点としては，BOX 層を挿入することにより，トランジスタの寄生容量を小さくすることができ，高速動作，低電圧での動作が可能である．さらに BOX 層以下の基板で発生したキャリアは絶縁膜層によって遮られ，拡散層では収集されないためバルク構造と比較してソフトエラーに強い．

SOI の中でも BOX 層が非常に薄い SOTB (Silicon On Thin BOX) がルネサスエレクトロニクスにより研究開発されている．図 4 に SOTB の断面図を示す．SOTB は，トランジスタのチャンネルが完全に空乏化して BOX 層まで達する構造の完全空乏型 SOI (FDSOI: Fully Depleted SOI) の一種である．SOTB はシリコン基板の上に 10nm の極薄の絶縁膜と 12nm のシリコン薄膜 (SOI 層) が SOI 基板上に形成されたトランジスタである．トランジスタの動作を行う SOI 層には，不純物がわずかしが含まれないため，従来のバルク構造で問題となったトランジスタの特性ばらつきを減らすことが可能である [5]

3. デバイスシミュレーション

ここでは，デバイスシミュレーションの評価方法及び構築したデバイスモデルの特性評価を示す．

3.1 TCAD によるソフトエラー耐性の評価方法

デバイスシミュレーションを行うにあたり，Synopsys 社の Sentaurus を用いてソフトエラー耐性を評価する．

TCAD シミュレーションではそれぞれのレイアウトに沿ったデバイス構造を構築し，任意の LET (Linear Energy Transfer) 値を持つ粒子線を照射することができる．LET とは，照射する粒子線が単位距離を通過するときに物質に与えるエネルギーである．ラッチの電位が反転するときの LET 値 (臨界 LET) を求めて，比較することによってソフトエラー耐性を評価する．

図 5 は宇宙空間での放射線の LET 分布を示している．これより，宇宙では LET=40MeV-cm²/mg 以下の低 LET 放射線は高密度に存在するが，それ以上の高 LET 放射線は照射確率が低くなる [9]．宇宙では LET=60MeV-cm²/mg の耐性があれば十分と言える．

3.2 シミュレーションの準備

65nm SOTB プロセスのデバイス構造を，3D デバイスモデルで構築する．構築したデバイスモデルの特性を回路シミュレーション (SPICE) と比較した．V_{ds}=0V のときの C_{gg}-V_{gs} 特性の結果を図 6 に示す．SPICE 結果と重なるようにゲートの仕事関数を変化させて特性を平行移動し，ゲート酸化膜厚 (T_{ox}) を変化させて |V_{gs}|=1V のときの容量値が合うように調整した．V_{ds}=50mV のときの I_{ds}-V_{gs} 特性の結果を図 7 に示す．I_{ds}-V_{gs} 特性の電流量を移動度パラメータの中のラフネス散乱 A を変え

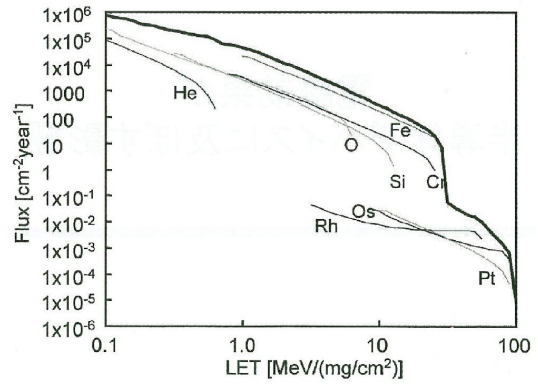
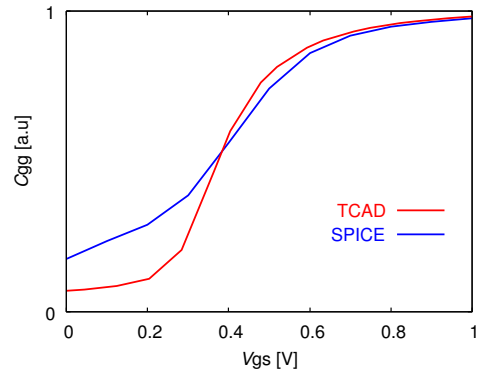
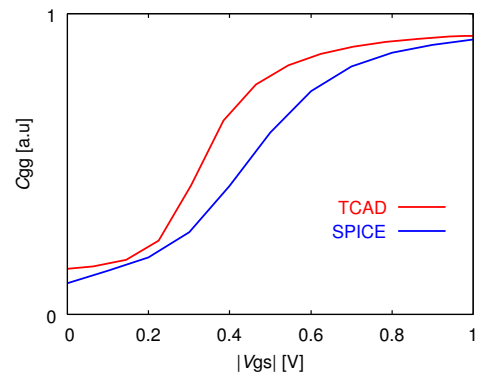


図 5 宇宙空間での放射線の LET 分布 [9]



(a) NMOS



(b) PMOS

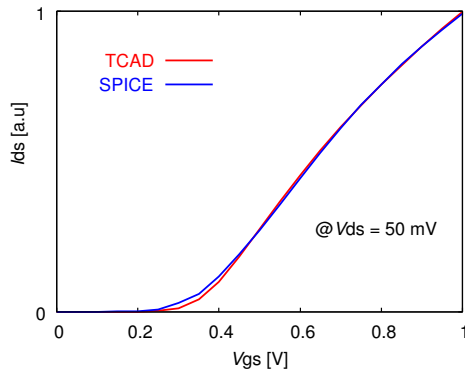
図 6 TCAD シミュレーションを用いて構築したデバイスの V_{ds}=0V のときの C_{gg}-V_{gs} 特性

て調整した．NMOS, PMOS とともに V_{gs}=0.4V 以上の I_{ds} の相対誤差の平均 2 乗平方根が 5% 以下になるようにした．

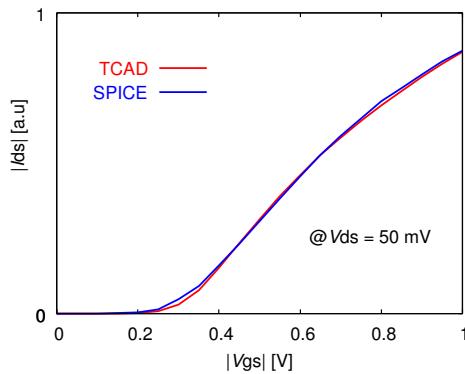
4. ソフトエラー耐性の評価

4.1 ラッチのソフトエラー耐性

図 8 に示す 2 個のインバータからなるラッチ回路を，3D 構造で TCAD 上に構築する．電源電圧が 0.8V のときに，ラッチ回路の片方のインバータの NMOS, PMOS トランジスタそれぞれに粒子線を衝突させた場合の臨界 LET を求める．NMOS と PMOS に当たった場合の臨界 LET を表 1 にまとめる．PMOS トランジスタに当たった方が NMOS より臨界 LET が約 1.4 倍高い．65nm SOTB プロセスでも NMOS トランジスタの方が



(a) NMOS



(b) PMOS

図 7 TCAD シミュレーションを用いて構築したデバイスの $V_{ds}=50\text{mV}$ のときの $I_{ds}-V_{gs}$ 特性

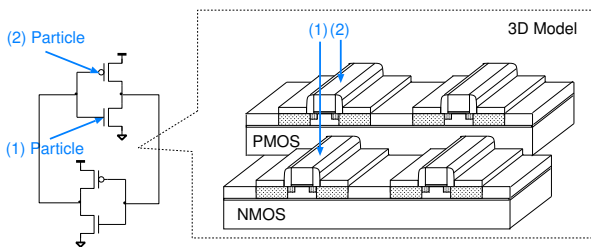


図 8 インバータで構成したラッチ回路

表 1 イオンが NMOS トランジスタに衝突した場合と PMOS トランジスタに衝突した場合のラッチの臨界 LET

| トランジスタ | 臨界 LET [MeV-cm ² /mg] |
|--------|----------------------------------|
| NMOS | 5.6 |
| PMOS | 7.9 |

PMOS よりソフトエラーに対して脆弱である。

4.2 素子を追加したラッチのソフトエラー耐性

本節ではトランジスタとキャパシタをインバータの出力に追加したラッチのソフトエラー耐性向上率を確認する。評価は、PMOS トランジスタをパストランジスタとして追加する場合とドレインとソースを接地してキャパシタとして追加する場合の 2 通りとキャパシタを追加する場合の合計 3 通りで行う。各評価回路を図 9 に示す。PMOS パストランジスタは 1 0 の変化においてしきい値以下の電圧を通さない。これにより SET パルスが抑制される。キャパシタを追加することによって反転

するのに必要な電荷量が増えるため臨界 LET が大きくなる。

a) PMOS パストランジスタを追加

図 9(a) のように、PMOS パストランジスタをインバータの出力に追加したラッチ回路の臨界 LET を求める。電源電圧を 0.8V、ノード N0 を 0V とし、ラッチ回路の片方のインバータの NMOS トランジスタに LET 値が 60MeV-cm²/mg の粒子線を照射したときの、ノード N1 と N2 の電圧の時間変化を比較する。比較結果を図 10(a) に示す。何も追加していない通常のラッチの NMOS トランジスタに照射した時の臨界 LET である 5.6MeV-cm²/mg であったが、その約 10 倍以上の LET 値である 60MeV-cm²/mg の粒子を照射しても保持値の反転は見られなかった。ノード N1 と N2 を比べると SET パルスの振幅は 45%抑えられ、PMOS パストランジスタを通過することにより約 0.35V に減衰している。これは、PMOS パストランジスタが 1 0 の変化においてしきい値以下の電圧を通さないからである。

b) PMOS トランジスタをキャパシタとして追加

図 9(b) のように、インバータの出力にソース・ドレインを接地して PMOS トランジスタを追加したラッチ回路の臨界 LET を求める。電源電圧を 0.8V、ノード N0 を 0V に設定して、ラッチ回路の片方のインバータの NMOS トランジスタに粒子を照射した時のノード N1 の電圧変化を LET 値を変え評価する。結果を図 10(b) に示す。臨界 LET は 6.4MeV-cm²/mg であり、追加前に比べて約 1.1 倍となる。

c) キャパシタを追加

図 9(c) のように、キャパシタをインバータの出力に追加したラッチ回路のソフトエラー耐性を求める。電源電圧を 0.8V、ノード N0 を 0V に設定して、ラッチ回路の片方のインバータの NMOS トランジスタに LET 値が 60MeV-cm²/mg の粒子線を照射しても保持値が反転しないキャパシタの容量を求める。結果を図 10(c) に示す。キャパシタの容量が 17fF のときに保持値は反転しなかった。PMOS パストランジスタを追加する結果と同等の耐性をとる。通常のラッチでは 5.7MeV-cm²/mg で反転したのに対し、60MeV-cm²/mg で反転しなかったことから反転するのに必要な電荷量が約 10 倍以上に増えた。

4.2.1 遅延時間の比較

FF に挿入して用いることを考慮して、TGFF 回路のマスターラッチとスレイブラッチのインバータとトライステートインバータの出力に各素子を追加した場合においてラッチの遅延時間を比べた結果を表 2 に示す。遅延時間の測定回路を図 11 (a) に示し、タイムチャートを図 11 (b) に示す。求め方は図 11 (b) のように、CLK の振幅の 50%から出力信号の振幅の 50%までの時間 (C-Q delay) を立ち上がりとし、立ち下がりにおいて求めて平均したものである。キャパシタを追加した場合、充電する時間が必要となる。そのため、容量が大きいと遅延時間が長くなる。ここではソフトエラー耐性を優先したため、遅延時間が通常の TGFF の約 8.54 倍となる。しかし、PMOS トランジスタ 1 つの容量では遅延時間は通常の TGFF の約 1.08 倍である。PMOS パストランジスタを追加した場合は遅延時間は通常の TGFF の約 1.26 倍である。

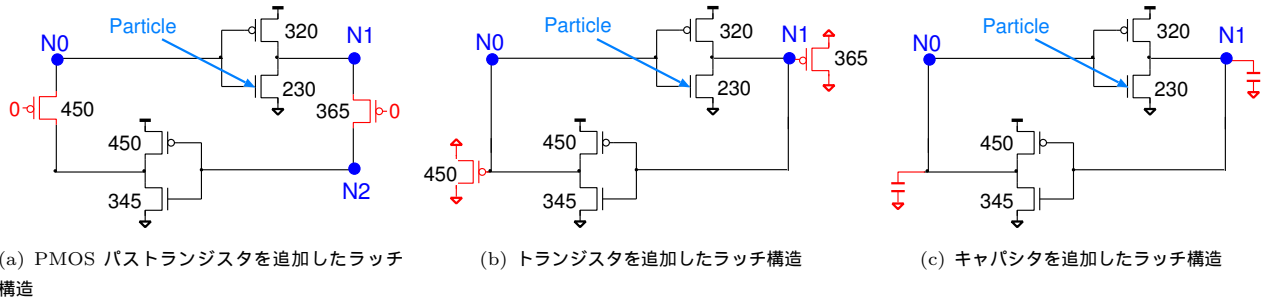
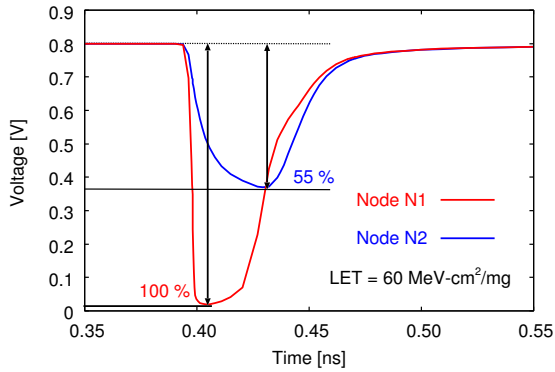
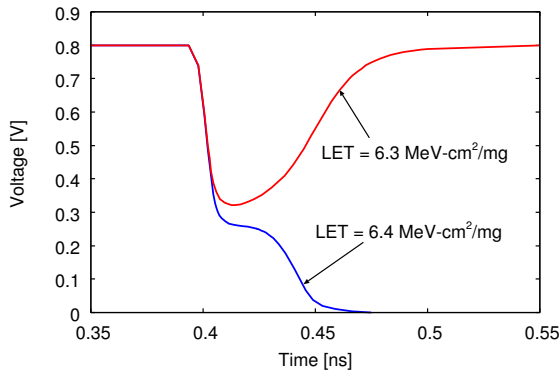


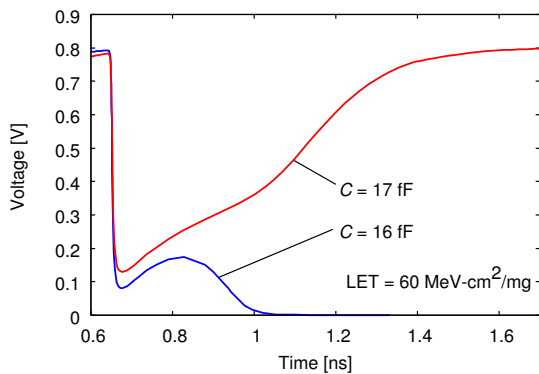
図 9 デバイスシミュレーションで評価するソフトエラー耐性ラッチの構造
(トランジスタ幅 (nm) を各トランジスタの横に示す)



(a) 図 9(a) のノード N1 とノード N2 の電圧時間変化



(b) 図 9(b) のノード N1 の電圧時間変化



(c) 図 9(c) のノード N1 の電圧時間変化

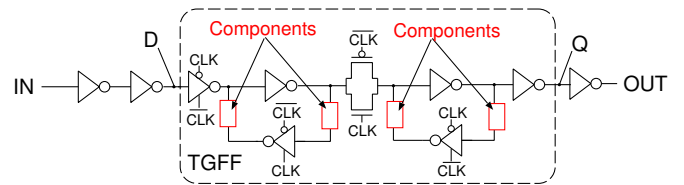
図 10 デバイスシミュレーションを用いた SEU 耐性の評価結果

5. 結 論

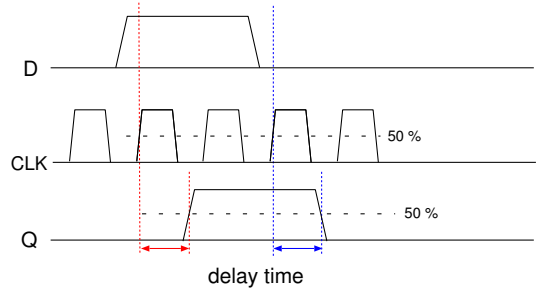
本論文では TCAD シミュレーションにより、パストランジ

表 2 遅延時間の比較

| 回路 | 遅延時間 |
|-------------------------|------|
| TGFF | 1.00 |
| TGFF (w/ PMOS パストランジスタ) | 1.26 |
| TGFF (w/ PMOS トランジスタ) | 1.08 |
| TGFF (w/ キャパシタ) | 8.54 |



(a) マスターラッチとスレイブラッチに素子を追加した TGFF 回路



(b) タイムチャート

図 11 遅延時間 (C-Q delay) の評価方法

スタや容量を追加した 65nm SOTB プロセスのラッチ回路のソフトエラー耐性を評価した。通常のラッチの臨界 LET より、NMOS に当たった場合の臨界 LET は PMOS と比べると約 2/3 となるのが分かった。NMOS で発生するソフトエラーの対策が特に必要である。最も有効な対策は PMOS パストランジスタをインバータの間に追加するものである。この対策により、60MeV-cm²/mg の LET までエラーが発生しない。通常のラッチと比較した場合、約 10 倍の臨界 LET となる。

キャパシタを追加したラッチ回路は、容量を大きくすることによって PMOS パストランジスタを追加したものと同等な耐性となるが書き換え時間が約 8 倍となる。加えたトランジスタの大きさが同じだが、PMOS トランジスタをキャパシタとして追加した TGFF は PMOS パストランジスタを追加した TGFF に比べて遅延時間が 17% 短い。しかし、PMOS パストランジスタを追加したラッチ回路がキャパシタとして追加したものに

比べてエラー耐性は約 9 倍以上向上している。

耐性だけでなく遅延時間を考慮してもラッチ回路に PMOS パストランジスタをラッチに追加するソフトエラー対策が最も有効であり，宇宙空間の使用にも耐え得る高い信頼性を実現できる。

謝 辞

本研究は，JSPS 科研費 15H02677 および，(株) ソシオネクストの助成を受けたものである。また，シミュレーション用の EDA 及びパラメータは，東京大学大規模集積システム設計教育研究センターを通し，シノプシス，ルネサスエレクトロニクスの提供で行われたものである。

文 献

- [1] G.E. Moore, “Cramming more components onto integrated circuits”, *Proceedings of the IEEE*, Vol. 86, (1998), pp. 82–85.
- [2] 戸坂義春, “知っておきたいソフト・エラーの実態”, 日経エレクトロニクス, 2005 年 7 月 24 日号, (2005).
- [3] A. H. Johnston, “The influence of VLSI technology evolution on radiation-induced latchup in space systems”, *IEEE Trans. Nucl. Sci.*, Vol. 43, No. 2, pp. 505–521, (1996).
- [4] S. M. Jahinuzzaman, D. J. Rennie, and M. Sachdev, “A Soft Error Tolerant 10T SRAM Bit-Cell With Differential Read Capability”, *IEEE Trans. Nucl. Sci.*, Vol. 56, No. 6, pp. 3768–3773, (2009).
- [5] Y. Morita, R. Tsuchiya, T. Ishigaki, N. Sugii, T. Iwamatsu, T. Ipposhi, H. Oda, Y. Inoue, K. Torii, and S. Kimura, “Smallest V_{th} variability achieved by intrinsic silicon on thin BOX (SOTB) CMOS with single metal gate”, *VLSI Tech. Symp.*, (2008), pp. 166–167.
- [6] P. Hazucha and C. Svensson, “Impact of CMOS Technology Scaling on the Atmospheric Neutron Soft Error Rate”, *IEEE Trans. Nucl. Sci.*, Vol. 47, No. 6, pp. 2586–2594, (2000).
- [7] L. Anghel, D. Alexandrescu, and M. Nicolaidis, “Evaluation of a Soft Error Tolerance Technique Based on Time and/or Space Redundancy”, *SBCCI '00*, p. 237, (2000).
- [8] D. Kobayashi, K. Hirose, H. Ikeda, and H. Saito, “Radiation-induced pulse noise in SOI CMOS logic”, *Int'l Symposium on Advanced Semiconductor-on-insulator Technology and Related Physics (in 219th ECS Meeting)*, (2011).
- [9] M. A. Xapsos, C. Stauffer, T. Jordan, J. L. Barth, and R. A. Mewaldt, “Model for Cumulative Solar Heavy Ion Energy and Linear Energy Transfer Spectra”, *IEEE Trans. Nucl. Sci.*, Vol. 54, No. 6, pp. 1985–1989, (2007).