

40 nm SiON プロセスにおけるランダムテレグラフノイズ 複合欠陥モデルを用いた回路解析手法

藪内 美智太郎[†] 大島 梓[†] 駒脇 拓弥[†] 岸田 亮[†] 古田 潤[†]
小林 和淑[†] PieterWeckx^{††,†††} BenKaczer^{†††} 松本 高士^{†††} 小野寺 秀俊^{††††}

[†] 京都工芸繊維大学 〒606-8585 京都府京都市左京区松ヶ崎

^{††} KU Leuven Oude Markt 13, 3000 Leuven, Belgium

^{†††} IMEC Remisebosweg 1, 3001 Leuven, Belgium

^{††††} 東京大学 VDEC 〒113-0032 東京都文京区弥生 2-11-16 武田先端知ビル

^{†††††} 京都大学 〒606-8501 京都府京都市左京区吉田本町

E-mail: [†]myabuuchi@vlsi.es.kit.ac.jp

あらまし 複合欠陥を考慮したランダムテレグラフノイズ (RTN: Random Telegraph Noise) モデルを用いた回路解析手法を提案する。従来の単一欠陥モデルでは 40 nm SiON プロセスの RTN を再現することができない。複合欠陥モデルを用いることでゲート酸化膜における HK 層と IL 層が異なる欠陥特性分布を持つことを考慮した回路解析が可能となる。提案手法では、リングオシレータにおける RTN 発振周波数変動の測定結果から欠陥特性値を推定し、モンテカルロ解析によって RTN 発振周波数変動の分布を再現する。試作チップによる測定結果と提案手法によって得られた解析結果を比較したところ、複合欠陥モデルは回路レベルにおける RTN を正確に再現できることが確認された。キーワード RTN (Random Telegraph Noise), defect-centric distribution, ばらつき, 信頼性, 回路設計

Circuit Simulation Method Using Bimodal Random Telegraph Noise Model of Defect-Centric Distribution on 40 nm SiON Process

Michitarou YABUUCHI[†], Azusa OSHIMA[†], Takuya KOMAWAKI[†], Ryo KISHIDA[†], Jun FURUTA[†], Kazutoshi KOBAYASHI[†], Pieter WECKX^{††,†††}, Ben KACZER^{†††}, Takashi MATSUMOTO^{††††}, and Hidetoshi ONODERA^{†††††}

[†] Kyoto Institute of Technology Matsugasaki, Sakyo-ku, Kyoto, Kyoto, 606-8585 Japan

^{††} KU Leuven Oude Markt 13, 3000 Leuven, Belgium

^{†††} IMEC Remisebosweg 1, 3001 Leuven, Belgium

^{††††} VDEC, University of Tokyo Yayoi 2-11-16, Bunkyo-ku, Tokyo, 113-0032 Japan

^{†††††} Kyoto University Yoshidahonmachi, Sakyo-ku, Kyoto, Kyoto, 606-8501 Japan

E-mail: [†]myabuuchi@vlsi.es.kit.ac.jp

Abstract We propose a circuit analysis method using the bimodal RTN (random telegraph noise) model of the defect-centric distribution. The conventional unimodal model fails to replicate the effect of RTN on 40 nm SiON process circuits. The bimodal model takes into account defect characteristics of both HK and interface layer in gate dielectric. The proposed method estimates defect characteristics and reproduces frequency distributions by RTN. We confirm the bimodal model fully replicates the effect of RTN by comparing simulation and measurement results of 40 nm test chips.

Key words RTN (Random Telegraph Noise), defect-centric distribution, variation, reliability, circuit design

1. 序 論

微細プロセスの大規模集積回路においては従来より PVT ばらつきを考慮した信頼性設計がなされているが、近年では MOSFET の動的なばらつきであるランダムテレグラフノイズ (RTN: Random Telegraph Noise) の重要度が高まっている [1]。図 1 に RTN の物理的な発生原因である酸化膜欠陥によるキャリアの捕獲・放出の模式図を示す [2]。RTN によるキャリアの増減は電源電圧が印加されている MOSFET で発生し、ドレイン・ソース間の電流量がランダムに変動する。RTN はトランジスタレベルにおいてはしきい値電圧 V_{th} の時間的な変動としてモデル化される [3]。RTN は CMOS イメージセンサ、フラッシュメモリ、SRAM などの信頼性に重大な影響を及ぼすことが報告されている [4] ~ [6]。このことから回路設計者は RTN による回路動作への影響を考慮する必要がある。

酸化膜欠陥に起因するしきい値電圧変動量 ΔV_{th} が従う分布として Defect-centric distribution が提案されている [7]。この分布ではキャリアを捕獲している欠陥の個数の期待値 N と各欠陥による ΔV_{th} の期待値 η を用いることで RTN の MOSFET 動作への影響を見積もる [8], [9]。RTN による離散的な ΔV_{th} は BTI (Bias Temperature Instability) と同様のメカニズムで発生する [7]。40 nm プロセス以降の酸化膜欠陥に HK 層と IL 層を持つ MOSFET においては 2 つの層ごとにそれぞれ異なる N と η (計 4 変数) を用いなければ BTI による ΔV_{th} の分布を再現できない [10]。RTN についても同様に酸化膜の層ごとの欠陥特性変数を用いることで ΔV_{th} の分布を再現可能である [11]。従来の単一層の欠陥しか考慮していない Unimodal model に対して、このような複数の酸化膜の層を考慮したモデルを Bimodal model と呼ぶ。微細プロセスにおいては Bimodal model の RTN を考慮して回路設計をおこなわなければならないが、その回路解析手法についてはほとんど報告されていない。これは 4 つの欠陥特性値を用いた RTN の予測は従来の 2 変数の場合と比較して困難であることが原因である。

本稿では Defect-centric distribution の Bimodal model を用いた回路解析手法と欠陥特性推定手法を提案する。提案手法には次のような特長がある。

- HK 層を持つ 40 nm プロセス以降の Bimodal model の RTN による ΔV_{th} 分布を回路解析で再現することで回路のばらつきを見積もる
- 40 nm プロセス試作チップに搭載したリングオシレータの発振周波数測定結果から HK 層および IL 層の欠陥特性モデルパラメータを推定する

上記特長により、提案手法では複数の欠陥層を持つ 40 nm プロセス以降の回路設計における RTN ばらつき見積りが可能となる。本稿の構成は下記の通りである。第 2 節では RTN の物理的な発生原因に基づいた MOSFET レベルにおけるモデリングについて説明し、試作チップの測定結果と回路レベルにおける RTN 評価手法を述べる。第 3 節では RTN 回路解析するための欠陥特性推定アルゴリズムについて説明し、測定結果と回路解析結果の比較をおこなう。第 4 節では結論を述べる。

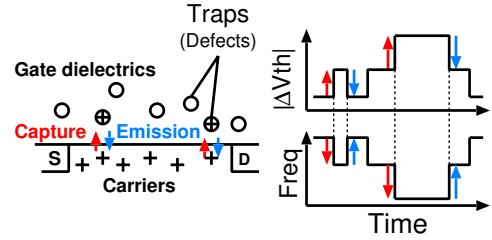


図 1 酸化膜欠陥によるキャリアの捕獲と放出による RTN の発生。

2. RTN モデルおよび回路レベル予測手法

本節では RTN の物理に基づいた単体 MOSFET レベルのモデルについて説明し、40 nm プロセス試作チップの測定結果を用いて回路レベルの RTN を予測する手法を述べる。

2.1 単体 MOSFET レベルの RTN モデル

単体 MOSFET における RTN による ΔV_{th} は Defect-centric distribution と呼ばれる酸化膜欠陥の物理的な挙動に基づく分布に従うことが知られている [7]。図 2 に示すように ΔV_{th} の平均値はキャリアを捕獲している欠陥個数の期待値 N と各欠陥による ΔV_{th} の期待値 η の積となる。欠陥特性について、 N は式 (1) で表される [12]。

$$N = LWD \quad (1)$$

ここで D は酸化膜欠陥密度である。一方で、 η と $1/LW$ は式 (2) の比例関係となる [13]。

$$\eta = \frac{s}{LW} \quad (2)$$

ここで s は係数である。欠陥個数はポアソン分布、各欠陥の ΔV_{th} は指数分布に従うため、 ΔV_{th} の分布は式 (3) の累積密度関数 (CDF: Cumulative Density Function) で表される。

$$F_{N,\eta}(\Delta V_{th}) = \sum_{n=0}^{\infty} \frac{e^{-N} N^n}{n!} F_{n,\eta}(\Delta V_{th}) \quad (3)$$

これはポアソン分布の重み付け項と n 番目の欠陥による ΔV_{th} の CDF である $F_{n,\eta}(\Delta V_{th})$ を組み合わせたものである。Defect-centric distribution における ΔV_{th} の平均値 $\mu_{\Delta V_{th}}$ と標準偏差 $\sigma_{\Delta V_{th}}$ を式 (4,5) に示す。

$$\mu_{\Delta V_{th}} = N\eta \quad (= \text{constant}) \quad (4)$$

$$\sigma_{\Delta V_{th}} = \sqrt{2N\eta^2} \quad (\propto 1/\sqrt{LW}) \quad (5)$$

MOSFET のサイズ (LW) が小さくなくても $\mu_{\Delta V_{th}}$ は変わらないが、 $\sigma_{\Delta V_{th}}$ は大きくなる。同一個数の MOSFET を集積した場合では微細プロセスのほうが、RTN による ΔV_{th} の分布の範囲は広がる。このことから MOSFET の微細化によって RTN の影響が深刻化することがわかる。

図 3 に酸化膜欠陥材料と Defect-centric distribution のモデルの関係を示す。単一層の欠陥のみを考慮する式 (3) の単一欠陥モデル (Unimodal model) は (a) の $\text{SiO}_2/\text{Poly-Si}$ プロセスの RTN を再現することができるが、HK 層のあるプロセスには

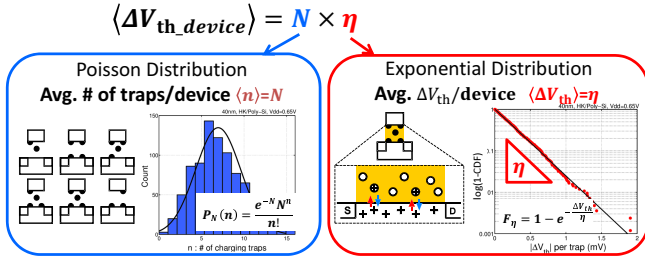


図2 単体 MOSFET における RTN による ΔV_{th} 予測 .

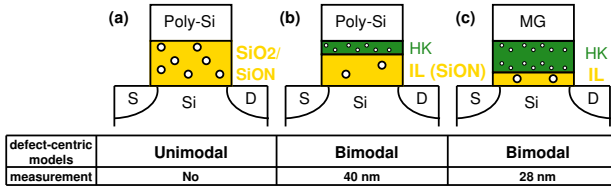


図3 酸化膜欠陥材料と Defect-centric distribution のモデル (a) $\text{SiO}_2/\text{Poly-Si}$, (b) Ultra thin HK/Poly-Si, (c) HKMG プロセス .

利用できない [10] . HK 層のある (b) の Ultra thin HK/Poly-Si および (c) の HKMG プロセスにおいては HK 層と IL 層それぞれの N と η を個別に考慮する必要があり, これらを順に N_{HK} , N_{IL} , η_{HK} , η_{IL} と呼ぶ . このような複合欠陥モデル (Bimodal model) の CDF は式 (6) で表される .

$$F_{N_1, N_2, \eta_1, \eta_2}(\Delta V_{th}) = \sum_{n_1=0}^{\infty} \sum_{n_2=0}^{\infty} \frac{e^{-N_1} N_1^{n_1}}{n_1!} \frac{e^{-N_2} N_2^{n_2}}{n_2!} F_{n_1, n_2, \eta_1, \eta_2}(\Delta V_{th}) \quad (6)$$

式中の添字 1 と 2 の変数はそれぞれ HK 層と IL 層に対応している . 本稿では特に Bimodal model の場合について議論をすすめる .

2.2 試作チップにおける RTN 測定

試作チップを用いた発振周波数変動の測定方法と RTN の評価手法について述べる . 図 4 に示す構造のリングオシレータ (RO: Ring Oscillator) を 840 個搭載したチップを 40 nm HK/Poly-Si プロセスにて試作した . このプロセスは図 3 では (b) にあたるものであり, HK 層を持っている . HK 層はゲートの仕事関数を最適化し V_{th} を制御するためにドーパされる [14] . RO を用いることで多数の MOSFET における RTN の影響を, 効率的に発振周波数変動 (遅延変動) として観測することができる . しかし, RO に含まれる個々の MOSFET の ΔV_{th} を直接観測することはできない . チップ間ばらつきの影響を排除するために 1 つのチップから得られた測定データだけを用いて議論を進める .

図 5 に単一の RO の発振周波数を測定するためのタイミングチャートを示す . 周期的に発振と停止を繰り返し, チップ上のカウンタで一定の発振期間における発振回数を記録する . 測定条件は $\Delta t = 2.2$ ms, $t_{total} = 20$ s, $V_{dd} = 0.65$ V とする . 840 個の RO のそれぞれに対して 9,024 回の発振測定を実施する . RTN の影響により, 同一の RO であっても発振周波数 (発振回数) が測定回ごとに変動する様子が観測される . 測定に関す

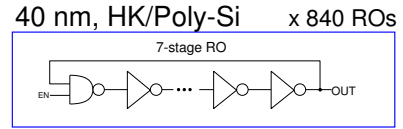


図4 40 nm プロセスで試作した発振周波数変動の測定回路 (リングオシレータ) .

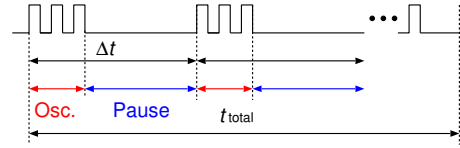


図5 RTN による発振周波数変動測定のためのタイミングチャート .

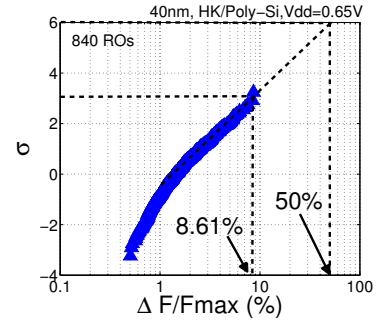


図6 40 nm プロセス試作チップにおける 840 個の RO の $\Delta F/F_{max}$ の測定結果 .

る時間, 回数などについては測定器やカウンタの諸条件を鑑みて決定した .

RTN による発振周波数変動の指標として式 (7) を用いる .

$$\frac{\Delta F}{F_{max}} = \frac{F_{max} - F_{min}}{F_{max}} \quad (7)$$

ここで F_{max} と F_{min} は 9,024 回の測定中で最も発振周波数が高かったものと低かったものである . 本稿では酸化膜欠陥によるキャリアの捕獲が一切なされていない条件の発振周波数を F_{max} , 観測可能な酸化膜欠陥がすべてキャリアを捕獲している条件の発振周波数を F_{min} と仮定している . 式 (7) は単一 RO における RTN の影響を表す .

図 6 に $\Delta F/F_{max}$ の測定結果を示す . 縦軸は標準正規分布関数, 横軸は $\Delta F/F_{max}$ である . 測定した 840 個の RO では RTN による影響が最大のもので 8.61% となった . 測定結果の母分布が対数正規分布という仮定のもと $+6\sigma$ 点の発振周波数変動を見積もった場合, $\Delta F/F_{max} = 50\%$ となる . しかし, RTN の単体 MOSFET における ΔV_{th} は Defect-centric distribution に従うため, 実際には回路レベルの RTN の影響を対数正規分布から予測することはできない .

2.3 回路レベルにおける RTN 予測

回路設計において RTN の影響を予測するためには, 回路のネットリストなどに本節で示した MOSFET レベルの RTN モデルを組み込む必要がある . 本稿では試作チップにより測定した RO の発振周波数変動をモンテカルロ解析で再現することを目標とする . そのためには試作チップの MOSFET の欠

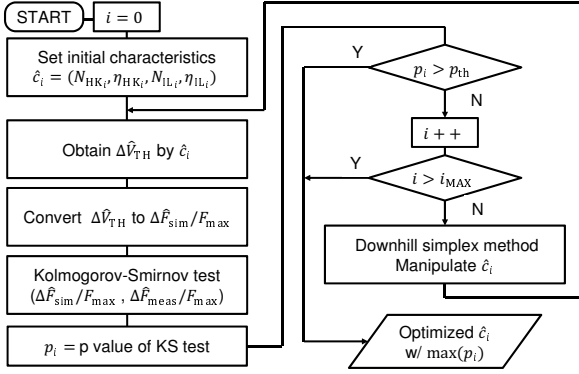


図 7 欠陥特性推定アルゴリズム .

陥特性を知る必要がある．試作チップは 40 nm SiON プロセスで製造されているため，RTN による MOSFET の ΔV_{th} は Defect-centric distribution の Bimodal model に従うことが予想される．このことから，測定結果より N_{HK} , N_{IL} , η_{HK} , η_{IL} の 4 変数を推定する必要がある．

3. 欠陥特性変数の推定と RTN 回路解析

本節では RO を 840 個搭載した試作チップによる RTN 測定結果から，RTN の Defect-centric distribution における欠陥特性変数を推定する手法を説明する．本手法によって得られた変数を用いた回路解析結果を示し，測定結果と一致していることを確認する．

図 7 に欠陥特性推定のアルゴリズムを示す．まず，欠陥特性ベクトル \hat{c}_i から Defect-centric distribution に従い，回路に含まれる MOSFET の個数分の要素を持つしきい値電圧変動量ベクトル $\Delta \hat{V}_{th}$ を計算する．次に，事前の回路解析にて得られた感度を用いて $\Delta \hat{V}_{th}$ を発振周波数変動量ベクトル $\Delta \hat{F}_{sim}/F_{max}$ に変換する．この $\Delta \hat{F}_{sim}/F_{max}$ と測定値 $\Delta \hat{F}_{meas}/F_{max}$ に対してコルモゴロフスミルノフ検定 (KS 検定: Kolmogorov-Smirnov test) をおこなう．KS 検定で得られた p_i が目標値 p_{th} よりも大きくなるか，繰り返し数が上限 i_{MAX} に達するまで，滑降シンプレックス法 (DS 法: Downhill Simplex Method) によって \hat{c}_i を操作してループを繰り返す．

3.1 しきい値電圧変動に対する発振周波数変動の感度解析

回路レベルにおける ΔV_{th} に対する $\Delta F/F_{max}$ の感度解析について述べる．図 7 のアルゴリズムでは RTN が発生した場合における回路の発振周波数を求める必要があるが，その都度回路解析をおこなうと多くの時間を要してしまう．本稿では計算を効率的におこなうため事前に MOSFET ごとの感度を解析しておき，簡便に発振周波数変動量を求められるようにしている．

回路中の個々の MOSFET の ΔV_{th} と $\Delta F/F_{max}$ の関係について説明する．RO 内のある MOSFET で $\Delta V_{th,i}$ のしきい値電圧変動が起こったときの発振周波数変動量を ΔF_i とすると式 (8) が成り立つ．

$$\Delta F_i \approx k_i \Delta V_{th,i} \quad (8)$$

ここで k_i はしきい値電圧変動に対する発振周波数変動の感度である．感度は MOSFET ごとに異なり，電源電圧等によ

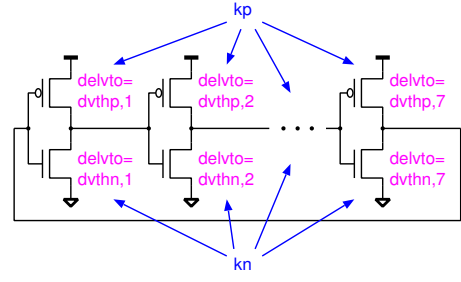


図 8 MOSFET ごとのしきい値電圧変動量 ($i = 1$ から 7 で図中 $dv_{thn,i}$ と $dv_{thp,i}$) と NMOS および PMOS の感度 (k_n および k_p) の模式図 .

ても変化する．しかし，図 9 の解析回路においては同じ構造の INV が直列接続されているため，各段ごとの感度は等しいとみなせる．各段ごとの発振周波数変動量 $\Delta F_{INV,i}$ とすると， $\Delta F/F_{max}$ について式 (9) が成り立つ．

$$\begin{aligned} \Delta F/F_{max} &= \frac{1}{F_{max}} \sum \Delta F_{INV,i} \\ &= \frac{1}{F_{max}} \sum (k_n \Delta V_{thn,i} + k_p \Delta V_{thp,i}) \end{aligned} \quad (9)$$

ここで， k_n と k_p は単体 NMOS, PMOS の感度， $\Delta V_{thn,i}$ と $\Delta V_{thp,i}$ は i 段目の NMOS と PMOS の ΔV_{th} である．図 8 に模式図を示す．従って回路に含まれる単体 MOSFET の感度が明らかになれば，RTN が発生した場合の $\Delta F/F_{max}$ を求めることができる．

図 9 に解析回路 (RO) を示す．この解析回路は 2. 節で示した測定回路と同様の構造を模しているが，測定回路に含まれる発振制御用の NAND は INV に置き換えたものとなっている．表 1 にシミュレーション条件を示す．RO に含まれる単体 NMOS および PMOS の $|\Delta V_{th}|$ を 0 mV から 5 mV まで変動させて感度解析をおこなう．変動範囲は 40 nm プロセスにおける単体 MOSFET の RTN によるしきい値電圧変動が数 mV オーダーであることから決定した． F_{max} の測定値と解析値を合わせるために全てのトランジスタのしきい値電圧を ΔV_{th} とは別に一定値シフトさせている．

図 10 に解析結果を示す．横軸は $|\Delta V_{th}|$ ，縦軸は $\Delta F/F_{max}$ である．いずれもほぼ線形になっていることが確認できる．結果が離散的に変化している様子が見られるが，これは SPICE の計算誤差もしくはピニングによる影響と推測される．

最小二乗法によるフィッティング関数は式 (10, 11) で表される．

$$f(\Delta V_{thn}) = 0.7719 \times \Delta V_{thn} \quad (10)$$

$$g(\Delta V_{thp}) = 1.782 \times \Delta V_{thp} \quad (11)$$

それぞれ漸近的標準誤差は 0.589%, 0.265% である．これらの一次近似式を用いて欠陥特性の推定をおこなう．

3.2 欠陥特性ベクトルの作成

欠陥特性ベクトル \hat{c}_i の作成について述べる．各欠陥はそれぞれ 4 つの欠陥特性 N_{HK} , η_{HK} , N_{IL} , η_{IL} を持つ．本手法では初期シンプレックスとして 5×4 行列を作成する．このシンプ

表 1 シミュレーション条件 .

Tr モデル	40 nm HK/Poly-Si 標準
セルサイズ	N/PMOS 共通 $L/W = 44/88$
電源電圧	0.65 V

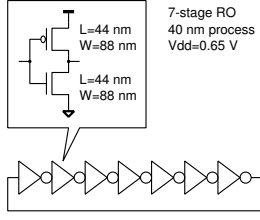


図 9 シミュレーション回路 .

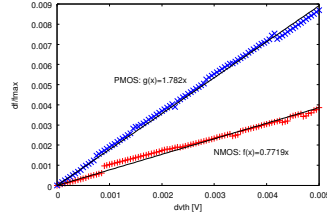


図 10 発振周波数感度特性 .

レックスの各頂点がそれぞれ \hat{c}_i となる .

初期シンプレックスは任意の値を設定すればよいが , 計算の収束を早めるために以下の指針で決定している . 具体的には測定結果から ΔV_{th} の平均値 $\mu_{\Delta V_{th}}$ を読み取り , その値から欠陥特性値を仮定するという手順である .

図 6 に示す測定結果から $\Delta F/F_{max}$ の分布のおよその平均値を読み取ることができる . 式 (9) において $\Delta F/F_{max} = \mu_{\Delta F/F_{max}}$ のとき $\Delta V_{thn,i} = \Delta V_{thp,i} = \mu_{\Delta V_{th}}$ とすれば , 式 (12) によって $\mu_{\Delta V_{th}}$ を求められる .

$$\mu_{\Delta V_{th}} = \mu_{\Delta F/F_{max}} / i \times (k_n + k_p) \quad (12)$$

Defect-centric distribution における $\mu_{\Delta V_{th}}$ および $\sigma_{\Delta V_{th}}$ は 2. 節で述べた通り式 (4,5) で表される . 酸化膜の HK 層と IL 層におけるしきい値電圧変動量の平均の和が全体のしきい値電圧変動量の平均 $\mu_{\Delta V_{th}}$ とすると , 式 (13) が成り立つ .

$$\begin{aligned} \mu_{\Delta V_{th}} &= \mu_{\Delta V_{th,HK}} + \mu_{\Delta V_{th,IL}} \\ &= N_{HK}\eta_{HK} + N_{IL}\eta_{IL} \end{aligned} \quad (13)$$

HK 層と IL 層の寄与の割合は未知であるが , ここで $\mu_{\Delta V_{th,HK}} : \mu_{\Delta V_{th,IL}} = 1 : 1$ と仮定する . 経験的に N_{HK} が数個程度 , η_{IL} が数 mV 程度であるため , このことも条件に加えて初期シンプレックスの各頂点の値を計算する . このように測定結果からおおよその欠陥特性を計算することで , 物理的に妥当な初期シンプレックスを作成することができる .

3.3 しきい値電圧変動量ベクトルおよび発振周波数変動量ベクトルの作成

しきい値電圧変動量 ΔV_{th} ベクトル $\Delta \hat{V}_{th}$ の作成について述べる . シンプレックスの一つの頂点の \hat{c} に対して , Defect-centric distribution に従う乱数として ΔV_{th} の計算を $n_{tr} \times 840$ 回おこない $\Delta \hat{V}_{th}$ を作成する . ここで n_{tr} は MOSFET 数であり , ここでは 14 である . つまり $\Delta \hat{V}_{th}$ は各 MOSFET の RTN による ΔV_{th} のばらつきを再現するものである . この手法では NMOS と PMOS の ΔV_{th} の分布について欠陥特性が同じであると仮定している . しかし , 実際には欠陥特性が異なることが知られている . この点は今後の検討課題として挙げられる .

発振周波数変動量ベクトル $\Delta \hat{F}_{sim}/F_{max}$ の作成について述べる . 試作チップによる測定結果は発振周波数変動量であるた

め , 直接的に $\Delta \hat{V}_{th}$ と比較することはできない . 本手法では事前に求めた感度 k_n と k_p により $\Delta \hat{V}_{th}$ を $\Delta \hat{F}_{sim}/F_{max}$ に変換して解析値と測定値を比較する .

3.4 コルモゴロフスミルノフ検定による発振周波数変動量ベクトルの解析値と測定値の比較

2 つの有限個の標本の母集団の確率分布が同じかを調べるには一般的に 2 標本 KS 検定が用いられる . KS 検定の検定統計量は 2 つの標本の分布の累積分布関数間の差の最大値であり , 式 (14) で表される .

$$D^* = \max_x (|\hat{P}_1(x) - \hat{P}_2(x)|) \quad (14)$$

$\hat{P}_1(x)$ と $\hat{P}_2(x)$ は x 以下の各標本の値の割合である . KS 検定における帰無仮説は「2 つの標本の母集団の確率分布が同じ」であるため , 一般的な仮説検定と異なり確率値 p_i が大きいほどよい . 本手法では測定結果の発振周波数変動量ベクトル $\Delta \hat{F}_{meas}/F_{max}$ と $\Delta \hat{F}_{sim}/F_{max}$ に基づく KS 検定をおこない , 各 \hat{c}_i に対する p_i を求める .

3.5 滑降シンプレックス法による欠陥特性ベクトルの操作

滑降シンプレックス法 (DS 法) とは多次元変数の最適化問題の解法として一般的に用いられる手法である . DS 法ではシンプレックスの各頂点を構成する探索点について 4 つの基本操作 (反射 , 拡大 , 縮小 , 収縮) を繰り返しおこなうことで目的関数値が最小になる点を求める . N 次元関数に対しては $N + 1$ 次元シンプレックスが用いられるため , 本手法ではシンプレックスは 5 次元となり , 頂点は \hat{c}_i , 関数値は p_i である . 従って , 初期シンプレックスは 4×5 行列とする .

収束条件は $p_i < p_{th}$ とした . いずれかの p_i が目標値を超えなかった場合は i_{MAX} 回を上限としてループを終了し , 最も p_i が高いものを推定結果とする .

3.6 欠陥特性の推定結果と RTN の見積もり

2. 節で示した測定結果をもとに本手法で得られた欠陥特性値を用いてモンテカルロ解析により RTN 発振周波数変動分布を再現する .

解析回路および解析条件は図 9 および表 1 に示したものと同様である . Defect-centric distribution に従う ΔV_{th} を MOSFET ごとに計算する . 欠陥特性の推定結果は $p_{th} = 99\%$, $i_{MAX} = 1000$ として得られた $(N_{HK}, \eta_{HK}, N_{IL}, \eta_{IL}) = (4.00, 0.121 \text{ mV}, 0.142, 3.17 \text{ mV})$, $p = 99.6\%$ であり , これらの欠陥特性値を用いて計算をおこなった . 840 回のモンテカルロ回路解析を実施して発振周波数変動量の分布を得る .

図 11 と図 12 に \hat{c} から得られた $\Delta \hat{F}_{sim}/F_{max}$ と比較のための $\Delta \hat{F}_{meas}/F_{max}$ の分布を示す . それぞれの図の縦軸は標準正規分布関数 , 横軸は $\Delta F/F_{max}$ である . これらの結果から本手法により試作チップの欠陥特性が推定されたことが確認できる .

2 つの分布の概形は同じであるが , 解析結果の方が全体的に $\Delta F/F_{max}$ が小さい . これは欠陥特性を推定する際に用いている感度が一次近似式より得られたものであり , 実際に回路解析した結果と誤差があるためだと考えられる .

本手法を用いることにより , 回路解析で RTN の影響を見積もることができる . 回路設計において本手法を応用することで

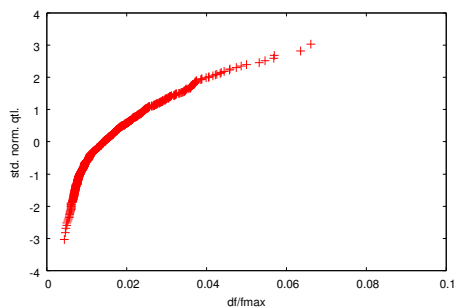


図 11 推定結果から予測した $\Delta\hat{F}_{\text{sim}}/F_{\text{max}}$ の分布.

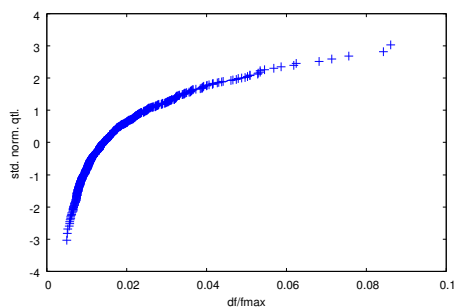


図 12 測定した $\Delta\hat{F}_{\text{meas}}/F_{\text{max}}$ の分布.

スタンダードセルライブラリにおける RTN 考慮したタイミング解析や、メモリセルの歩留り解析において RTN の影響を考慮することができると思われる。

4. 結 論

本稿では 40 nm SiON プロセスにおける Defect-centric distribution の Bimodal Model を用いた回路解析手法と欠陥特性推定手法について提案した。40 nm よりも微細なプロセスでは製造時ばらつきに加えて RTN を考慮したばらつき対策をおこなう必要があるが、従来の Unimodal Model では正確に RTN を再現することができない。提案手法では酸化膜層ごとに分けて欠陥特性を設定した Bimodal Model を用いる。RTN によるしきい値電圧変動を見積もるために、RTN 発振周波数変動の測定結果から MOSFET の欠陥特性値を推定する手法を提案した。回路レベルにおいて RTN 発振周波数変動をモンテカルロ解析することで、試作チップにおける RTN ばらつきを正確に再現できることを示した。

今後の課題として、スタンダードセルやベンチマーク回路などの RO よりも複雑な回路への応用の検討が挙げられる。このためモンテカルロ計算の高速化手法の導入などを考えていく予定である。

謝 辞

本研究は JSPS 科研費 15H02677 の助成を受けて実施したものである。本研究は東京大学大規模集積システム設計教育センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社、ルネサスエレクトロニクス株式会社の協力で行われたものである。

文 献

- [1] B. Kaczer, J. Franco, P. J. Roussel, G. Groeseneken, T. Chiarella, N. Horiguchi, and T. Grasser, "Extraction of the Random Component of Time-Dependent Variability Using Matched Pairs," *IEEE Electron Device Letters*, vol. 36, no. 4, pp. 300–302, April 2015.
- [2] T. Matsumoto, K. Kobayashi, and H. Onodera, "Impact of random telegraph noise on CMOS logic circuit reliability," in *IEEE CICC*, Sept. 2014, pp. 1–8.
- [3] K. Ito, T. Matsumoto, S. Nishizawa, H. Sunagawa, K. Kobayashi, and H. Onodera, "The Impact of RTN on Performance Fluctuation in CMOS Logic Circuits," in *IRPS*, Apr. 2011, pp. CR.5.1–CR.5.4.
- [4] K. H. Joo, C. R. Moon, S. N. Lee, X. Wang, J. K. Yang, I. S. Yeo, D. Lee, O. Nam, U. I. Chung, J. T. Moon, and B. I. Ryu, "Novel Charge Trap Devices with NCBO Trap Layers for NVM or Image Sensor," in *IEDM*, Dec 2006, pp. 1–4.
- [5] H. Kurata, K. Otsuga, A. Kotabe, S. Kajiyama, T. Osabe, Y. Sasago, S. Narumi, K. Tokami, S. Kamohara, and O. Tsuchiya, "Random Telegraph Signal in Flash Memory: Its Impact on Scaling of Multilevel Flash Memory Beyond the 90-nm Node," *IEEE JSSC*, vol. 42, no. 6, pp. 1362–1369, June 2007.
- [6] M. Yamaoka, H. Miki, A. Bansal, S. Wu, D. J. Frank, E. Leobandung, and K. Torii, "Evaluation methodology for random telegraph noise effects in SRAM arrays," in *IEDM*, Dec 2011, pp. 32.2.1–32.2.4.
- [7] B. Kaczer, T. Grasser, P. Roussel, J. Franco, R. Degraeve, L. A. Ragnarsson, E. Simoen, G. Groeseneken, and H. Reisinger, "Origin of nbtI variability in deeply scaled pFets," in *IEEE IRPS*, 2010, pp. 26–32.
- [8] B. Kaczer, C. Chen, P. Weckx, P. Roussel, M. Toledano-Luque, J. Franco, M. Cho, J. Watt, K. Chanda, G. Groeseneken, and T. Grasser, "Maximizing reliable performance of advanced CMOS circuits—a case study," in *IEEE IRPS*, June 2014, pp. 2D.4.1–2D.4.6.
- [9] A. Oshima, P. Weckx, B. Kaczer, K. Kobayashi, and T. Matsumoto, "Impact of Random Telegraph Noise on Ring Oscillators Evaluated by Circuit-level Simulations," in *ICICDT*, June 2015.
- [10] P. Weckx, B. Kaczer, C. Chen, J. Franco, E. Bury, K. Chanda, J. Watt, P. J. Roussel, F. Catthoor, and G. Groeseneken, "Characterization of time-dependent variability using 32k transistor arrays in an advanced HK/MG technology," in *IRPS*, 2015, pp. 3B.1.1–3B.1.6.
- [11] A. Oshima, T. Komawaki, K. Kobayashi, R. Kishida, P. Weckx, B. Kaczer, T. Matsumoto, and H. Onodera, "Physical-Based RTN Modeling of Ring Oscillators in 40-nm SiON and 28-nm HKMG by Bimodal Defect-Centric Behaviors," in *SISPAD*, Sept. 2016, pp. 327–330.
- [12] M. Toledano-Luque, B. Kaczer, J. Franco, P. Roussel, T. Grasser, T. Hoffmann, and G. Groeseneken, "From mean values to distributions of BTI lifetime of deeply scaled FETs through atomistic understanding of the degradation," in *VLSIT*, June 2011, pp. 152–153.
- [13] K. Takeuchi, T. Nagumo, S. Yokogawa, K. Imai, and Y. Hayashi, "Single-charge-based modeling of transistor characteristics fluctuations based on statistical measurement of RTN amplitude," in *VLSIT*, June 2009, pp. 54–55.
- [14] H. Nakamura, et al., "55nm CMOS Technology for Low Standby Power/Generic Applications Deploying the Combination of Gate Work Function Control by HfSiON and Stress-Induced Mobility Enhancement," in *Symposium on VLSI Technology*, 2006, pp. 158–159.