

PHITS-TCAD シミュレーションによる FinFET と FDSOI のソフトエラー耐性の評価

梅原 成宏[†] 古田 潤[†] 小林 和淑[†]

[†] 京都工芸繊維大学

あらまし 集積回路の微細化に伴い、ソフトエラーによる信頼性の低下が問題となっている。近年、SOI や FinFET のような従来と異なる構造が用いられるようになったため、ソフトエラーを評価するためのシミュレーション手法の再検討が必要となってきている。SOI と FinFET のソフトエラー耐性を PHITS-TCAD シミュレーションを用いて評価した。これは核反応計算コードである PHITS とデバイスシミュレーションで構成される。本稿では PHITS-TCAD シミュレーションにより、28nm FDSOI と 22nm FinFET のソフトエラー率の電源電圧依存性の評価、比較を行った。電源電圧が 1V から 0.4V のとき、22nm FinFET のソフトエラー率は 28nm FDSOI の 10 分の 1 以下となった。
キーワード ソフトエラー, FDSOI, FinFET, TCAD, PHITS

Evaluation of Soft Error Hardness of FinFET and FDSOI Processes by the PHITS-TCAD Simulation System

Shigehiro UMEHARA[†], Jun FURUTA[†], and Kazutoshi KOBAYASHI[†]

[†] Kyoto Institute of Technology

Abstract The impact of soft errors has been serious with process scaling of integrated circuits. Simulation methods for soft errors in FDSOI and FinFET are indispensable. We analyze the soft error tolerance in 28-nm FDSOI and 22-nm FinFET processes by the PHIT-TCAD simulation system. It consists of two parts, the particle transport simulation by PHITS (Particle and Heavy Ion Transport code System) and device simulations. We investigate the soft error rates on 28-nm FDSOI and 22-nm FinFET by the PHITS-TCAD simulation system. The soft error tolerance in 22-nm FinFET is 10 times or more stronger than that in 28-nm FDSOI in supply voltages from 1V to 0.4V.

Key words Soft Error, FDSOI, FinFET, TCAD, PHITS

1. 序 論

集積回路は製造プロセスの微細化、高集積化により高性能になり、様々な用途に用いられている。しかし、微細化、高集積化により、ソフトエラーに代表される一過性のエラーによる信頼性の問題がますます深刻になってきた [1]。ソフトエラーとは、集積回路内に粒子線が衝突、通過することにより電子正孔対が発生し、一時的にラッチやフリップフロップの値が反転する現象である。一時的な故障であるため、再起動により修復できるが、高信頼性が要求される自動車や航空機などにおいては深刻なエラーとなる。そのため、集積回路への信頼性の要求はさらに厳しくなっている。近年、実用化され始めた SOI (Silicon On Insulator) 技術や FinFET 構造は製造コストが高く、低コストで検証可能なソフトエラーシミュレーション技術の確立が求められている。

SOI は図 1 のようにシリコン基板とトランジスタの間に、絶縁物である埋め込み酸化膜 (BOX 層, Buried OXide) を挿入する構造である。絶縁物としては主に SiO₂ が用いられる。SOI の利点では、BOX 層を挿入することにより、短チャネル効果を抑え、トランジスタの寄生容量を小さくすることができる。高速かつ低消費電力での動作が可能であり、ソフトエラー耐性も強くなる。

FinFET は非プレーナ型のトランジスタの一種である。FinFET は図 2 のようにチャネル部分が Fin 状の三次元の構造となっており、ゲートがチャネルを包み込むことでチャネルの制御性を向上させ、高性能と低消費電力を両立することができる [2]。FinFET におけるゲート幅は、図 3 のように Fin 数を変化させることにより調整する。

本論文では、SOI 技術のひとつである FD (Fully Depleted) SOI 技術を用いたプラナー構造と 3D の FinFET 構

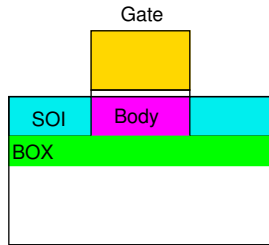


図1 FDSOIの構造

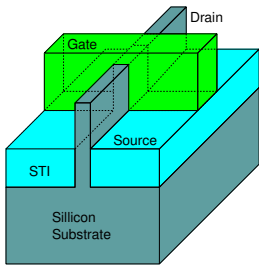


図2 FinFETの構造

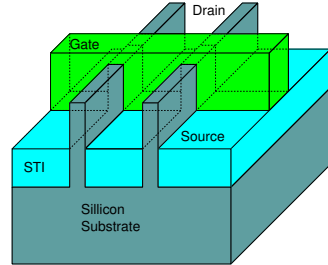


図3 複数Finを使用する場合のFinFETの構造

造の、中性子起因のソフトエラー率の評価、比較を行う。第2節ではソフトエラーの発生原理、ソフトエラーの種類について述べる。第3節ではPHITS-TCADシミュレーションによる中性子起因のソフトエラー率の算出方法を述べる。第4節ではシミュレーションによりFinFETとFDSOIのソフトエラー耐性を評価した結果について述べる。第5節では結論を述べる。

2. ソフトエラー

2.1 ソフトエラーとは

ソフトエラーとは、集積回路 (LSI) の基板部分へ粒子線が突入することにより電子正孔対が生成され、ラッチの保持値やフリップフロップの論理値が反転するエラーのことである。粒子線によるソフトエラー発生機構を図4に示す。かつてはLSIやパッケージの材料に含まれる放射線不純物が崩壊することで発生する粒子がソフトエラーの主要因であったが、純度の高い材料を用いることで粒子の影響はなくなってきていた。しかし、微細化が進み、電源電圧が低下するに連れて、粒子による影響が再び問題となってきている[3]。ソフトエラーを起こす粒子線は他にも熱中性子[4]や高エネルギー中性子[5]が挙げられる。

ソフトエラーは物理的な故障であるハードエラーとは異なり、一過性のエラーである。再起動を行うことにより元の動作に復帰可能であるが、高信頼性が要求される製品ではソフトエラー対策が不可欠である。

2.2 ソフトエラーの種類

ソフトエラーは粒子線の突入により発生する故障であり、SEE (Single Event Effect) の一種である。SEEは粒子線の突入部分によって分類されており、ラッチなどのデータを保持している部分に突入することによってデータが反転するものをSEU (Single Event Upset)、データ保持部以外の組み合わせ

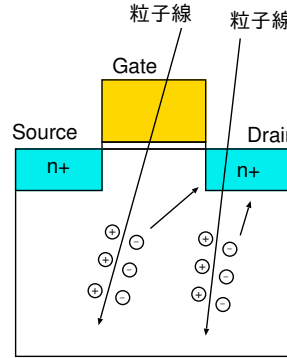


図4 ソフトエラー発生機構

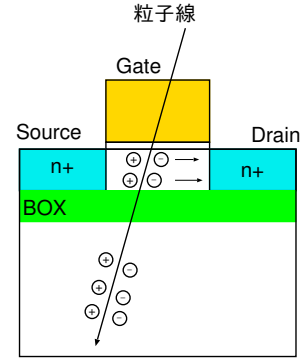


図5 SOIに粒子線が突入した様子

回路に電荷が生じパルスが発生するものをSET (Single Event Transient) と呼ぶ[6]。SEUが複数同時に起きた場合はMCU (Multiple Cell Upset) といい、電荷共有や寄生バイポーラ効果などが発生起因であり、素子間が近いほど発生しやすくなる[7]。NMOSでは電子起因、PMOSでは正孔起因の電流が発生する。電子の移動度は正孔に比べ大きいので、NMOSの方がソフトエラーが発生しやすい。

2.3 ソフトエラー対策

今までのバルク構造では冗長化という回路レベルの対策手法が用いられていた[8]。冗長化とは、回路を多重化して、1つの回路でソフトエラーが生じた場合、他の回路と比較して値を保持、訂正するように設計することである。しかし、冗長化に頼らなくてもソフトエラーに強いとされているのがSOI構造である。図5にSOI構造のトランジスタに粒子線が衝突する様子を示す。粒子線の衝突により発生した電子正孔対は、従来のバルク構造ではドレイン領域に収集される。それに対してSOIでは、SOI層で発生した電荷はドレイン領域に収集されてしまうが、基板で発生した電荷はBOX層により遮られるため、収集されることがなく再結合して消滅してしまう。

3. PHITS-TCADシミュレーション

本節では、PHITS-TCADシミュレーション手法によるソフトエラー率の算出方法を説明する[9]。これとよく似たPHYSERD[10]という手法もある。PHITS-TCADではTCADシミュレーションによる電荷収集量を元にPHITSシミュレーションを行うが、PHYSERDではPHITSシミュレーションによるイオンの情報を元にTCADシミュレーションを行う。

3.1 PHITSとは

PHITSとはParticle and Heavy Ion Transport code Systemの略で、任意の体系中における様々な放射線の挙動を、核反応モデルや核データを用いて模擬するモンテカルロ計算コードのことである。

3.2 PHITS-TCAD手法について

TCADでは任意のエネルギーを持つ粒子線を特定の位置に照射することができる。しかし、エネルギー分布を持つ中性子の照射や核反応の計算ができないため、PHITSを用いることでTCADだけでは不可能な中性子照射シミュレーションが可

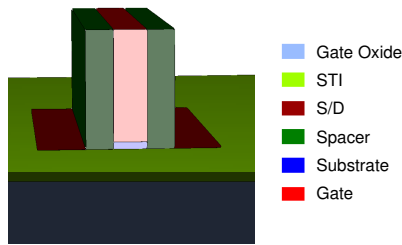


図 6 PHITS デバイスモデル

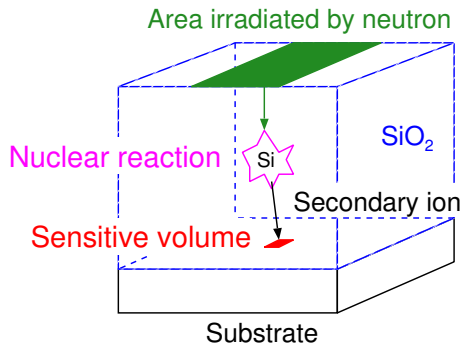


図 7 PHITS-TCAD シミュレーションモデル

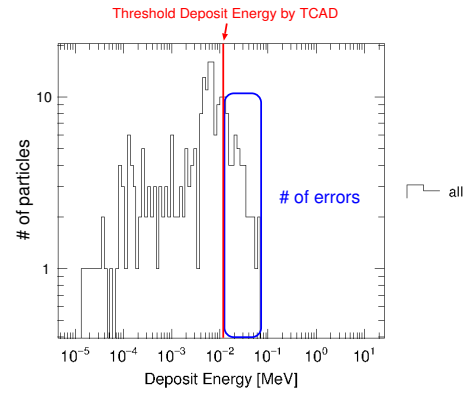


図 8 PHITS による Deposit Energy の分布

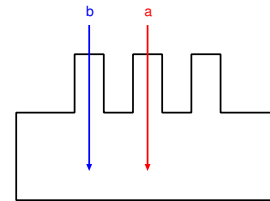


図 9 垂直方向照射のシミュレーション方法

能となる。

PHITS シミュレーションの手法を説明する。図 6 に示すように PHITS 用のデバイスモデルを構築する。中性子照射シミュレーションの模式図を図 7 に示す。中性子がデバイス内のシリコン原子と衝突し、二次イオンを生成する。二次イオンがデバイスの有感領域に突入したときに与えるエネルギーを Deposit Energy と呼ぶ。

TCAD シミュレーションにおいて、粒子線がデバイス内に突入し、ドレインに収集された電荷量を Deposit charge と呼び、Deposit Q と略す。50fC の Deposit Q は 1MeV の Deposit Energy に相当する [11]。臨界 LET の粒子線が突入したときの Deposit Q を臨界 Deposit Energy に換算する。

図 8 に PHITS から得られる Sensitive Volume 内の Deposit Energy の分布を示す。この分布から、臨界 Deposit Energy より大きいエネルギーを放出した二次粒子の数をソフトエラー数とする。

式 (1) により PHITS で求めたエラー数をソフトエラー率に換算する。

$$SER_{SEU}[\text{FIT}/\text{Mbit}] = \frac{3.6 \times 10^9 \times A_n \times N_{SEU} \times F \times 10^6}{N_n} \quad (1)$$

ただし、 A_n は PHITS で定義した中性子線源の照射面積である。 N_{SEU} と N_n はそれぞれエラー数と中性子数を表す。 F は照射領域の中性子の Flux である。

4. ソフトエラー耐性の評価

本節では、28nm FDSOI と 22nm FinFET のソフトエラー耐性を TCAD シミュレーション及び PHITS-TCAD シミュレーションを用いて評価した結果について述べる。

4.1 照射位置依存性

4.1.1 垂直方向

複数 Fin を使用した回路構造の場合、粒子線が照射される Fin によってソフトエラー耐性が変化する。図 9 の Fin 数が 3 のラッチでシミュレーションを行った。シミュレーション条件は電源電圧 0.8V とし、照射位置 a, b のそれぞれに粒子線を照射し臨界 LET を求める。

照射位置 a では臨界 LET が $17\text{MeV}\cdot\text{cm}^2/\text{mg}$ であったのに対して、b では $20\text{MeV}\cdot\text{cm}^2/\text{mg}$ となった。粒子線の軌跡に対して電子正孔対がガウス分布に従って生成されるため、照射されていない Fin にも電子正孔対が発生する。そのため、中央に近い Fin に照射する方が、距離が近い Fin が増加するため、ソフトエラー耐性が低くなると考えられる。

4.2 水平方向

図 10 のような水平方向の照射シミュレーションを行い、どの深さが最もソフトエラーに影響するかを調べた。その結果を図 11 に示す。

発生する電流はドリフト電流と拡散電流によるもの分別できる。電流の最大値は 20nm と 30nm のときだが、拡散電流の減衰は軌跡が深いほど遅いため、水平方向照射の場合は深さ 30nm のときに最もエラー耐性が低くなると考えられる。

4.3 Fin 本数依存性

22nm FinFET のラッチにおいて、粒子線の照射角度を変えてシミュレーションを行い、臨界 LET の Fin 本数依存性を求めた。

シミュレーション条件は電源電圧 0.8V、Fin 本数は 1, 3, 5 本である。中央の Fin に垂直に照射し、水平方向照射は Fin 最上部から 30nm の位置に照射し、それぞれ最もソフトエラー耐性が低くなる条件で比較を行った。

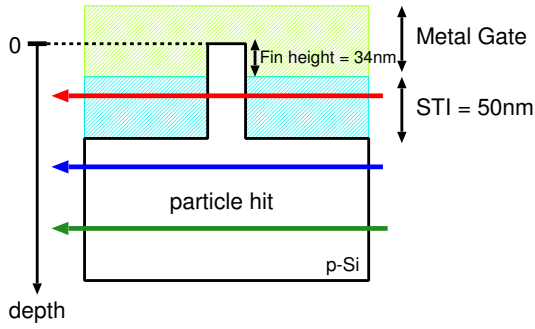


図 10 水平方向照射のシミュレーション方法

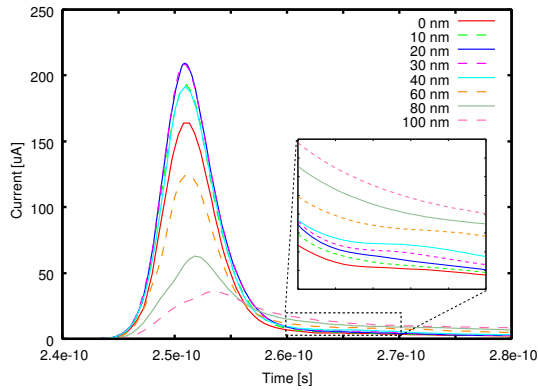


図 11 水平方向照射時の発生電流

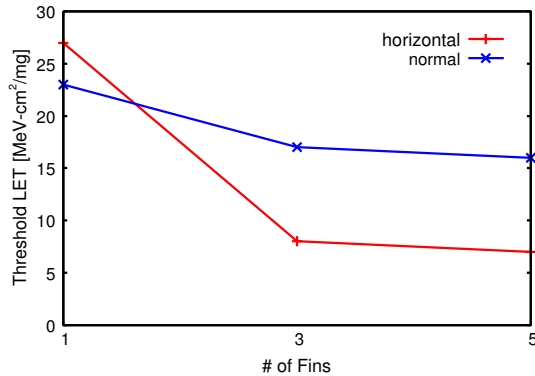


図 12 22nm FinFET における臨界 LET の Fin 本数, 角度依存性

シミュレーション結果を図 12 に示す。ソフトエラー耐性は垂直方向, 水平方向ともに Fin 本数が増加するに伴い低下している。しかし, 水平方向の方が Fin 数の増加による臨界 LET の減少傾向が大きい。これは複数 Fin へ粒子線が通過しているため, 全ての Fin において電荷収集が発生しているためであると考えられる。

4.4 中性子起因ソフトエラー率の評価

4.4.1 FinFET に適した PHITS-TCAD シミュレーション方法

PHITS-TCAD シミュレーションにより中性子起因のソフトエラー率の評価を行う。FDSOI 構造では単一の Sensitive Volume で正確に評価可能であったが, FinFET では照射する Fin 数によりソフトエラー耐性が異なるため正確に評価不可能である。そのため, FinFET では図 13 のように, 複数の有感領域を考慮する MSV (Multiple Sensitive Volume) モデルを

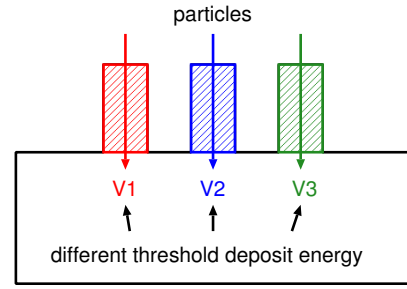


図 13 MSV モデル

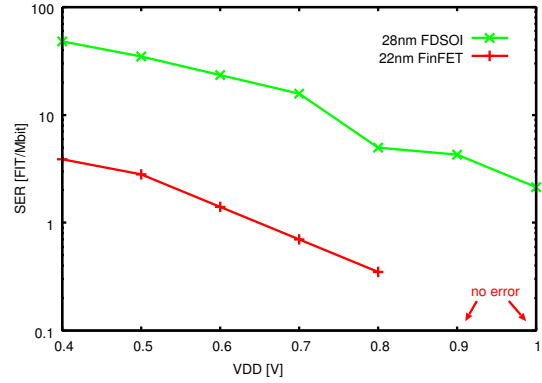


図 14 22nm FinFET と 28nm FDSOI の SER の電源電圧依存性

用いた [12]。MSV モデルを用いる場合は各 Sensitive Volume における臨界 LET を求める必要があるため, TCAD の回数が Fin 数分増加してしまうが, PHITS-TCAD シミュレーションでは PHITS と独立に TCAD シミュレーションを行うことができるため, シミュレーション時間は増加しない利点がある。

4.4.2 中性子起因ソフトエラー率の電源電圧依存性

図 14 に 28nm FDSOI と 22nm FinFET のラッチの電源電圧を変化させた場合のソフトエラー率を示す。これは垂直方向に中性子を照射した結果である。ラッチの NMOS の Fin 数はインバータが 3, トライステートインバータが 1 である。

電源電圧を 0.8V から 0.4V まで下げた場合では, 両プロセス共にエラー率が約 10 倍となった。全ての電源電圧において 22nm FinFET の方がソフトエラー率が 10 分の 1 以上低く, 0.9V 以上ではソフトエラーは発生しなかった。

5. 結 論

本論文では PHITS-TCAD シミュレーションにより, 28nm FDSOI プロセスと 22nm FinFET プロセスのソフトエラー耐性を評価した。22nm FinFET では照射位置によりソフトエラー耐性が大きく変わることを示した。これは電子正孔対がガウス分布に従って生成されるためである。Fin 数が 3 の場合, 照射位置が中央の Fin のとき臨界 LET が $17\text{MeV-cm}^2/\text{mg}$ であるのに対して, 端の Fin のときでは $20\text{MeV-cm}^2/\text{mg}$ となる。Fin の本数と粒子線の照射方向によってソフトエラー耐性が異なることを示した。複数の Fin で電荷収集が発生しているため, Fin 本数が増加するとソフトエラー耐性が低下することを示した。粒子線が水平方向に通過すると, 全ての Fin で電荷

収集が発生するため、垂直方向照射よりソフトエラー耐性が低くなる。22nm FinFET プロセスのソフトエラー率は 28nm FDSOI プロセスと比較して電源電圧 0.8V から 0.4V の場合は 10 倍以上強く、0.9V 以上では 22nm FinFET プロセスではソフトエラーが発生しなかった。

謝 辞

本研究は、JSPS 科研費 15H02677 および、(株) ソシオネクストの助成を受けたものである。また、シミュレーション用の EDA 及びパラメータは、東京大学大規模集積システム設計教育研究センターを通し、シノプシス、CMP、ST マイクロエレクトロニクスの提供で行われたものである。

文 献

- [1] N. Seifert, P. Slankard, M. Kirsch, B. Narasimham, V. Zia, C. Brookreson, A. Vo, S. Mitra, B. Gill, and J. Maiz, “Radiation-Induced Soft Error Rates of Advanced CMOS Bulk Devices”, *Proc. Int. Rel. Phys. Symp.*, (2006), pp. 217–225.
- [2] B Doyle, B Boyanov, S Datta, M Doczy, S Hareland, B Jin, J Kavalieros, T Linton, R Rios, and R Chau, “Tri-gate fully-depleted CMOS transistors: Fabrication, design and layout”, *VLSI Technology, 2003. Digest of Technical Papers. 2003 Symposium on*, IEEE, (2003), pp. 133–134.
- [3] 堀切近史, “ソフト・エラー対策, 待ったなし SRAM や論理回路が畑上に”, *日経エレクトロニクス*, 2005 年 7 月 4 日号, No. 903, pp. 63–70, (2005).
- [4] Y. Tosaka, S. Satoh, T. Itakura, H. Ehara, T. Ueda, GA Woffinden, and SA Wender, “Measurement and Analysis of Neutron-Induced Soft Errors Insub-Half-Micron CMOS Circuits”, *IEEE Trans. Elec. Dev.*, Vol. 45, No. 7, pp. 1453–1458, (1998).
- [5] 戸坂義春, “知っておきたいソフトエラーの実態”, *日経エレクトロニクス*, 2005 年 7 月 24 日号, (2005).
- [6] 古田潤, “集積回路におけるシングルイベント効果の評価とソフトエラー耐性向上手法の提案”, *京都大学情報学研究所博士論文*, (2014).
- [7] K. Zhang, J Furuta, K Kobayashi, and H Onodera, “Dependence of Cell Distance and Well-contact Density of MCU Rates by Device Simulations and Neutron Experiments in a 65-nm Bulk Process”, *The conference on Radiation and its Effects on Components and Systems*, (2013).
- [8] L. Anghel, D. Alexandrescu, and M. Nicolaidis, “Evaluation of a Soft Error Tolerance Technique Based on Time and/or Space Redundancy”, *SBCCI '00*, p. 237, (2000).
- [9] K. Zhang, S Kanda, J. Yamaguchi, J Furuta, and K Kobayashi, “Analysis of Soft Error Rates by Supply Voltage in 65-nm SOTB and 28-nm UTBB Structures by a PHITS-TCAD Simulation System”, *The conference on Radiation and its Effects on Components and Systems*, (2015).
- [10] S. Abe, R. Ogata, and Y. Watanabe, “Impact of Nuclear Reaction Models on Neutron-Induced Soft Error Rate Analysis”, *IEEE Trans. Nucl. Sci.*, Vol. 61, No. 4, pp. 1806–1812, (2014).
- [11] T. Handa, K Niita, and H Sawamura, “Neutron-induced semiconductor soft error simulation using the PHITS Monte Carlo simulator”, *2003 symposium on nuclear data.*, (2003).
- [12] S. Hirokawa, R. Harada, K. Sakuta, Y. Watanabe, and M. Hashimoto, “Multiple Sensitive Volume Based Soft Error Rate Estimation with Machine Learning”, *Proceedings of European Conference on Radiation and Its Effects on Components and Systems*, ((to appear)).