

CMOS トランジスタのランダム・テレグラフ・ノイズが 組合せ回路遅延に及ぼす影響

松本 高士[†] 小林 和淑^{††} 小野寺 秀俊[†]

[†] 京都大学情報学研究科 〒 606-8501 京都市左京区吉田本町
^{††} 京都工芸繊維大学工学科学研究科 〒 606-8585 京都市左京区松ヶ崎
E-mail: [†]tmatsumoto@vlsi.kuee.kyoto-u.ac.jp

あらまし ランダム・テレグラフ・ノイズ (RTN) による組合せ回路遅延ゆらぎの統計的な性質を 40nm CMOS テクノロジーにおいて試作した 12,600 個のリング発振回路 (RO) を測定することによって明らかにした。わずかな RO において巨大な遅延ゆらぎが発生した。低電圧 (0.65V) において RTN によって最大で 16.8% のゆらぎが発生することを明らかにするとともにプロセスばらつきによる遅延変動との比較を行った。動作電圧 0.75V においては、わずかにトランジスタサイズを大きくすることにより 50% 以上ゆらぎが低減した。一方、RO で発生した RTN による遅延ゆらぎと定性的に同様の現象がトランジスタのドレイン電流ゆらぎとして観測されることを確認した。動作電圧、トランジスタサイズ、論理段数、ゲートの種類、基板バイアスなど回路設計者が調整可能な設計値が低電圧 CMOS 論理回路の RTN による遅延ゆらぎに及ぼす影響について報告する。

キーワード ディペンダブル VLSI, CMOS, 組合せ回路, 遅延, RTN

Impact of CMOS Transistor Random Telegraph Noise on Combinational Circuit Delay

Takashi MATSUMOTO[†], Kazutoshi KOBAYASHI^{††}, and Hidetoshi ONODERA[†]

[†] Graduate School of Informatics, Kyoto University Yoshida Honmachi, Sakyo-ku, Kyoto, 606-8501 Japan

^{††} Graduate School of Science and Technology, Kyoto Institute of Technology Matsugasaki, Sakyo-ku,
Kyoto, 606-8585 Japan

E-mail: [†]tmatsumoto@vlsi.kuee.kyoto-u.ac.jp

Abstract Statistical nature of RTN-induced delay fluctuation is described by measuring 12,600 ROs fabricated in a commercial 40 nm CMOS technology. Small number of samples have a large RTN-induced delay fluctuation. RTN-induced delay fluctuation becomes as much as 16.8% of nominal oscillation frequency under low supply voltage (0.65V). RTN-induced delay fluctuation distribution is compared with manufacturing-process-caused delay variation for 12,600 ROs. By slightly increasing the transistor size, more than 50% reduction of frequency uncertainty can be achieved under 0.75V operation. RTN measurement results in transistor drain current show qualitatively same phenomena as observed in RO measurements. Circuit designers can change various parameters such as operating voltage, transistor size, logic stage number, logic gate type, and substrate bias. The impact of the parameters that can be changed by circuit designers is clarified in view of RTN-induced CMOS logic delay uncertainty.

Key words dependable VLSI, CMOS, combinational circuit, delay, RTN

1. ま え が き

近年、高信頼性を備えたシステムを設計することはますます困難になってきている。トランジスタ特性の経年

劣化や製造ばらつきなどの要因がディペンダブルな VLSI の実現に向けて深刻な影響を与えることが報告されている [1] ~ [3]。ランダム・テレグラフ・ノイズ (RTN) として知られているトランジスタ特性ゆらぎはトランジスタの

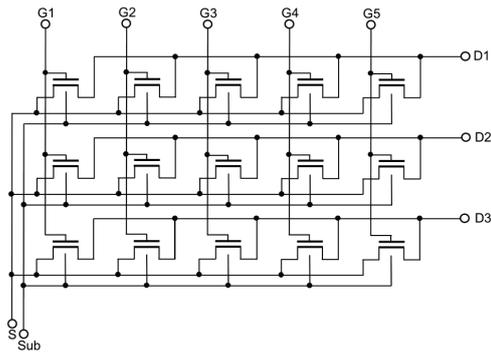


図 1 nMOS を 15 個アレイにした RTN 評価回路。

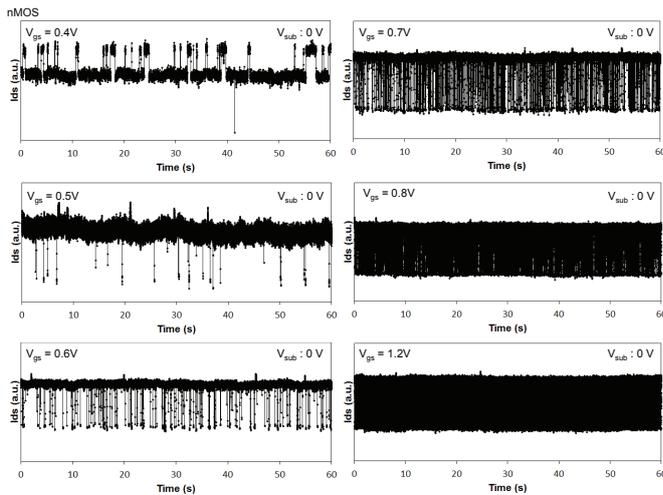


図 2 ある nMOS で各ゲートバイアスにおいて 60 秒間連続的にドレイン電流を測定した結果。

微細化、高集積化に伴ってますます活発に研究が行われている分野である。RTN は CMOS イメージセンサ [4]、flash メモリ [5]、SRAM [6] のような微細な素子が高密度に集積される回路に影響を与えることが報告されている。一方、RTN によってデジタル回路遅延がゆらぐことが実験的にも確認されている [7]。特に、組合せ回路を低電圧動作させた場合には RTN による回路遅延変動が極めて大きく現れることが実験的に示された [8]。本稿では RTN に起因したデジタル回路の遅延ゆらぎについて 40nm CMOS テクノロジーにおいて試作したリング発振回路 (RO) を実測した結果に基づいて報告する。また、RO で発生した RTN による遅延ゆらぎと定性的に同様の現象はトランジスタのドレイン電流ゆらぎとして観測されることを確認した。回路設計者は動作電圧、トランジスタサイズ、論理段数、ゲートの種類、基板バイアスなど様々なパラメータを調整することができるが、これらのパラメータが RTN に与える影響について回路レベルで明らかになった。

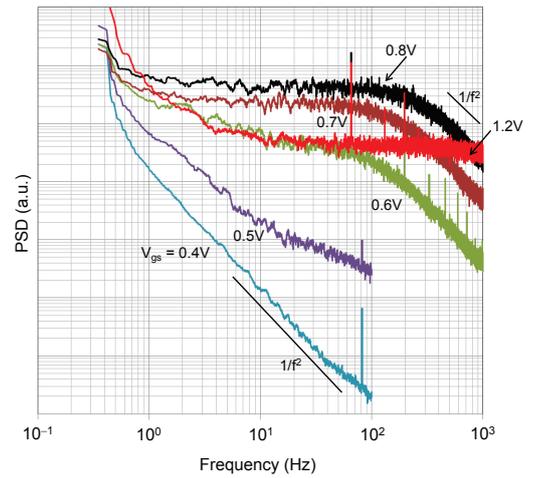


図 3 図 2 の振幅の大きな 2 値変動のみについてのパワースペクトル。

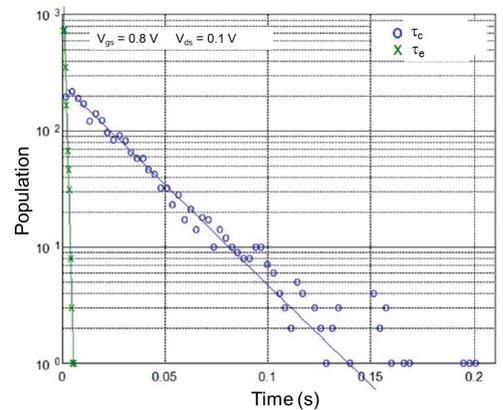


図 4 $V_{gs} = 0.8V$ における 2 値変動の時定数分布。

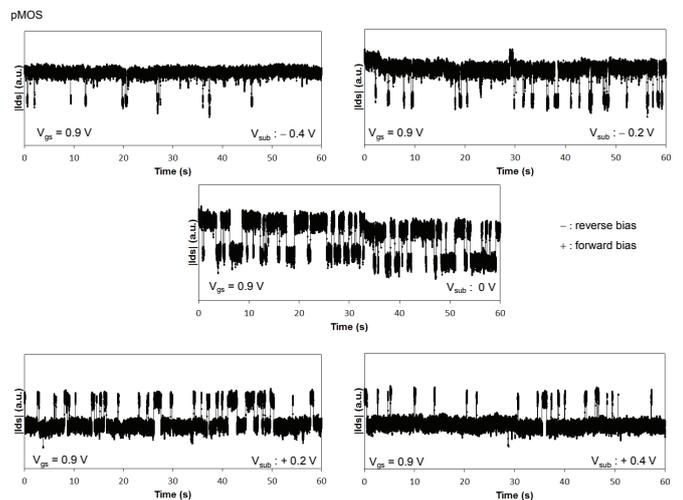


図 5 ある pMOS で各基板バイアスにおいて 60 秒間連続的にドレイン電流を測定した結果 ($V_{gs} = 0.9V$)。

2. CMOS トランジスタにおける RTN 評価

本節では、CMOS トランジスタにおける RTN 評価結果について述べる。トランジスタは 65nm CMOS テクノロジーによって作成されており、このテクノロジーで最小サイズの pMOS 及び nMOS を 15 個アレイにして RTN 測

定を行った(図1)。測定温度は室温である。図2は1つのnMOSにおいてゲート・ソース間バイアス(V_{gs})を0.4Vから1.2Vまで変化させたとき、各バイアスにおいて60秒間連続的にドレイン電流(I_{ds})を測定した結果である。ドレイン・ソース間バイアス(V_{ds})は0.1Vとし、基板・ソース間バイアス(V_{sub})は0Vである。ドレイン電流の積分時間は500 μs である。しきい値近傍($V_{gs} = 0.4V$)で観測される振幅が大きくかつ、高頻度の2値変動に寄与していた欠陥の影響は $V_{gs} = 0.5V$ においてほぼ消失し、 $V_{gs} = 0.6V$ から0.8Vの広範囲にわたって別の欠陥が寄与する2値変動が観測されている。 $V_{gs} = 1.2V$ においてはこの欠陥の影響はほぼ消失した。 $V_{gs} = 0.6V$ から0.8Vではゲートバイアスを大きくするほど2値変動の遷移頻度が高くなっている。ゲートバイアスを0.4Vから1.2Vにわたって変化させたときに観測された以上の測定結果は、ゲートバイアスがRTNに強い影響を及ぼすことを示している。次に、実測結果に含まれる振幅の小さなゆらぎを除外して振幅の大きな2値変動のみについてパワースペクトル(PSD)を計算した(図3)。 $V_{gs} = 0.4V$ および $V_{gs} = 0.6V$ から0.8Vでは2値変動に伴うローレンツ型($1/f^2$)のパワースペクトルが得られたが、 $V_{gs} = 1.2V$ では $1/f^2$ 型のスペクトルは消失した。 $V_{gs} = 0.8V$ において2値変動の時定数分布を算出すると指数型($e^{-t/\tau}$)の分布をとることが分かった(図4)。ここで、高電流状態に滞在する時間を τ_c 、低電流状態に滞在する時間を τ_e と定義している。1つの絶縁膜欠陥によってRTNが発生する場合に一般的にPSDは $1/f^2$ 型となり、時定数分布は $e^{-t/\tau}$ に従う。次に、あるpMOSにおいて V_{gs} を0.5Vと固定して基板バイアス(V_{sub})を-0.4Vから+0.4Vまで0.2V刻みで変化させ、各バイアスにおいて60秒間連続的にドレイン電流を測定した結果を示す(図5)。基板バイアスのマイナス符号は逆方向バイアスであり、プラス符号は順方向バイアスである。各バイアスにおいて振幅の大きな2値変動が観測されている。 $V_{sub} = -0.4V$ においては高電流状態での滞在時間が長く、 $V_{sub} = +0.4V$ では低電流状態での滞在時間が長い。 $V_{sub} = 0V$ では両状態で同程度の滞在時間となっている。基板バイアスによってRTN時定数が大きな影響を受け得ることが分かる。

以上の測定結果から、RTNによるドレイン電流ゆらぎはゲートバイアス、基板バイアスによって強く影響を受け得ることが示された。したがって、組合せ回路の動作電圧、基板バイアスを変化させた場合にもRTNによって引き起こされた遅延ゆらぎが強い影響を受け得ることが分かる。次節以降ではRTNに起因した組合せ回路遅延ゆらぎの測定結果について述べる。

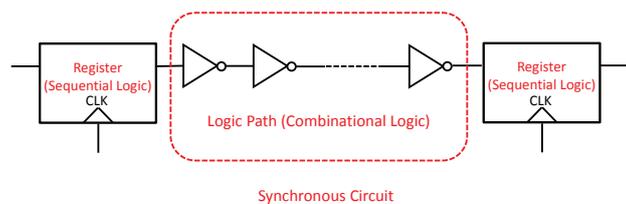
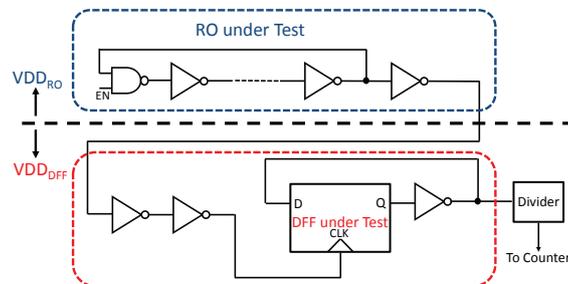


図6 同期回路構造。



Combinational circuit delay... Emulated by RO oscillation frequency
Sequential circuit operation... Emulated by DFF toggled by the RO

図7 同期回路動作を模擬する最も簡単な回路構造。

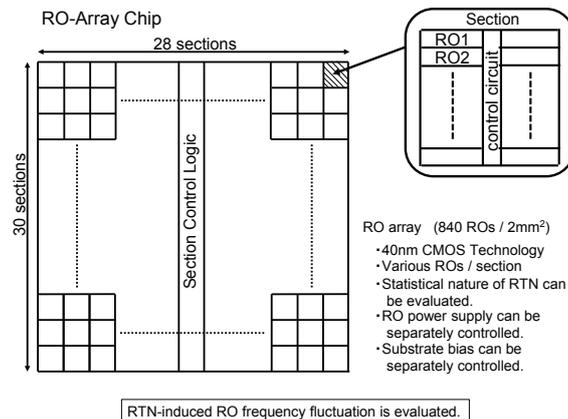


図8 デジタル回路におけるRTNの影響を統計的に評価する回路構造。図2の構造を基本単位として2mm角の領域に840個アレイ状に配置。

3. RTNによる遅延ゆらぎの評価回路構造

本節ではRTNに起因したデジタル回路の遅延ゆらぎの評価回路構造および評価手法について述べる。図6は一般的な同期回路を示している。クロックに同期した2つのレジスタ間に論理回路があり、このパスをデータが伝播する。RTNが論理回路内で発生すると伝播遅延のゆらぎが発生する。一方、RTNがレジスタで発生するとデータの取り込み動作にゆらぎが発生する。この同期回路動作を模擬する手法を図7に示す。論理回路に対してはリング発振回路の発振ゆらぎを観測する。図7でリング発振回路の電源電圧を VDD_{RO} 、DFFの電源電圧を VDD_{DFF} と表記するが、リング発振回路と分周回路はそれぞれ独立に電源を制御することができる。リング発振回路のRTNに起因した発振周波数ゆらぎを観測す

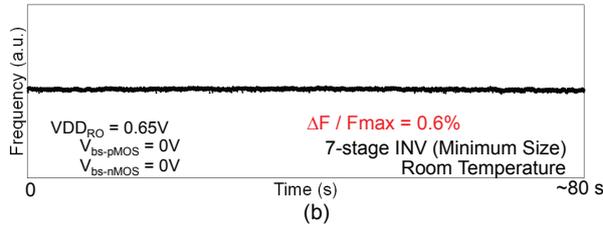
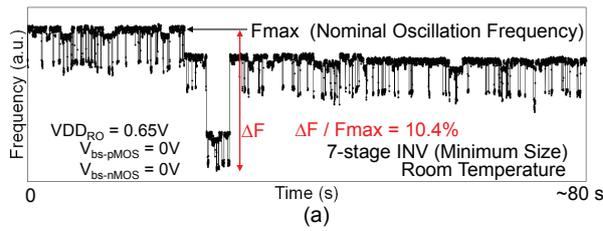


図9 ROの発振周波数ゆらぎを観測した結果。(a) $\Delta F / F_{\max}$ があるROアレイチップで最大値10.4%を示したRO。(b) $\Delta F / F_{\max}$ があるROアレイチップで最小値0.6%を示したRO。

る場合は、 $VDD_{RO} \leq VDD_{DF}$ のように設定して分周回路の誤動作を抑制する。さらに、ROを構成する回路のnMOSおよびpMOSの基板バイアスを独立に制御することが可能である。ここでnMOS、pMOSの基板バイアスをそれぞれ $V_{bs-nMOS}$ 、 $V_{bs-pMOS}$ と表記する。さらに、RTNの統計的性質を評価するために図7の回路構造を基本単位として、これをアレイ状に配置した回路を作成した(図8)。2mm角の領域に右上に斜線で示した基本単位(セクションと呼ぶ)がアレイ状に840個配置されている。このROアレイ回路は40nm CMOSテクノロジーによって作成されている。1セクションには図7のROやFFは複数パターン搭載されている。本稿における全ての測定は室温において行なった。

4. RTNが回路遅延ゆらぎに与える影響

本節ではRTNに起因した組合せ回路遅延ゆらぎの測定結果について述べる。図9に $VDD_{RO} = 0.65V$ においてROの発振周波数ゆらぎを80秒にわたって連続的に観測した結果を示す。リング発振回路を構成するインバータのトランジスタはデザインルールでの最小寸法としており、段数は7段である。 F_{\max} は1つのRO周波数を測定している間に観測された最大周波数である。 ΔF は最大周波数と最小周波数の差であり、 $\Delta F / F_{\max}$ はRO発振周波数ゆらぎの大きさをあらわす指標である。図9(a)は観測された $\Delta F / F_{\max}$ があるROアレイチップで最大値(10.4%)を示したROである。図9(b)は $\Delta F / F_{\max}$ があるROアレイチップで最小値(0.6%)を示したROである。図10は $VDD_{RO} = 0.65V$ におけるRTNに起因した発振周波数ゆらぎを観測した結果である。発振周波数は2値変動しており、高周波状態に滞在する時間を τ_c 、低周波状態に滞在する時間を τ_e と定義する。次にこの測定結

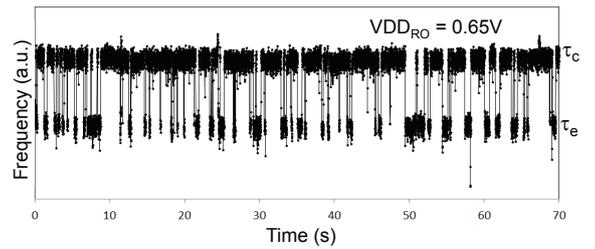


図10 $VDD_{RO} = 0.65V$ におけるRTNに起因したRO発振周波数ゆらぎの実測結果(2値変動)。

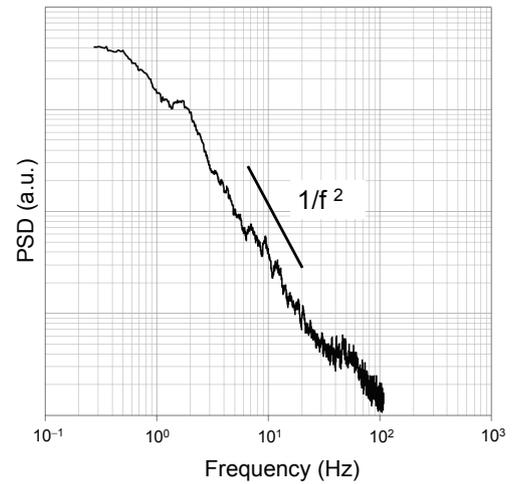


図11 図10のパワースペクトラム(PSD)。

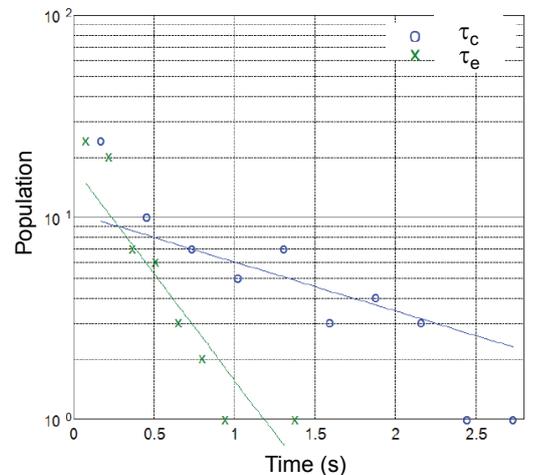


図12 図10の時定数 τ_c 、 τ_e の分布。

果がトランジスタで発生するRTNとどのように関係するかを調べる。図11は図10の実測結果に含まれる振幅の小さなゆらぎを除外して振幅の大きな2値変動のみについてパワースペクトルを計算した結果である。PSDはローレンツ型($1/f^2$)に従うことがわかった。図12は時定数 τ_c 、 τ_e の分布をそれぞれ示している。 τ_c 、 τ_e は共に指数分布($e^{-t/\tau}$)に従うことがわかった。PSDがローレンツ型に従うことおよび、時定数が指数分布に従うことは単体Trにおいて1つの絶縁膜欠陥によってRTNが発生する場合にも成り立つ結果である(図3、図4)。したがって図10で観測された2値的な周波数ゆらぎは、リング発

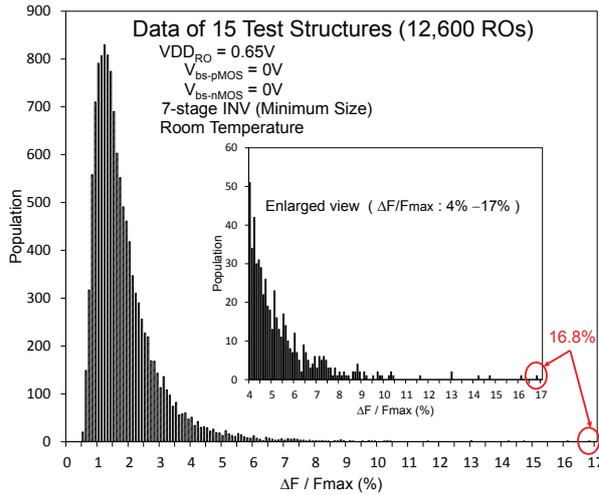


図 13 12,600 個の RO における $\Delta F/F_{max}$ の分布。

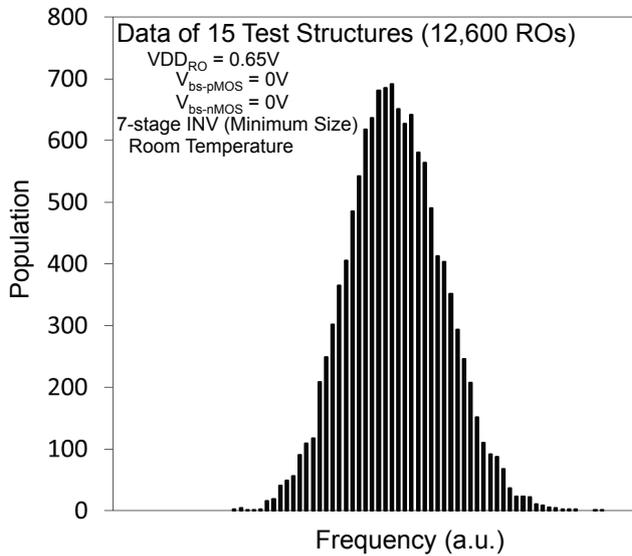


図 14 図 13 と同一の RO 集団における発振周波数ばらつきを示した結果。

振回路を構成するいずれか 1 つの T_r に存在する 1 つの欠陥において発生した RTN が原因であると考えられる。

図 13 は図 8 のテスト構造 15 個、合計 12,600 個の RO にわたって取得した $\Delta F/F_{max}$ の分布である。 $V_{DD_{RO}} = 0.65V$ において $\Delta F/F_{max}$ が大きい方に向かって長く裾を引く分布となっており、RTN の性質を反映した結果と考えることができる。 $\Delta F/F_{max}$ は最大で 16.8% であった。一方、図 14 は $V_{DD_{RO}} = 0.65V$ において図 13 と同一の RO 集団における発振周波数ばらつきを示した結果である。発振周波数ばらつきは図 13 とは異なって正規分布に従っている。図 13 と図 14 を比較することにより、低電圧かつ微細なトランジスタを用いた場合は RTN による発振周波数ゆらぎはプロセス起因の発振周波数ばらつきに対して無視できない影響を持つことが分かった。図 15 は様々な電源電圧 $V_{DD_{RO}}$ に対する $\Delta F/F_{max}$ の CDF を示す。電源電圧 $V_{DD_{RO}}$ の低下に伴ない、急速に

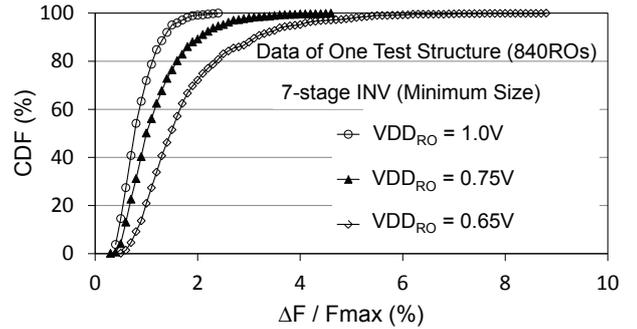


図 15 様々な電源電圧 $V_{DD_{RO}}$ に対する $\Delta F/F_{max}$ の CDF。

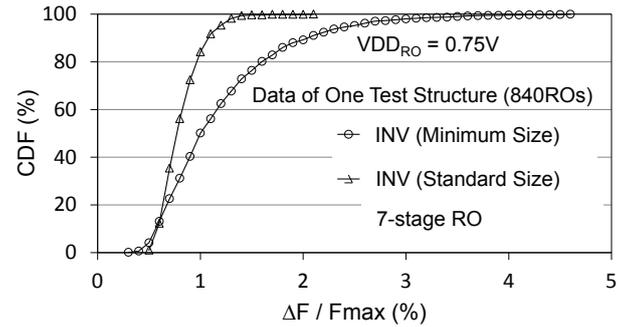


図 16 2 つのトランジスタサイズに対する $\Delta F/F_{max}$ の CDF。

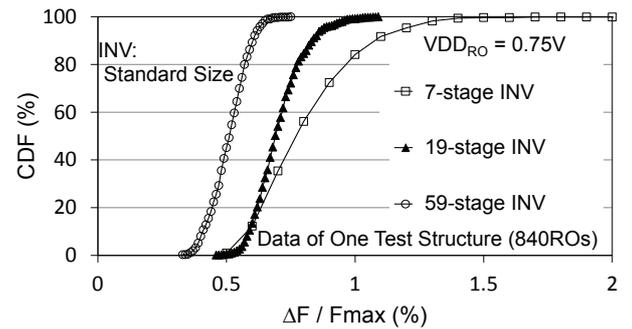


図 17 様々な論理段数に対する $\Delta F/F_{max}$ の CDF。

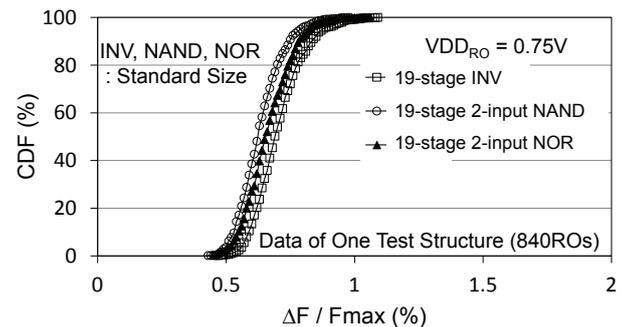


図 18 様々なゲート種に対する $\Delta F/F_{max}$ の CDF。

$\Delta F/F_{max}$ が増加している。図 16 は 2 つのトランジスタサイズに対する $\Delta F/F_{max}$ の CDF を示す。最小サイズと標準サイズのインバータのサイズ比は nMOS、pMOS に対し、それぞれ 0.30、0.21 である。ゲート面積をわずかに大きくすることにより、0.75V においては 50% 以上の RTN 削減効果が得られる。図 17 は様々な論理段数に対する $\Delta F/F_{max}$ の CDF を示す。論理段数が少なく

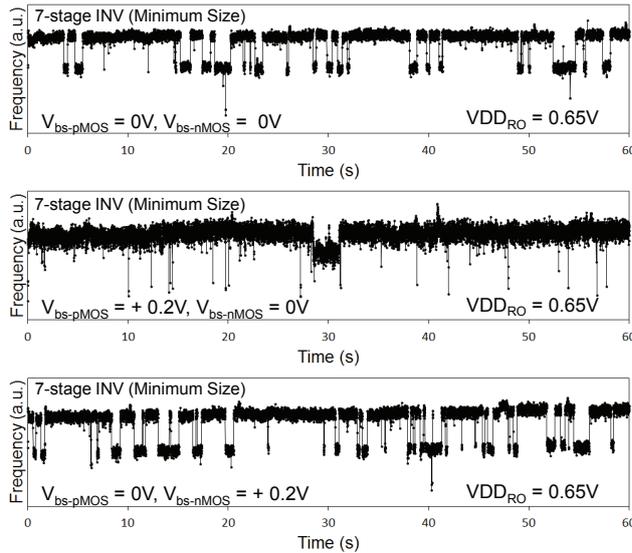


図 19 様々な基板バイアス条件下におけるある RO の発振周波数ゆらぎ。

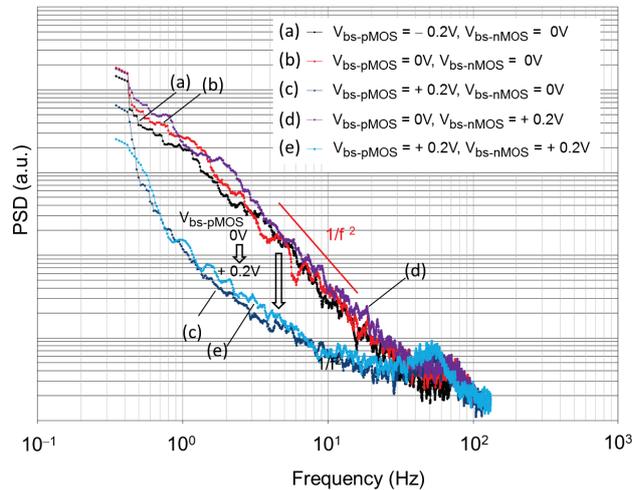


図 20 様々な基板バイアス条件下におけるある RO の発振周波数ゆらぎの PSD。

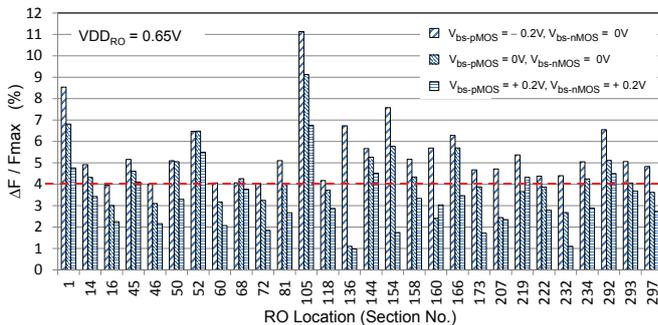


図 21 $VDD_{RO}=0.65V$ で様々な基板バイアス条件下において個別の RO 毎に $\Delta F/F_{max}$ の値を示した結果。

なるほど RTN の影響は大きくなる。図 18 は様々なゲート種に対する $\Delta F/F_{max}$ の CDF を示す。インバータにおいて RTN の影響が最も強調される。図 19 は様々な基板バイアス条件下におけるある RO の発振周波数ゆらぎを示す。この RO では pMOS の基板バイアスを 0V から

+0.2V 順方向に加えたときのみ時定数が大きく変動される。図 20 は図 19 の測定結果に含まれる振幅の小さなゆらぎを除外して振幅の大きな変動のみについてパワースペクトルを計算した結果である。60s にわたる RTN による周波数ゆらぎを様々な基板バイアス条件下において評価している。この結果より、リング発振回路を構成するいずれか 1 つの pMOS に存在する 1 つの欠陥において発生した RTN が回路レベルで大きな遅延ゆらぎを引き起こしたと考えることができる。図 21 は図 8 のある 1 つのテスト構造において 300 個の RO についてデータを解析し、逆方向バイアスの場合に $\Delta F/F_{max}$ が 4% を超えた 28 個の RO について示している。全体の傾向として基板バイアスを逆方向バイアスから順方向バイアスに向かって変化させたときに、 F_{max} が増大する効果によって $\Delta F/F_{max}$ は減少する。しかし、例えば RO Location が “68”, “160”, “219” の RO のように順方向バイアスが加えられたときに $\Delta F/F_{max}$ が増加する RO も存在する。以上のことから、RTN による組合せ回路遅延ゆらぎは順方向基板バイアスによって減少する傾向があるものの、少数の回路はこの傾向に従わないことが明らかとなった。

5. まとめ

40nm CMOS テクノロジーにおいて試作した回路によって RTN に起因した組合せ回路の遅延ゆらぎの実測を行った。微細なサイズのインバータで構成される 12,600 個のリング発振回路を低電圧下 (0.65V) で測定することによって組合せ回路の遅延ゆらぎ分布を得た。低電圧かつ微細なトランジスタを用いた場合は RTN による発振周波数ゆらぎはプロセス起因の発振周波数ばらつきに対して無視できない影響を持つことが分かった。また、ゲート面積をわずかに大きくすることにより、0.75V においては 50% 以上の RTN 削減効果が得られた。回路設計者が調整することができる様々なパラメータが RTN に与える影響について回路レベルで明らかにした。

文献

- [1] S. Borkar, *IEEE Micro*, vol.25, pp. 10 -16, 2005.
- [2] M. Alam, *Microelectron. Reliab.*, vol.48, pp. 1114-1122, 2008.
- [3] H. Onodera, *IEDM Tech. Dig.*, p. 701, 2008.
- [4] X. Wang, P. Rao, A. Mierop, A. Theuwissen, ” *IEDM Tech. Dig.*, p. 115, 2006.
- [5] H. Kurata, K. Otsuga, A. Kotabe, S. Kajiyama, T. Osabe, Y. Sasago, S. Narumi, K. Tokami, S. Kamohara, O. Tsuchiya, *IEEE J. Solid-State Circuits*, **42** p. 1362, 2007.
- [6] M. Yamaoka, H. Miki, A. Bansal, S. Wu, D. Frank, E. Leobandung, K. Torii, *IEDM Tech. Dig.*, p. 745, 2011.
- [7] K. Ito, T. Matsumoto, S. Nishizawa, H. Sunagawa, K. Kobayashi and H. Onodera, *Proc. IRPS*, p. 710, 2011.
- [8] T. Matsumoto, K. Kobayashi and H. Onodera, *IEDM Tech. Dig.*, p. 581, 2012.