

寄生バイポーラ効果を考慮した多ビットソフトエラーの評価

古田 潤[†] 小林 和淑^{††} 小野寺秀俊[†]

[†] 京都大学

^{††} 京都工芸繊維大学

あらまし 集積回路の微細化に伴い、放射線によって記憶素子の保持データが2つ以上同時に反転するMCU (Multiple Cell Upset) が問題となっている。本論文ではMCUの発生原理である寄生バイポーラ効果が回路動作に与える影響を回路シミュレーションを用いて評価する。基板を抵抗と容量を用いてモデル化し、放射線通過による基板電位の変動を回路モデルに組み込むことで、回路シミュレーションでのMCUの評価を可能とした。65nmプロセスのフリップフロップのMCU発生率を回路シミュレーションを用いて評価した。その結果、フリップフロップ間距離の増加に対してMCUの発生率は指数関数的に減少することを確認した。

キーワード ソフトエラー、多ビットエラー、寄生バイポーラ効果

Evaluation of Multiple Cell Upsets Considering Parasitic Bipolar Effects

Jun FURUTA[†], Kazutoshi KOBAYASHI^{††}, and Hidetoshi ONODERA[†]

[†] Kyoto University

^{††} Kyoto Institute of Technology

Abstract As a result of the process scaling, radiation-induced Multiple Cell Upsets (MCUs) become major issue for LSI reliability since it can flip two or more stored values on storage cells simultaneously. In this paper, we evaluate MCU rates on flip-flops from circuit-level simulation which is considering parasitic bipolar effects. For preparing the parasitic bipolar effect, the p-well structure is modeled by well-resistance meshes and junction capacitances between p-well and n-well. Simulation results show that MCU rates on 65-nm flip-flops are exponentially reduced according to the distance between flip-flops.

Key words Soft Error, Multiple Cell Upset, Parasitic Bipolar Effects

1. はじめに

プロセスの微細化に伴い、LSIの信頼性が低下している。信頼性を低下させる要因として放射線起因のソフトエラーが挙げられる。一過性のエラーを引き起こすソフトエラーは放射線がLSI基板を通過する事で生じる。放射線の電離作用により電子正孔対が生じ、その内の少数キャリアがドリフトや拡散によってトランジスタのドレイン領域に集められる。それによりトランジスタの出力が一時的に反転する。SRAMやフリップフロップを放射線が通過すると、保持値を反転するSEU (Single Event Upset) が生じる。三重化フリップフロップはフリップフロップを三重化し、保持値の多数決をとることで出力値を決定する。そのため、SEUによって1つのフリップフロップの保持値が反転しても、出力は正しい値を保ち続ける。

微細設計技術の進歩により、放射線の影響は単一トランジスタのみでなく、隣接する複数のトランジスタに同時に影響を与えるようになってきている。複数のトランジスタが影響を受けるた

め、複数の記憶素子が反転する多ビットエラー (Multiple Cell Upset: MCU) が生じる。MCUが生じると多重化フリップフロップでも保持データが反転してしまうため、高いソフトエラー対策を実現するにはMCUの対策が必要となる。効果的なソフトエラー耐性向上手法を検討するためにはMCUの特性を評価する必要がある。

本論文ではMCUの発生原理である寄生バイポーラ効果が回路動作に与える影響を回路シミュレーションを用いて評価する。基板を抵抗と容量を用いてモデル化し、放射線通過による基板電位の変動を回路モデルに組み込むことで、回路シミュレーションでのMCUの評価を可能とした。本論文の構成を以下に示す。第2章ではソフトエラーの発生機構を説明する。第3章では寄生バイポーラ効果を考慮した回路シミュレーション方法を説明し、第4章で回路シミュレーションを用いてフリップフロップのMCUとSEUの特性を評価した結果を示す。第5章で結論を述べる。

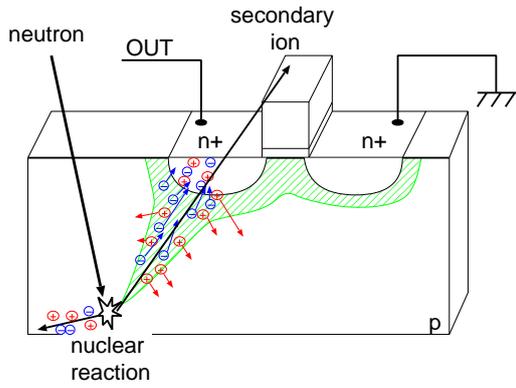


図 1 単一ビットソフトエラーの発生機構。

2. ソフトエラーの発生機構

本章ではソフトエラーの発生機構を説明する。まず、単一ビットソフトエラーの発生機構を説明し、次に多ビットソフトエラーの発生機構を説明する。

2.1 単一ビットソフトエラー

地上でのソフトエラーの主要因は、宇宙から飛来した重イオンが大気と核反応をして生じる高エネルギー中性子である。この中性子が基板の Si 原子と核反応を起こすと、 α 線やアルミニウムイオンなどの二次イオンが生じる。二次イオンの電離作用により LSI の基板などに電子正孔対が発生し、イオンが通過した領域が高伝導状態になる。高伝導状態になるとそれまで空乏層に印加されていた電界がゆがみ、空乏層の外まで電界が延びる。延びた電界によって空乏層外の電荷がトランジスタの拡散領域に収集される。この現象をファネリング効果と呼ぶ。ファネリングとドリフトによってトランジスタの拡散領域に電荷が収集され、その後拡散によって緩やかに電荷が収集される。シングルイベント効果による電荷の収集を図 1 に示す。収集された電荷によってトランジスタの出力が一時的に反転する。

中性子起因の二次イオンが SRAM やフリップフロップを構成するトランジスタを通過すると、記憶素子の保持データが反転する SEU が生じる。一方でインバータや NAND ゲートを構成するトランジスタを中性子起因の二次イオンが通過した場合、論理ゲートの出力が一時的に反転する SET が生じる。SET の場合には、SET による反転がフリップフロップに取り込まれることでエラーとなるため、SET によるエラーの発生確率は動作周波数に依存性がある。

2.2 多ビットソフトエラー

多ビットのソフトエラーの発生機構は複数存在する [1]。その 1 つが寄生バイポーラ効果である。寄生バイポーラ効果による多ビットエラーの発生機構を図 2 に示す。中性子起因の二次イオンが通過することで生じた電子正孔対のうち、基板に残留した電荷によって基板電位が上昇する。トランジスタのドレイン-基板-ソース間に寄生しているバイポーラトランジスタが基板電位の上昇により導通する。基板電位の変動量が十分に大きい場合には、近傍のトランジスタの出力も寄生バイポーラが導通することで反転し、MCU となる [2]。寄生バイポーラ効果は基板電位の変動で生じるため、基板電位を固定するウェルコンタク

(a) parasitic bipolar effect

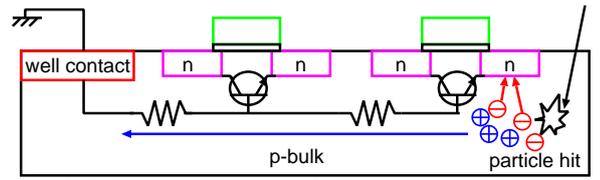


図 2 寄生バイポーラ効果による多ビットエラーの発生機構。

トの距離に対して依存性を持つ [3]。

多ビットエラーである MCU が生じると、単一ビットエラーに対して高い耐性を持つ三重化フリップフロップでもエラーとなる。三重化フリップフロップに代表されるソフトエラー耐性回路のエラー耐性が多ビットエラーにより低下している [4]。高いソフトエラー耐性を実現するには多ビットエラーの対策が不可欠となっている。

3. 回路シミュレーションを用いたソフトエラーの評価

本節では回路シミュレーションを用いて 65nm プロセスを想定するフリップフロップにおける SEU 発生率と MCU 発生率を評価する手法を説明する。

3.1 中性子起因の誘起電荷による電流

中性子が Si 原子と衝突すると二次イオンが生じ、生じた二次イオンがトランジスタの拡散領域近傍を通過すると電子正孔対が生成される。トランジスタのドレイン端子には電界によって電子が引き寄せられるファネリングとドリフトによる急激な電流が流れ、その後拡散による電流が緩やかに流れる。この中性子起因の誘起電荷による電流をモデル化した式は複数提案されており、文献 [5] では式 (1) の単一指数モデルが提案されている。

$$I(t) = \frac{2Q}{T\sqrt{\pi}} \sqrt{\frac{t}{T}} \exp\left(-\frac{t}{T}\right) \quad (1)$$

式 (1) の T はプロセスによって決まる時定数であり、プロセスの微細化とともに減少していくと予想されている [5]。変数 Q はドレインに集められる電荷の総量を示している。一方で文献 [6] ではデバイスシミュレーションを用いて二次イオンによる電流波形を評価し、回路シミュレーションに組み込んでいる。本論文では式 (1) を用いず、デバイスシミュレーションを用いて評価した電流波形を用いる。

中性子線起因の二次イオンが通過したと仮定するトランジスタのドレイン端子にモデル式を満たす電流源を接続することで、シングルイベント効果の影響を回路シミュレーションモデルに組み込んでいる。例えば SEU の評価ではラッチなどの記憶素子を構成するトランジスタに電流源を接続し、値が反転する最小の電荷量 Q_{crit} を求める。

単位時間内に中性子が衝突して Q_{crit} 以上の電荷が生じる確率は式 (2) で表される [5]。

$$N_{SEU}(Q_{crit}) = F \times A \times K \times \exp\left(-\frac{Q_{crit}}{Q_s}\right) \quad (2)$$

式 (2) は実験的に求められた式である。 K は比例定数で、文献 [5] によるとその値はプロセスによらず 2.2×10^{-5} である。 F

は中性子量 (Neutron Flux) であり, ソフトエラーの要因となる 10MeV 以上のエネルギーを持つ中性子に限定すると地上では $0.00565 \text{ cm}^{-2}\text{s}^{-1}$ である [5]. A はソフトエラーを起こす可能性のあるノードに接続された MOS トランジスタのドレイン面積の総和であり, 単位は cm^2 である. Q_s は電荷収集効率 (charge collection efficiency) と呼ばれ, 単位は Q_{crit} と同じ C である. Q_s はプロセスによって決まる量であり, プロセスの微細化とともに減少していくと予想されている [5]. 電荷収集効率 Q_s は文献 [5] で示されている Q_s の $0.35\mu\text{m}$ プロセスの値である 35fC と, $0.1\mu\text{m}$ プロセスの値である 13fC から線形近似して 65nm プロセスの値を 10 fC とした. 文献 [5] で示されているように, 電荷収集効率 Q_s は nMOS トランジスタと pMOS トランジスタで異なり, $0.1\mu\text{m}$ プロセスでは nMOS トランジスタが約 13fC , pMOS トランジスタが約 6fC である. pMOS トランジスタの Q_s は nMOS トランジスタに比べて約 $1/2$ 倍であるため, pMOS トランジスタでソフトエラーが生じにくい. 本論文では回路シミュレーションの簡略化を考慮し, pMOS トランジスタではソフトエラーが生じないと仮定してシングルイベント効果を評価する.

3.2 粒子線衝突による基板電位の変動の適用

微細化により顕在化した多ビットエラーの特性や発生率を回路シミュレーションで求めるには, 多ビットエラーの発生原理を回路モデル内に組み込む必要がある. 本論文では寄生バイポーラ効果に着目し, 回路シミュレーションで評価を行う. 寄生バイポーラ効果は中性子起因の二次イオン通過により生じた電荷が基板の電位を変動させることで生じる. 寄生バイポーラ効果を評価するには基板電流を表現した電流源を基板の等価回路モデルに接続し, 基板電流の影響と寄生バイポーラトランジスタの動作を考慮した回路シミュレーションを行う必要がある.

基板変動を回路モデル内に組み込むために, 抵抗と容量を用いて p ウェルをモデル化した. 本論文では中性子起因の二次イオンが nMOS トランジスタを通過した場合のみ回路シミュレーションで評価する. そのため, p ウェルのみをモデル化する. モデル化した p ウェルの単位構造を図 3 の上側に示す. $0.2\mu\text{m} \times 0.2\mu\text{m}$ の単位領域の p ウェルを, 4 隣接領域それぞれへの接続抵抗 4 本でモデル化した. また n ウェルの場合は n ウェル直下に存在する p ウェルのみをモデル化した. n ウェル直下に存在する p サブの場合では, 4 隣接領域それぞれへの接続抵抗 4 本に加えて, n ウェルと p ウェル間に存在する接合容量を模擬した 1 個の容量を追加してモデル化した.

単位領域の p ウェルモデルをメッシュ状に接続することで基板全体をモデル化した. 基板全体をモデル化した回路図を図 3 下に示す. p ウェルはウェルコンタクトによって電位を 0V に固定されるため, ウェルコンタクトを配置した位置の単位 p ウェルモデルの位置で電位を固定している. 図 3 下の図では右端にウェルコンタクトを配置しているため, 右端の単位 p ウェルモデルをグラウンドに接続している.

トランジスタに寄生するソース-基板-ドレイン間のバイポーラトランジスタのモデル化は, デバイスシミュレーションの結果と単体トランジスタの測定結果を元に決定した. 中性子衝突

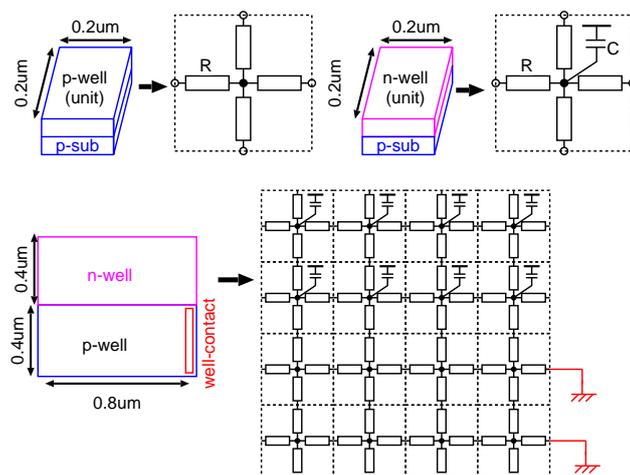


図 3 p ウェルのモデル化.

表 1 回路シミュレーションに使用した基板モデルの抵抗と寄生バイポーラトランジスタの β の値.

パラメータ	値
抵抗 R	1300Ω
電流増幅率 β	50

により基板に流れる電流はドレイン領域に収集される電流と等しい. よって回路モデルに基板電位の変動を組み込むために, 電流源を中性子が衝突したと仮定するトランジスタ直下の単位基板モデルに接続した.

例として横方向にインバータを 2 段並べた場合の, 回路シミュレーションに用いた p ウェル構造とトランジスタの接続を図 4 に示す. インバータの nMOS トランジスタを 3 単位の p ウェルモデル離して接続することで, 0.6μ 間隔で配置された 2 つのインバータ間の距離を回路モデルで表している. また右端の p ウェルモデルをグラウンドに接続することでウェルコンタクトの位置を表す. 中性子起因の二次イオンが通過したと仮定するトランジスタのドレイン端子に電流源 $I_e(t)$ を接続することで, シングルイベント効果によるトランジスタの出力の反転を模擬した. 同様に中性子起因の二次イオンが通過したと仮定するトランジスタ直下の p ウェルモデルに電流源 $I_h(t)$ を接続し, 基板電位の変動を回路モデルに組み込んだ.

シミュレーションに用いた基板モデルの抵抗の値と寄生バイポーラトランジスタの β のパラメータの値を表 1 に示す. 本章で示す回路シミュレーションでのシングルイベント効果の評価結果は標準電圧 1.2V の 65nm プロセスの結果である. 抵抗は 65nm プロセスの実測結果から決定した. 寄生バイポーラトランジスタの電流増幅率 β はデバイスシミュレーションの結果から決定した. pMOS トランジスタのソース電位を 0V , ドレイン電位を 1.2V とした場合に, 基板電位が 0.7V から 0.8V まで変化したときの β をデバイスシミュレーションを用いて評価した. 評価結果の平均値である 50 を β の値として用いた. 容量の値は n ウェルと p ウェル間ダイオードの spice モデルを参考にして決定した.

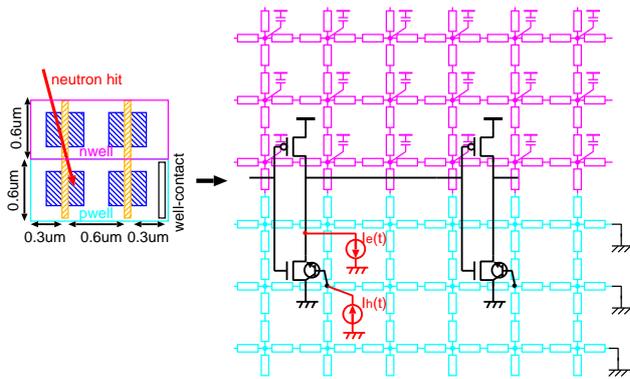


図 4 横方向にインバータを 2 段並べた場合の、回路シミュレーションに用いた well 構造とトランジスタの接続。

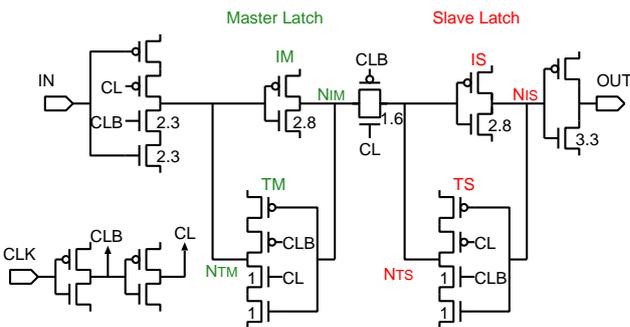


図 5 回路シミュレーションに用いたフリップフロップの構造。各トランジスタの数値は nMOS トランジスタのゲート幅の比率を表す。

3.3 SEU と MCU の評価に用いた回路モデル

SEU と MCU を評価するために用いたフリップフロップの構造を図 5 に示す。各トランジスタの数値は nMOS トランジスタのゲート幅の比率を表す。フリップフロップのレイアウトから、各トランジスタを図 3 に示した p ウェルのモデル上に配置し、全ての nMOS トランジスタに寄生バイポーラトランジスタを接続した。フリップフロップは上下方向に並べて配置するが、下側のフリップフロップを上下に反転することで、それぞれの nMOS トランジスタが同一の p ウェルに収納される構造とした。

回路シミュレーションに用いたフリップフロップの配置を図 6 に示す。図 6 では簡略化のため、図 5 の IM と、TM、IS、TS、トランミッションゲートのみ示している。ウェルコンタクトの配置間隔は $50\mu\text{m}$ で固定している。フリップフロップとウェルコンタクト間の最小の距離をウェルコンタクト距離 D_w と定義する。2 つのフリップフロップの配置を左右に移動することで D_w を変更し、MCU のウェルコンタクト距離に対する依存性を評価した。また、フリップフロップのラッチを構成するトランジスタのチャンネル間の距離をラッチ間距離 D と定義する。下側のフリップフロップを右方向にずらすことで D を変更し、MCU のラッチ間距離に対する依存性を評価した。

4. 回路シミュレーションによる評価結果

本章では回路シミュレーションを用いて、65nm プロセスのフリップフロップにおける SEU と MCU の発生率を評価した

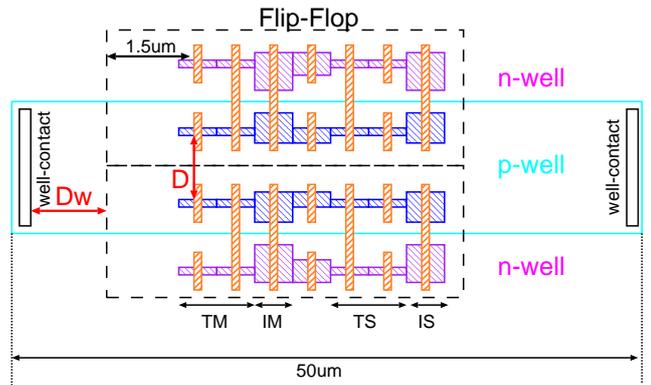


図 6 回路シミュレーションに用いたフリップフロップの配置。 D_w はウェルコンタクトとフリップフロップの最小距離を示し、 D はラッチ間距離を示す。

結果を報告する。

4.1 SEU の保持値とクロック信号依存性

クロック信号値および保持値のそれぞれが 0 および 1 である場合の 4 通りについて、SEU が生じる電荷量 Q_{SEU} と MCU が生じる電荷量 Q_{MCU} を求めた結果を表 2 に示す。比較のために基板電位の変動を考慮しない既存手法を用いてシミュレーションした結果も示す。ラッチ間距離はフリップフロップを上下に揃えて並べた場合の $0.6\mu\text{m}$ 、ウェルコンタクト距離は $20\mu\text{m}$ とした。

SEU は保持値に大きく依存する結果となっている。ラッチを構成するインバータの出力が 1 の場合に、中性子によって 28fC 以上の電荷が生じると、SEU は発生しない。この原因は中性子の衝突によって ON となった寄生バイポーラトランジスタにより、反転したインバータの出力がトライステートインバータの出力に伝播するのが防止されるためである [7]。

寄生バイポーラトランジスタによる反転値の伝搬が防止される現象を図 5 に示したフリップフロップの構造と、図 7 のシミュレーション結果を用いて説明する。クロック信号を 1 に固定してマスターラッチを値保持状態とする。保持値は 2 つのフリップフロップをともに 1 とし、ウェルコンタクト距離 D_w は $20\mu\text{m}$ とした。図 7 は、図 5 の IM の出力にシングルイベントにより総電荷量 30fC の電荷注入が発生した場合のノード N_{IM} とノード N_{TM} 、及び TM 直下における p ウェルの電位変動をシミュレーションした結果である。中性子線がスレイブラッチのインバータ IM に衝突したことにより、IM の出力 N_{IM} は 1 から 0 へと反転する。IM の出力はトライステートインバータの入力に等しいため、通常ではこの 1 から 0 への反転によりトライステートインバータ TM の出力 N_{TM} も 0 から 1 へと反転する。しかし中性子線起因の二次イオンの通過によって反転した IM の出力は N_{TM} に伝播しない。これは基板電位が変動して 0.7V 以上になっているため、寄生バイポーラトランジスタが導通し、 N_{TM} が 1.2V に上昇するのを妨げていることによる。基板電位が低下して寄生バイポーラ効果の影響が小さくなると、 N_{IM} と N_{TM} は共に 1.2V に上昇しようとする。インバータである IM の方が駆動力が大きいため、 N_{IM} が先に 1.2V に戻り、

表 2 保持値, クロック信号の違いによる SEU, MCU が生じる電荷量 Q_{SEU} , Q_{MCU} の変化. ラッチ間距離 = $0.6 \mu\text{m}$, ウェルコンタクト距離 = $20 \mu\text{m}$ の場合.

クロック信号	保持値	基板電位変動なし		基板電位変動あり	
		Q_{SEU} [fC]	Q_{SEU} [fC]	Q_{MCU} [fC]	Q_{MCU} [fC]
1	0	2.2	2.2	40	
	1	14	13 – 27	No Error	
0	0	11	9 – 22	No Error	
	1	2.0	2.0	40	

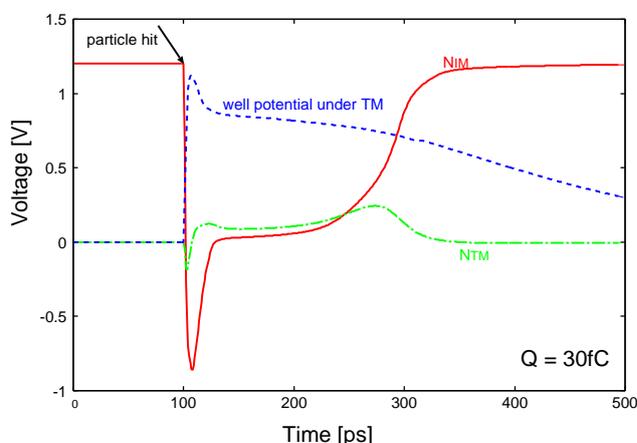


図 7 寄生バイポーラトランジスタによる反転値の伝播防止. 寄生バイポーラトランジスタによって N_{TM} が反転せず, N_{IM} は元の値に戻る.

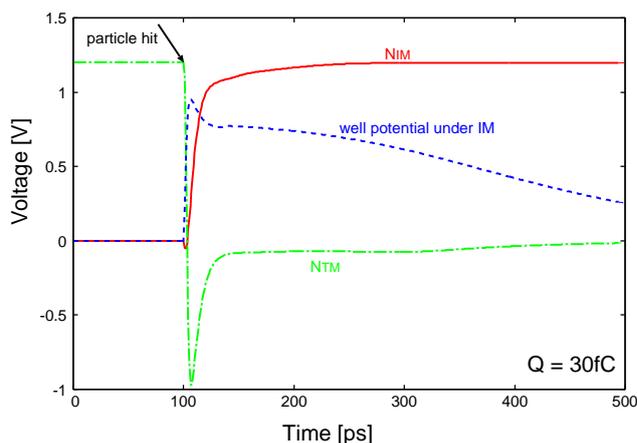


図 8 寄生バイポーラトランジスタによる反転値の伝播防止が発生しない場合. 基板電位が変動しても, 駆動力の強いインバータの出力である N_{IM} は反転する.

N_{TM} の出力は 0 V で安定する. 結果的に N_{IM} と N_{TM} は元の値に戻り, SEU とならない.

次に N_{TM} が 1 の場合に, 中性子起因の二次イオンが TM を通過したと想定する回路シミュレーションの結果を図 8 に示す. 駆動力の大きい IM は基板電位が上昇しても, 出力である N_{IM} は寄生バイポーラによって 0 に固定されない. そのため, N_{TM} が 0 に反転すると, N_{IM} は 0 から 1 に反転する. N_{TM} が 1 の場合には基板電位が変動しても SEU が発生する.

表 3 MCU が生じる電荷量 Q_{MCU} の保持値依存性.

上側の FF の保持値	下側の FF の保持値	Q_{MCU} [fC]
1	0	No Error
	1	No Error
0	0	40
	1	No Error

表 4 保持値, クロック信号の違いによる SEU 発生率と MCU 発生率の変化. ラッチ間距離が $0.6 \mu\text{m}$, ウェルコンタクト距離が $20 \mu\text{m}$ の場合. 発生率の単位は [FIT/Mbit] で示す.

クロック信号	保持値	基板電位変動なし		基板電位変動あり	
		SEU 発生率	SEU 発生率	MCU 発生率	MCU 発生率
1	0	241	241	5.3	
	1	131	109	0	
0	0	64	57	0	
	1	204	204	4.6	

4.1.1 MCU の保持値依存性

クロック信号を 1 に固定して, 2 つのフリップフロップの保持値がそれぞれ 0 および 1 である場合の 4 通りについて, MCU が生じる電荷量 Q_{MCU} を求めた結果を表 3 に示す.

MCU の保持値依存性は SEU よりも顕著であり, 2 つのフリップフロップの保持値が 0 場合のみ, MCU が生じた. この原因は SEU と同じく寄生バイポーラトランジスタによってフリップフロップの値の反転が防止されるためである. 保持値が 1 の場合には寄生バイポーラトランジスタによって値の反転が防止され, 電荷量 Q が 28 fC 以上では反転しない. 一方で保持値が 0 の場合では基板電位の変動により, フリップフロップの保持値は反転する. しかし, 基板電位の変動によって値が反転するには 40 fC 以上必要である. そのため, 上側のフリップフロップの保持値が 1 の場合では, 下側のフリップフロップが反転する電荷量の時には, 寄生バイポーラトランジスタによって値の反転が防止され, 値が反転しなくなる. 以上により, 2 つの保持値が 0 である場合以外では, MCU が生じない.

4.1.2 SEU 発生率と MCU 発生率

Q_{SEU} と Q_{MCU} を式 (2) に代入して計算した SEU 発生率と MCU 発生率を表 4 に示す. MCU の発生率は SEU 発生率の約 $1/50$ となった. この結果から三重化フリップフロップのエラー耐性は MCU により減少し, 通常のフリップフロップの 50 倍程度になると推測される. 一方で, SEU 発生率では保持値によって 4 倍程度変化する. 基板電位の変動を考慮しない場合と, 考慮した場合の SEU 発生率はほぼ等しい結果となった. 基板電位の変動を考慮した場合には, 寄生バイポーラトランジスタによって保持値の値の反転が防止されるが, SEU の発生率には大きな影響を与えない.

4.2 ウェルコンタクト距離依存性

ウェルコンタクト距離に対する MCU 発生率の変化を図 9 に示す. ただし, D_w が $0.3 \mu\text{m}$ の場合のみウェルコンタクトの配置方法が異なる. 図 6 に示した上下のフリップフロップの間のみウェルコンタクトを配置した場合である. クロック信号は

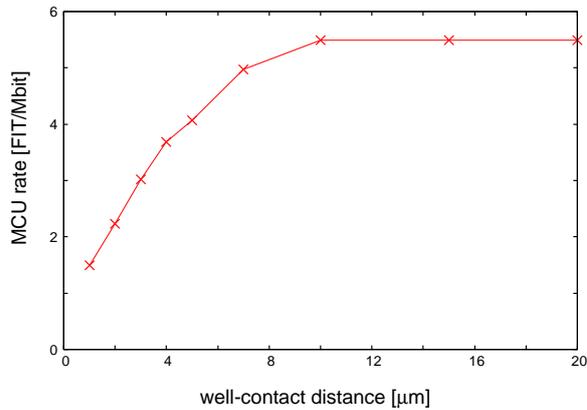


図9 クロック信号を1に固定し、2つのフリップフロップの保持値を両方とも0とした場合の、MCUのウェルコンタクト距離依存性.

1, 保持値は0, ラッチ間距離を $0.6\mu\text{m}$ として MCU が生じやすい条件で評価した.

ウェルコンタクト距離 D_w が $0.3\mu\text{m}$ の場合には, 上下に配置したフリップフロップ間にウェルコンタクトを配置しており, 基板電位の変動がもう片方のフリップフロップに伝播しない. そのため, MCU が生じない結果となった. 多重化回路を構成するフリップフロップを上下に配置し, その間にウェルコンタクトを挿入することで, 多重化回路のエラー耐性が大きく向上すると推測される. 一方でウェルコンタクトをフリップフロップの横に配置する場合, ウェルコンタクトの距離が $7\mu\text{m}$ 以下の領域では MCU 発生率はおおよそ線形に減少している. しかし, ほぼ隣接して配置している $D_w = 1\mu\text{m}$ でも MCU 発生率は0とはならず, $D_w = 20\mu\text{m}$ の $1/4$ 程度にしか減少しない. フリップフロップに隣接してウェルコンタクトを配置しても, マスターラッチはフリップフロップの中央部分にあるため, ウェルコンタクト距離が $1\mu\text{m}$ 離れてしまうことが原因であると推測される.

4.3 ラッチ間距離依存性

MCUのラッチ間距離依存性を回路シミュレーションを用いて評価した結果を図10に示す. ウェルコンタクト距離は $20\mu\text{m}$ とし, 2つのフリップフロップの保持値を0, クロック信号を1として評価を行った. MCUの割合を示す MCU / SEU はラッチ間距離に対して指数で減少している. しかしその傾きは緩やかであり, $0.6\mu\text{m}$ から $3\mu\text{m}$ に離しても $1/10$ しか減少しない. 多重化フリップフロップのラッチ間距離を $2\mu\text{m}$ ほど離さなければ, 通常のフリップフロップの100倍のエラー耐性は実現できないと推測される.

5. 結論

本章では寄生バイポーラトランジスタを含んだ基板部分の等価回路を用いた回路シミュレーションによりソフトエラーの評価を行った. 多ビットエラーを引き起こす寄生バイポーラ素子を基板等価回路に組み込むことで, 寄生バイポーラ効果の影響を考慮可能とした. 65nm プロセスで用いるフリップフロップを想定し, このフリップフロップで生じる SEU と MCU の評

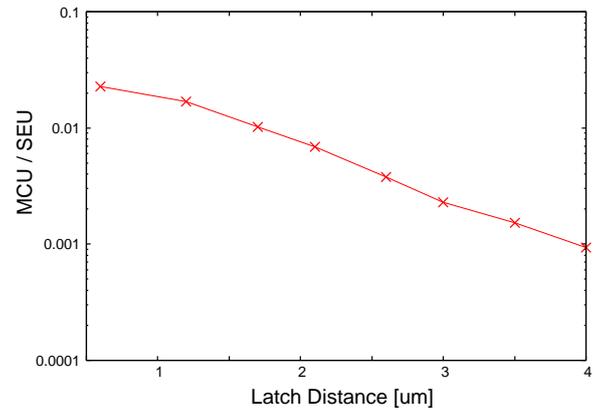


図10 クロック信号を1に固定し、2つのフリップフロップの保持値を両方とも0とした場合の、MCU / SEUのラッチ間距離依存性.

価を行った. MCU と SEU の発生率はともに保持データに強く依存する. ラッチを構成するインバータの出力が1の場合, 基板電位の変動がラッチが保存するデータの反転を防止する方向に働くことが判明した. MCU に関して, フリップフロップ間距離依存性やウェルコンタクト距離依存性を評価した. MCU 発生率はラッチ間距離に対して指数関数的に減少し, MCU の発生率を SEU の $1/100$ するにはラッチ間距離を $2\mu\text{m}$ 程度離す必要がある. また, 上下に配置したフリップフロップ間にウェルコンタクトを配置することで, MCU の発生率は0となることを確認した.

文献

- [1] T. Uemura, R. Tanabe, and H. Matusyama, "Mitigation technique against multi-bit-upset without area, performance and power overhead," in *Reliability Physics Symposium (IRPS), 2012 IEEE International*, 2012, pp. 5B.4.1–5B.4.6.
- [2] T. Nakauchi, N. Mikami, A. Oyama, H. Kobayashi, H. Usui, and J. Kase, "A novel technique for mitigating neutron-induced multi-cell upset by means of back bias," in *Reliability Physics Symposium, 2008. IRPS 2008. IEEE International*, 2008, pp. 187–191.
- [3] D. Radaelli, H. Puchner, Skip Wong, and S. Daniel, "Investigation of multi-bit upsets in a 150 nm technology sram device," *IEEE Transactions on Nuclear Science*, vol. 52, no. 6, pp. 2433–2437, 2005.
- [4] S. Jagannathan, T.D. Loveless, Z. Diggins, B.L. Bhuvu, S-J Wen, R. Wong, and L.W. Massengill, "Neutron- and alpha-particle induced soft-error rates for flip flops at a 40 nm technology node," in *Reliability Physics Symposium (IRPS), 2011 IEEE International*, 2011, pp. SE.5.1–SE.5.5.
- [5] P. Hazucha and C. Svensson, "Impact of CMOS technology scaling on the atmospheric neutron soft error rate," *IEEE Transactions on Nuclear Science*, vol. 47, no. 6, pp. 2586–2594, 2000.
- [6] T.D. Loveless, L.W. Massengill, W.T. Holman, and B.L. Bhuvu, "Modeling and mitigating single-event transients in voltage-controlled oscillators," *IEEE Transactions on Nuclear Science*, vol. 54, no. 6, pp. 2561–2567, Dec 2007.
- [7] T. Uemura, T. Kato, and H. Matsuyama, "Impact of parasitic bipolar action and soft-error trend in bulk cmos at terrestrial environment," in *Reliability Physics Symposium (IRPS), 2013 IEEE International*, 2013, pp. 6C.4.1–6C.4.6.