

65nm 薄膜 BOX-SOI とバルクプロセスにおける SET パルス幅の電圧依存性の評価

曾根崎詠二[†] 張 魁元[†] 古田 潤[†] 小林 和淑[†]

[†] 京都工芸繊維大学 工芸科学研究科 電子システム工学専攻

あらまし 近年、プロセスの微細化や高集積化により消費電力の増加が問題になっている。低消費電力の実現には、低電圧化が最も効果的であるが、同時に信頼性の低下を引き起こす。本稿では、デバイスシミュレーションを用いてソフトエラーの原因の一つである放射線起因一過性パルス (Single Event Transient) のパルス幅の電圧依存性をについて評価した。

キーワード ソフトエラー, SOTB, SET, 65nm プロセス, デバイスシミュレーション

Voltage Dependence of Single Event Transient Pulses on 65nm Silicon-on-Thin-BOX and Bulk processes

Eiji SONEZAKI[†], Kuiyuan ZHANG[†], Jun FURUTA[†], and Kazutoshi KOBAYASHI[†]

[†] Department of Electronics, Graduate School of Science and Technology, Kyoto Institute of Technology

Abstract Recently, the growth of power consumption has been serious by process scaling. The lower voltage is most effective to implement reduced energy consumption. But, the lower voltage causes a decrease in reliability. In this study, we evaluate voltage dependence of SET (Single Event Transien) pulses by device simulation.

Key words Softerror, SOTB, SET, 65nmprocess, Device simulation

1. 序 論

半導体の微細加工技術の進歩により、集積回路に搭載されるトランジスタの個数はムーアの法則に従って増加してきた [1]。近年では、1 チップには数億ものトランジスタが集積され、高性能化した。しかし、集積回路の集積度が高くなることで、消費電力の増加が問題視されている [2]。例えば最近の携帯電話は集積度の高い半導体素子が使用されることが多くなったため高性能化した。その反面、従来以上に小型小容量の電源用電池を使用しても長時間動作が行えるような性能が求められてきた。消費電力はオームの法則により電圧の 2 乗に比例するため、低消費電力の実現には低電圧化が最も効果的である。しかし、電源電圧を下げることにより信頼性の低下を引き起こす [3]。信頼性を低下させる一つの要因がソフトエラーである。

ソフトエラーは粒子線の突入箇所によって 2 つに分類される。FF や SRAM などの記憶素子に粒子線が突入し、保持データを反転させるエラーを SEU (Single Event Upset) と呼び、組み合わせ回路部に粒子線が突入したことで発生した一過性のエラーパルスを SET (Single Event Transient) と呼ぶ。SEU はソフトエラーの中でも発生数が多く、様々な測定結果や対策が報告されている [4] [5]。一方で、SET は SEU に比べて発生数

が少なく、それほど重要視されていなかった。しかし、LSI の微細化によるクロック周波数の増加に伴って、SET によるソフトエラー率が増加すると予想されている。

本節では、デバイスシミュレーションを用いて 65nm 薄膜 BOX-SOI (SOTB) とバルクプロセスにおける SET パルス幅の電圧依存性の評価を行う。次に本稿の構成を述べる。第 2 章ではソフトエラーの発生起因について述べる。第 3 章ではデバイスシミュレーションを用いた SET パルス幅の評価方法について述べる。第 4 章では SOTB とバルクプロセスの電圧依存性のシミュレーション結果について述べる。最後に第 5 章で結論を述べる。

2. ソフトエラー

本節では、ソフトエラーの発生機構と発生要因、デバイス構造によるソフトエラー発生メカニズムの違いについて述べる。

2.1 ソフトエラーとは

図 1 のように重イオンや中性子などの粒子線が集積回路の基板に突入することで電子正孔対が生じる。発生した電子正孔対の電子 (PMOS では正孔) がトランジスタのドレイン領域に収集されると論理ゲートの出力にノイズが生じ、それによって保持値が反転することで起こる一過性の故障をソフトエラーと呼

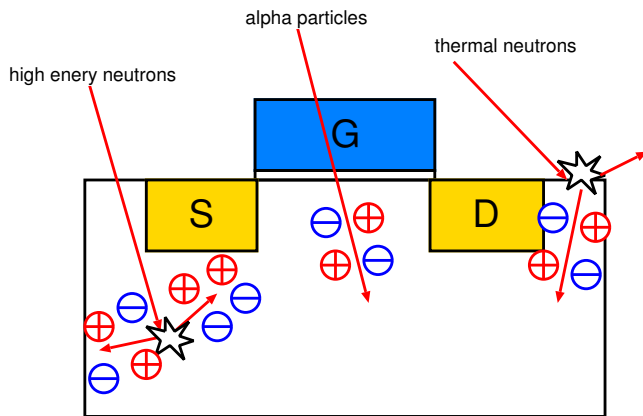


図 1 ソフトエラー発生機構

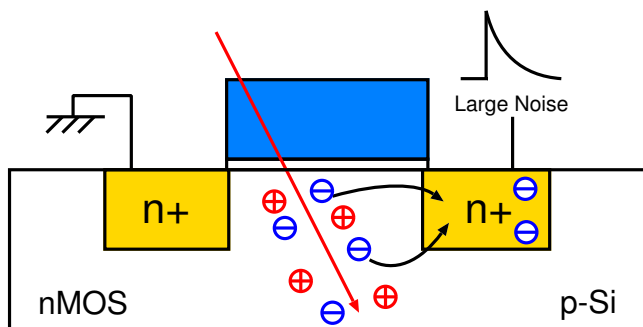


図 2 誘起電荷収集

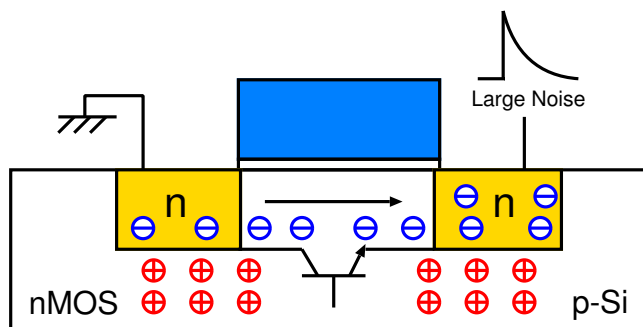


図 3 寄生バイポーラ効果

ぶ。永久故障であるハードエラーとは異なり、ソフトエラーはコンピュータの再起動やデータの書き換えによって正常な動作を行うが、飛行機や医療機器など高信頼性を求める製品では1度のエラーでも重大な事故を招き兼ねないので、ソフトエラー対策が不可欠である。

2.2 ソフトエラーの発生要因

ソフトエラーの発生要因は大きく分けて2種類ある。図2に示すように粒子線により発生した電子正孔対の電子 (PMOSでは正孔) が拡散とドリフトによりドレイン領域に収集されることでノイズが生じることを誘起電荷収集という。一方で、図3のように電子正孔対のうち基板に残留した正孔 (PMOSでは電子) により基板電位が上昇し、トランジスタに寄生しているバイポーラトランジスタがONとなる。そのためソースからドレインに電子 (PMOSでは正孔) が流れ、ノイズが生じる。このことを寄生バイポーラ効果という。

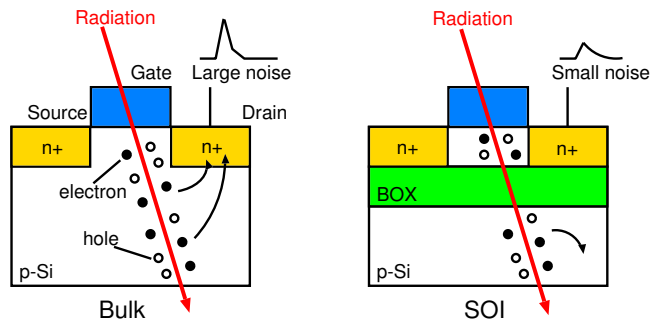


図 4 バルクと SOI のソフトエラーのメカニズム

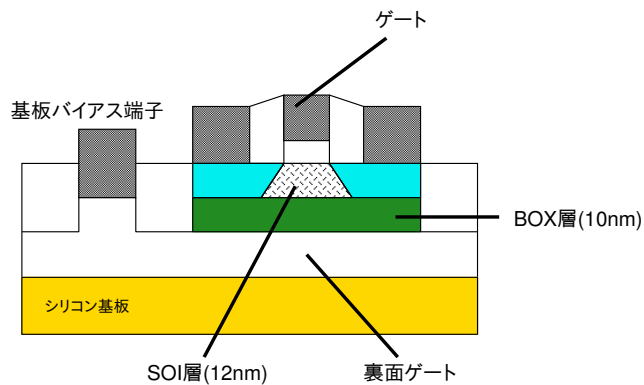


図 5 SOTB

2.3 デバイス構造によるソフトエラー

デバイスレベルでのソフトエラー対策としてプレーナ型の CMOS 回路構造の一種である SOI (Silicon On Insulator) プロセスがある。SOI プロセスの特徴は、チャンネルに不純物ドーピングを行っていないまたはドーピングの量がわずかであるため特性のばらつきを小さい。シリコン基板とトランジスタの間に絶縁物の層 (Buried OXide) が挿入されているため、トランジスタの寄生容量や漏れ電流が小さく、高速動作や低消費電力での動作が可能である。また、従来のバルクプロセスに比べてソフトエラー耐性が高い。図4に SOI プロセスとバルクプロセスのソフトエラー発生メカニズムを示す。粒子線により発生した電荷は従来のバルク構造ではドレイン領域に収集されてしまう。一方で、SOI プロセスでは、発生した電荷のほとんどが BOX 層によって遮断されるため収集されない [6]。

2.4 薄膜 BOX SOI (SOTB: Silicon On Thin BOX)

図5に SOTB を示す。通常の SOI の BOX 層の厚みはおおよそ 100 nm であるのに対し、SOTB はシリコン基板の上に 10 nm 程度の極薄の絶縁膜 (シリコン酸化膜からなる埋め込み絶縁層) とおおよそ 12 nm のシリコン薄膜 (SOI 層) が形成された SOI 基板上に形成されたトランジスタである。トランジスタの動作を行う極薄シリコン薄膜には、不純物が極めてわずかしが含まれないため、SOTB ではトランジスタ特性のばらつきを大幅に減らすことが可能となった。SOTB の特徴として BOX 層の下の基板に電圧を印加することでしきい値電圧を制御でき、逆バイアスの印加でリーク電流を低減できることが挙げられる [7]。

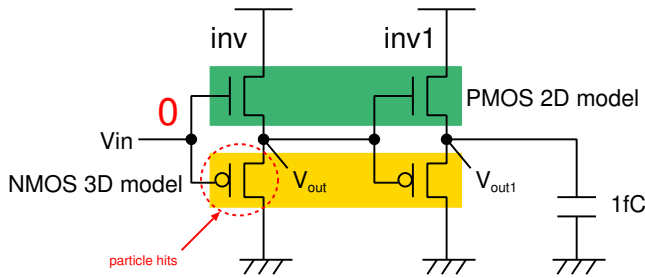


図 6 トランジスタレベルの評価回路

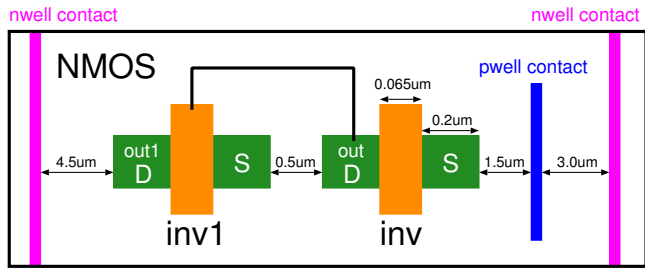


図 7 評価回路のレイアウト構造

3. デバイスシミュレーションを用いた SET パルス幅の評価方法

本節ではデバイスシミュレーションを用いて 65nm SOTB とバルクプロセスの SET パルス幅を評価する方法や評価回路、デバイス構造について述べる。

3.1 シミュレーション方法

デバイスシミュレーション (Sentaurus) により TCAD シミュレーションを行う。SET パルス幅を評価するにはある論理ゲートの NMOS または PMOS トランジスタに粒子線を照射し、その論理ゲートの出力に現れるノイズ (SET パルス) を読み取る必要がある。したがって、本稿では論理ゲートをインバータとし、シミュレーションを行った。NMOS と PMOS では、それぞれ電子起因、正孔起因でソフトエラーが起こるので、多数キャリアの移動度がソフトエラーには大きく関わる。電子の移動度は正孔に比べて大きく、NMOS のほうが PMOS よりソフトエラーが発生しやすい。そのため粒子線を入射させるトランジスタは NMOS とした。図 6 に評価するのに使用した回路をトランジスタレベルで示す。評価回路は二段のインバータを直列に接続した構造をしている。初段のインバータの NMOS に粒子線を照射し、出力 V_{out} の電圧の変化を評価した。入力 V_{in} は 0 で固定した。また、図 6 に示すように二段のインバータの NMOS は 3 次元モデルとし、PMOS はシミュレーション時間を短縮するために 2 次元モデルで構成した。構成した評価回路のレイアウト構造を図 7 に示す。シミュレーション時間はバルクが約 1 時間半であり、SOTB は 1 時間であった。

3.2 デバイス構造による粒子線突入箇所の違い

前節で SET パルス幅を評価するために NMOS トランジスタに粒子線を入射させたとしたが、ソフトエラーが最も起きやすい条件でシミュレーションを行うために SOTB とバルクで異なる箇所に粒子線を入射させた。突入箇所に違いがあるのは、デ

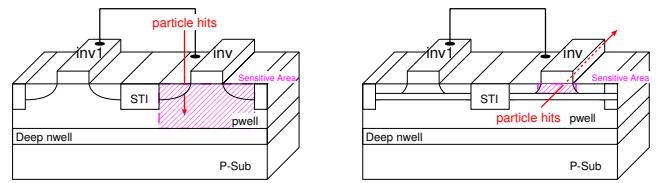


図 8 SOTB とバルクの 3 次元モデル

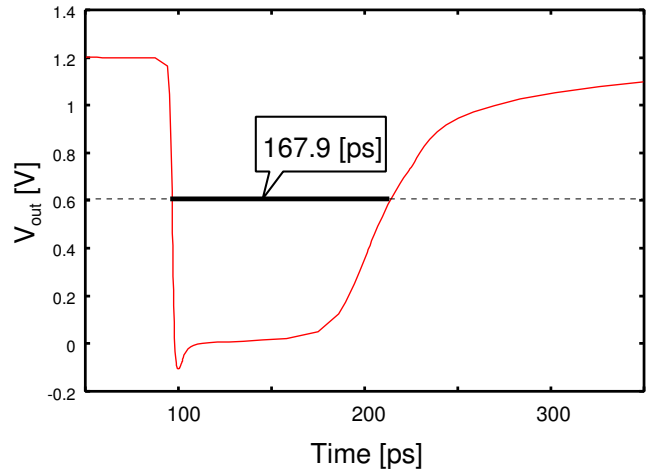


図 9 SET パルス幅の取得例

バイス構造によって有感領域が異なるからである。有感領域とは、粒子線が突入する際にソフトエラーを引き起こす可能性がある領域のことをいう。SOTB とバルクの 3 次元モデルを図 8 を示す。バルクの有感領域は図 8 に示すようにチャンネル部分から Deep nwell までの斜線部であるためドレイン領域に垂直方向から粒子線を入射させた。一方で、SOTB の有感領域はゲート直下にある SOI 層である。また、SOTB におけるソフトエラーの主要因は寄生バイポーラ効果なので、SOI 層の電位がより変化しやすいようにゲート直下に水平方向から粒子線を入射させた。

3.3 SET パルス幅取得方法

本稿では、SET パルス幅を V_{out} が $V_{dd}/2$ を下回った後、再び $V_{dd}/2$ を上回るまでの時間とした。例として図 9 に $LET=40\text{MeV}\cdot\text{cm}^2/\text{mg}$ の粒子線をバルクプロセスに照射した時の V_{out} の時間変化を示す。図 9 の例では、SET パルス幅は太い線の長さ 167.9ps ということになる。ここで、LET とは、Linear Energy Tranfar の略で粒子線が単位長さあたりに失うエネルギーである。

4. SOTB とバルクプロセスの SET パルス幅の電圧依存性

デバイスシミュレーションを用いて評価したバルクと SOTB における SET パルス幅の電圧依存性について述べる。

4.1 SOTB における SET パルス幅の電圧依存性

$LET=40\text{--}60\text{MeV}\cdot\text{cm}^2/\text{mg}$ の粒子線を NMOS トランジスタに突入させ、電源電圧を 1.2V から 0.6V まで 0.1V ずつ下げて SET パルス幅の電圧依存性を評価した。図 10 にシミュレーション結果を示す。SOTB では電源電圧を下げることによって

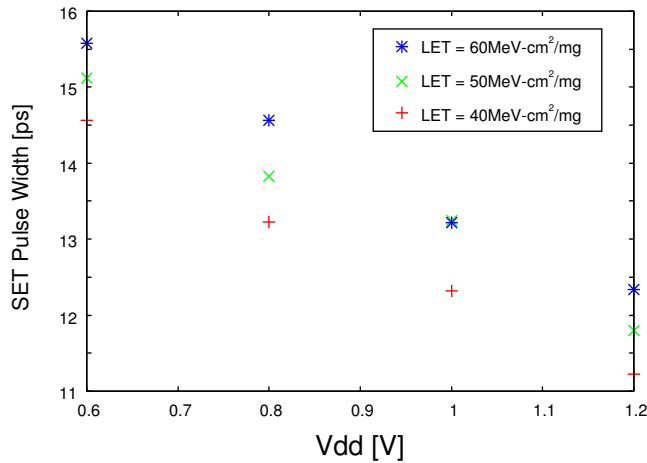


図 10 SOTB における SET パルス幅の電圧依存性

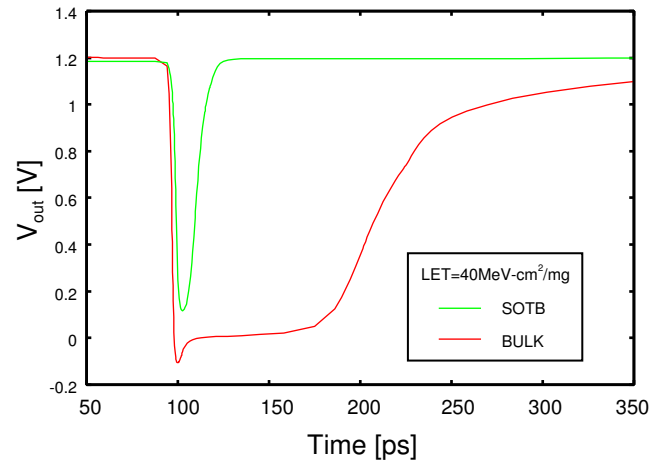


図 12 LET=40MeV-cm²/mg における SOTB とバルクの SET パルス幅の比較

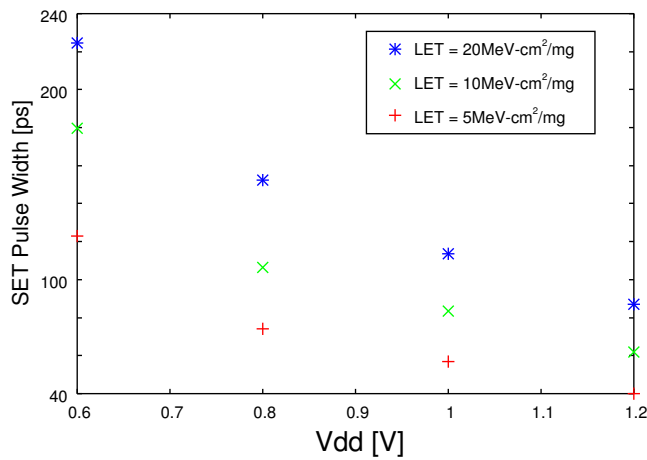


図 11 バルクプロセスにおける SET パルス幅の電圧依存性

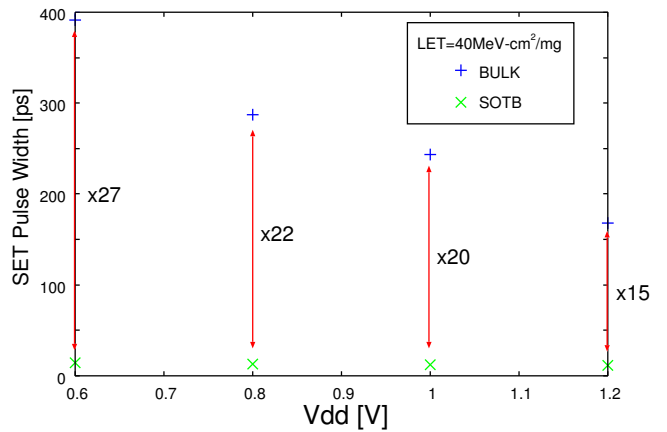


図 13 SOTB とバルクプロセスにおける SET パルス幅の電圧依存性 (LET=40MeV-cm²/mg)

SET パルス幅が線形に増加した。LET=60MeV-cm²/mg の標準電圧 (1.2V) と低電圧 (0.6V) のパルス幅を比較すると約 1.3 倍であった。また、LET の増加に伴って SET パルス幅は増加するものの電圧依存性に関しては同じ傾向を示し、どの LET においても線形に増加する。

4.2 バルクプロセスにおける SET パルス幅の電圧依存性

LET=5-20MeV-cm²/mg の粒子線を NMOS トランジスタに突入させ、電源電圧を 1.2V から 0.6V まで 0.1V ずつ下げて SET パルス幅の電圧依存性を評価した。シミュレーション結果を図 11 に示す。バルクプロセスでは SOTB と同様に LET を増加しても電圧依存性の傾向に変化は見られなかったものの、電源電圧を下げることで SET パルス幅は線形に増加するのではなく指数関数的に増加した。LET=20MeV-cm²/mg の標準電圧 (1.2V) と低電圧 (0.6V) のパルス幅を比較すると約 2.6 倍であった。これによりバルクプロセスの方が SOTB よりも電圧を下げることによる影響を受けやすい。

4.3 SOTB とバルクの SET パルス幅の比較

SOTB とバルクプロセスのそれぞれに LET=40MeV-cm²/mg の粒子線を突入させた時の電圧依存性について比較を行った。図 12 に標準電圧 (1.2V) における SOTB とバルクプロセスの V_{out} の時間変化を示す。バルクプロセスは粒子

線の突入後に 0V 付近まで電圧が低下し、寄生バイポーラ効果により出力が 1.2V に戻るまでに時間がかかる。そのために長いパルス幅を有する SET が発生する。一方で、SOTB は 0.2V 付近まで低下するものの発生した電荷の影響を受けずにすぐに出力が戻っているため SET パルス幅は短い。それぞれのデバイス構造におけるパルス幅を標準電圧で比較するとバルクが 168ps であり、SOTB が 11ps であった。標準電圧ではバルクプロセスは SOTB の約 15 倍の長さを持つ SET パルスが発生した。次に低電圧における SET パルス幅を比較する。図 13 に SOTB とバルクプロセスの電圧依存性を示す。電圧 0.6V ではそれぞれのデバイス構造で発生した SET パルス幅の差が標準電圧の時よりも大きくなり、バルクでは SOTB の約 27 倍のパルス幅を有する SET が発生した。また、電圧を下げることによるパルス幅の増加量もバルクは約 2.3 倍なのに対し、SOTB は約 1.3 倍であった。これにより SOTB は電圧を下げて動作させてもバルクほど SET パルス幅に影響を与えない。

5. 結 論

本稿では、デバイスシミュレーションを用いて SOTB とバルクプロセスにおける SET パルス幅の電圧依存性について評価を

表 1 SOTB とバルクプロセスにおける SET パルス幅とドレイン領域の電荷収集量の電圧依存性 (LET=40MeV-cm²/mg)

V _{dd} [V]	SET パルス幅 [ps]		電荷収集量 [fC]	
	バルク	SOTB	バルク	SOTB
1.2	168	11.2	58.6	17.9
1.0	244	12.3	48.7	15.7
0.8	287	13.2	34.1	13.2
0.6	391	14.6	17.1	10.6

行った。SOTB は LET の大きさに関わらず電源電圧を下げることによって SET パルス幅が線形に増加し、バルクプロセスも SOTB と同様に LET の大きさに関わらず電源電圧を下げることで SET パルス幅が増加した。しかし SET パルス幅の増加傾向は線形ではなく指数関数的であった。LET=40MeV-cm²/mg の粒子線をそれぞれのデバイスに突入させてパルス幅の電圧依存性を比較すると、標準電圧 (1.2V) と低電圧 (0.6V) におけるパルス幅の増加率は SOTB は約 1.3 倍であり、バルクプロセスは約 2.3 倍であった。これにより SOTB は低電圧で動作させてもバルクに比べて SET パルス幅に与える影響が非常に小さい。今後は核反応シミュレーターを用いて SET パルス幅と電荷収集量の関係から SET パルス幅分布を算出し、SOTB とバルクプロセスにおける SET によるソフトエラー率を評価していきたい。

謝辞 本研究は、METI、NEDO 委託先である LEAP の「低炭素社会を実現する超低電圧デバイスプロジェクト」において共同実施された。本研究に用いた TEG 設計は東京大学大規模集積システム設計教育センターを通して行われ、シノプシス株式会社、日本ケーデンス株式会社とメンター株式会社の協力で行われたものである。

文 献

- [1] G. Moore, "Cramming more components onto integrated circuits," Proceedings of the IEEE, pp.82-85, 1998.
- [2] G. Moore, "No exponential is forever: But " forever" can be delayed!," IEEE International Solid-State Circuits Conferenc, 2003.
- [3] T. Nakauchi, N. Mikami, A. Oyama, H. Kobayashi, H. Usui, and J. Kase, "A novel technique for mitigating neutron-induced multi-cell upset by means of back bias," Proc. Int. Rel. Phys. Symp., pp.187-191, May 2008.
- [4] S. DEVARAPALLI, P. ZARKESH-HA, and S. SUD-DARTH, "SEU-hardened dual data rate flip-flop using c-elements," DFT, pp.167-171, 2010.
- [5] Y. Yanagawa, D. Kobayashi, H. Ikeda, H. Saito, and K. Hirose, "Scan-architecture-based evaluation technique of set and seu soft-error rates at each flip-flop in logic VLSI systems," IEEE Trans. Nucl. Sci., vol.55, no.4, pp.1947-1952, Aug. 2008.
- [6] D.K. et al., "Radiation-induced pulse noise in soi cmos logic," ECS Transactions vol.35, 2011.
- [7] N.H. Weste and D. Harris, "Cmos vlsi design a circuits and systems perspective forth edition," Addison Wesley, 2010.