

バルクとSOTBにおけるアンテナダメージによるリングオシレータの 発振周波数ばらつきの評価

岸田 亮[†] 藪内美智太郎[†] 大島 梓[†] 小林 和淑[†]

[†] 京都工芸繊維大学 工芸科学研究科 電子システム工学専攻

あらまし 近年の集積回路の微細化により、アンテナダメージによる信頼性の低下が懸念されている。本稿ではリングオシレータにおいて発振経路の1ヶ所のみアンテナを接続した回路で発振周波数を測定する。チップはバルクとSOTB (Silicon On Thin BOX) 構造の2つを用いて測定する。測定した結果、アンテナダメージによる特性ばらつきの変動を確認することは出来なかった。しかし、アンテナダメージによる発振周波数の低下を確認出来た。バルクではアンテナをドレインにつなげることでダメージが緩和されることが分かった。SOTBではバルクよりもアンテナの周囲長の影響が出ることを確認した。

キーワード アンテナ, ばらつき, SOTB, リングオシレータ, 発振周波数

Evaluations of Variations on Ring Oscillators from Plasma Induced Damage in Bulk and SOTB Processes

Ryo KISHIDA[†], Michitarou YABUUCHI[†], Azusa OSHIMA[†], and Kazutoshi KOBAYASHI[†]

[†] Department of Electronics, Graduate School of Science and Technology, Kyoto Institute of Technology

Abstract A degradation of reliability caused by plasma induced damage has become a significant concern with miniaturizing a device size. In this paper, we measure frequencies of ring oscillators with an antenna structure on one stage. We prepare bulk and SOTB (Silicon On Thin BOX) chips. As a result, variations of oscillating frequency do not change by antenna structures. But frequencies are decreased by plasma induced damage. The damaged are relieved by connecting an antenna to a drain in bulk. Perimeter lengths give more serious damage in SOTB than in bulk.

Key words Plasma Induced Damage, Variation, SOTB, Ring Oscillator, Frequency

1. 序 論

近年の集積回路の微細化により、アンテナダメージによる素子特性の劣化が報告されている [1]。MOSFET を製造する際、プラズマエッチングで金属配線に蓄積した電荷が MOSFET のゲート部分に接続され、ゲート酸化膜がダメージを受ける。このダメージをアンテナダメージと呼ぶ。先行研究ではアンテナの大きさや形状によって特性劣化が異なるとの報告がある [2] ~ [4]。特性劣化にはしきい値電圧の増加、ゲートリーク電流の増加などが挙げられる。アンテナダメージで歩留まりの悪化や信頼性の低下につながるため、アンテナダメージの影響を調べる事が重要となっている。

本稿では 11 段リングオシレータにおいて発振経路の 1ヶ所のみアンテナを接続した回路で発振周波数を測定する。アンテナの大きさや形状の違いだけでなく、アンテナの接続構造やドバイス構造の違いによるアンテナダメージの影響を検証する。

本稿の構成を述べる。2章でアンテナについて述べる。3章ではアンテナダメージの影響を調べるために製造した回路構造を述べる。4章で測定結果を示し、最後に5章で結論を述べる。

2. アンテナ

2.1 アンテナの概要

アンテナとは、プラズマエッチング時に電荷をためる金属配線のことである [1]。MOSFET を製造する際、金属配線に電荷が蓄積しアンテナが作られてしまう。図 1 のようにアンテナが MOSFET のゲート部分に接続されると、ゲートから酸化膜に電荷が流れこみ、酸化膜がダメージを受ける。このダメージをアンテナダメージと呼ぶ。アンテナダメージによって酸化膜に欠陥が作られ、素子特性に悪影響をもたらす原因となる。

2.2 アンテナによる影響

ゲート端子につながれたアンテナによってゲート酸化膜がダメージを受ける。このダメージはプラズマによって溶かされる

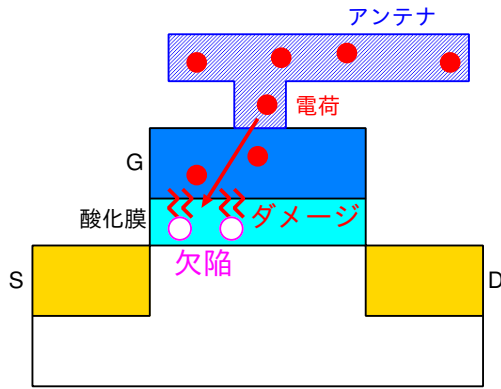


図 1 アンテナによるゲート酸化膜へのダメージ

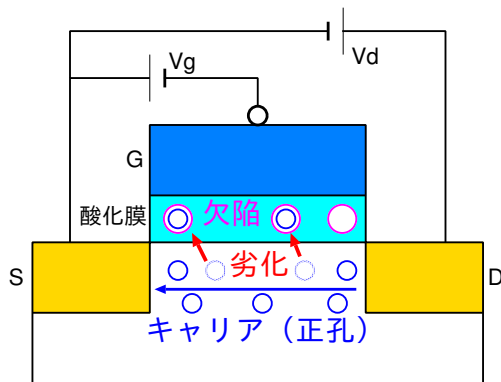


図 2 トラップ・デトラップモデルによるしきい値電圧劣化を表した MOSFET 断面の模式図

のが主な原因である [5]。最悪の場合、ゲート酸化膜が壊れて MOSFET として動作しなくなる。壊れなかったとしても、アンテナダメージによってしきい値電圧の劣化や特性ばらつき変動の原因となる。理由としてトラップ・デトラップモデルが考えられている [6]。トラップ・デトラップモデルはゲート酸化膜の欠陥がチャネルを流れるキャリアを捕獲することでしきい値電圧が劣化（増加）するという理論である。図 2 にトラップ・デトラップモデルによるしきい値電圧劣化を表した MOSFET 断面の模式図を示す。トラップ・デトラップモデルは経年劣化現象の 1 つである BTI (Bias Temperature Instability [7], [8]) の原因としても考えられている。アンテナダメージと BTI の関連性は今後調べていく予定である。

2.3 アンテナ比

アンテナ比は (アンテナ面積 / ゲート面積) で表され、アンテナダメージの大きさを表す。アンテナ面積およびゲート面積は底面積を用いる。配線が長くなることでアンテナ面積が大きくなり、アンテナダメージが大きくなる。アンテナをゲートに接続するとアンテナダメージを受けるが、ゲートに接続する前にドレインに接続することでダメージを緩和できる。アンテナにたまった電荷がドレインを通じて基板に流れ出ていくからである。

3. 測定回路

アンテナダメージの影響を調べるために、11 段リングオシ

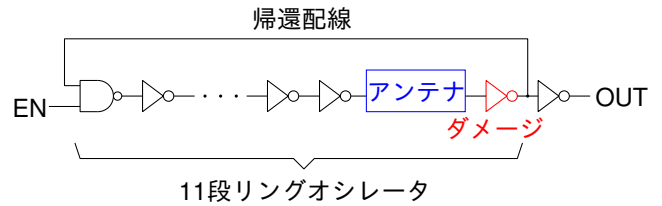
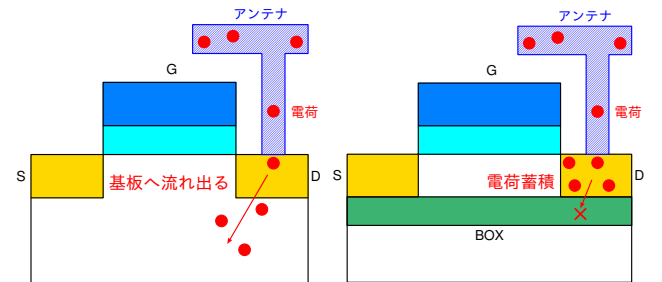


図 3 アンテナの影響を調べる測定回路構造



(a) バルク：基板へ電荷が流れ出る (b) SOTB：BOX 層によりドレインに電荷が蓄積される

図 4 バルクと SOTB によるアンテナダメージ緩和の違い

レータにおいて発振経路の 1ヶ所のみアンテナを接続した回路で発振周波数を測定する。アンテナダメージによってしきい値が増加し、発振周波数が低下することを確認する。図 3 に測定する 11 段のリングオシレータの回路構造を示す。製造した回路構造の違いについて以下で述べる。

3.1 バルクと SOTB

SOTB (Silicon On Thin BOX) は SOI (Silicon On Insulator) の一種で、通常バルク構造に BOX 層 (Buried Oxide) と呼ばれる埋め込み絶縁膜をドレイン・ソース直下に入れている [9]。SOI は部分空乏型と完全空乏型に分類される。部分空乏型は SOI 層が厚くチャネルが部分的に空乏化しているが、完全空乏型は SOI 層が薄くチャネルが完全に空乏化している。そのため、チャネル部分に追加で不純物ドーピングの必要がなくなり不純物ばらつきを抑制できる。SOTB は BOX 層が約 10 nm 以下と非常に薄いため完全空乏型の SOI である。SOTB の BOX 層によってソース・ドレインと基板間の接合容量や、基板への漏れ電流が小さくなるので、バルク構造に比べて低消費電力での動作や高速動作が可能である。しかし、高価であることが欠点の一つである。ドレインによるアンテナダメージの緩和ができないことも欠点である。図 4 にバルクと SOTB のによるアンテナダメージ緩和の違いを示す。バルクではドレインを通じて基板に電荷が流れ出ていくが、SOTB はドレインと基板の間に絶縁層があるために電荷が基板に流れ出ない。そのためドレインによる緩和ができず、ダメージを受ける可能性がある。しかし、チャネル部分でも緩和可能なので、どれぐらい緩和できるかをバルクと比較して調べる。

3.2 アンテナの接続構造

図 5 のようなアンテナの接続構造を作製する。接続構造の名前はアンテナ (A) が MOSFET のどの部分に接続しているかを表している。ゲート (G) に接続していれば AG、ドレイン (D) に接続していれば AD、ゲートとドレイン両方に接続していれば

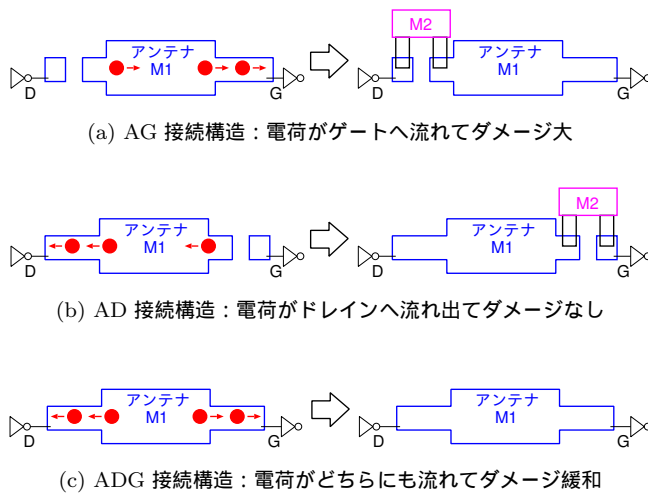


図 5 アンテナ接続構造

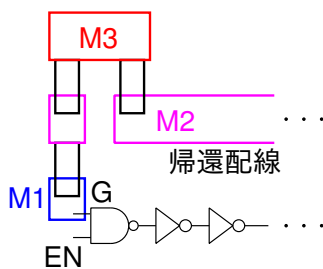


図 6 帰還配線の接続構造

ば ADG とする。

M1 および M2 はどちらも金属配線のことであるが、M1 のほうが M2 より先に作られる点で異なる。バルクで考えると、(a) ではプロセス工程の M1 を加工している途中でゲートがダメージを受け続ける。(b) ではダメージを受けにくい構造である。理由は M1 を加工している途中ではドレインを通じて基板に電荷が流れ出て行き、ゲートはダメージを受けないからである。(c) ではゲートにダメージは受けるものの、ドレインによりアンテナダメージが緩和されるので、(a) ほど大きなダメージはないはずである。

バルクと SOTB で異なる点はドレイン直下の絶縁層だけであり、ゲートに違いはない。そのため、(a) で受けるダメージはバルクと SOTB で同じである。しかし、SOTB における (b) と (c) では、(a) と同じくらいダメージを受ける可能性がある。SOTB はドレインと基板の間に絶縁層がある構造で、電荷が基板に流れ出ない。そのためドレインによる緩和ができず、ダメージを受ける。

帰還配線によってもアンテナダメージを受ける可能性があるため、図 6 のように帰還配線とゲートとの間を M3 でつなげる。帰還配線を M2 で構成しており、帰還配線にたまる電荷をドレインに流すために M3 を用いる。M3 でつなげる場所はゲートと同じ場所にする。ゲートから離れた所をつなげると、M3 とゲートとをつなぐ配線によってダメージを受けるからである。M3 によるアンテナダメージを少なくするために、M3 は DRC エラーが発生しない最小の面積にする。

3.3 アンテナ比

アンテナ比は 500 と 6250 の 2 種類とする。500 はアンテナルールの限界値である。アンテナルールとは MOSFET を製造する際に守らなければならないアンテナ比に基づいた規則である。アンテナルールによると図 5 の (c) ADG 接続構造において、アンテナダメージは式 (1) によって緩和される。

$$\max(1/((D_p + v_1) \times v_2 + v_3), v_4) \quad (1)$$

D_p はゲートにダメージを与えるアンテナと接続しているドレインの面積であり、 $(v_1, v_2, v_3, v_4) = (0, 32, 8, 0.025)$ である。計算すると 0.0797 となり、約 0.08 倍にアンテナルールが緩和されることになる。ADG 接続構造で緩和されてアンテナダメージをアンテナ比が 500 と同じにするには $500/0.08 = 6250$ となる。アンテナ比 6250 で ADG 接続構造にしたとき、アンテナダメージはアンテナ比 500 と同じになるはずである。

アンテナ比が 6250 のものはアンテナに M1 だけでなく、M2 と M3 を使って 3 層構造にしている。M1 だけでアンテナを作るとセル幅が大きすぎて実装する面積に載せられないからである。アンテナに M3 まで使うので、帰還配線に M4 を使用している。そのため、帰還配線とゲートとの間は M5 でつなげる。M5 のつなげる場所や面積は先程 3.2 節で述べた M3 と同じである。

3.4 アンテナの形状

アンテナの形状は図 7 のような長方形 (RECT) と櫛形 (COMB) の 2 種類を用意する。アンテナの周囲長によってアンテナダメージが異なるとの報告がある [2], [3]。周囲長の影響を調べるために、同じアンテナ比 500 で周囲長の異なる形状を用意する。

長方形は DRC (Design Rule Check) エラー回避のため、完全な長方形とはなっていない。DRC とは設計規則に違反していないかを検証する工程である。設計規則は半導体を製造する工程や、加工精度によって制限が定められる。MOSFET と金属配線を電氣的に接続するコンタクトの大きさが定められていることや、金属配線間の距離を一定以上離す必要があるといったことが設計規則の例である。

アンテナの形状を完全な長方形にすると、金属の幅が広すぎるという DRC エラーが発生してしまう。そこでアンテナを上下 2 つに分けて長方形にできるだけ近い形にする。

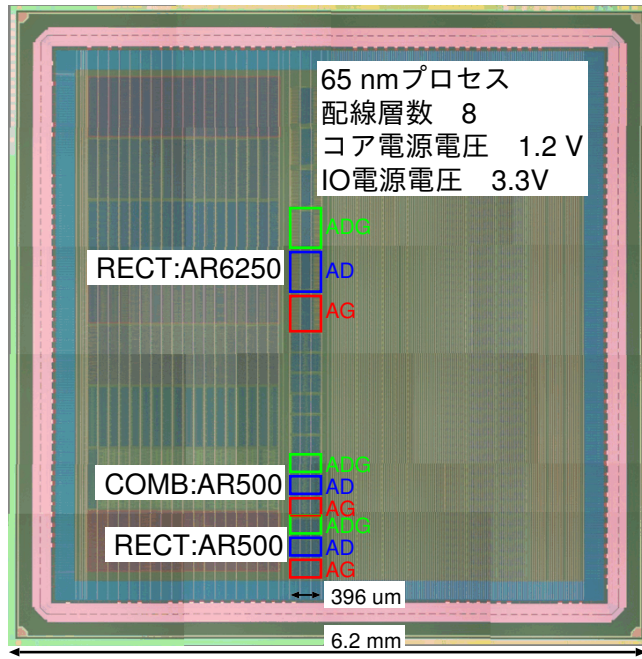
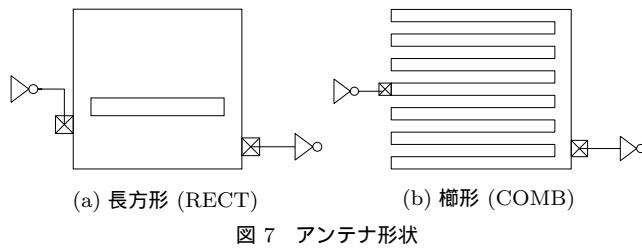
櫛形は周囲長が大きくなる構造である。今回作製した長方形と比べると、周囲長は $69.32 \mu\text{m}$ から $355.08 \mu\text{m}$ と 512% になっている。

櫛形のアンテナ比が 6250 のものは作製しない。理由はセル幅が $100 \mu\text{m}$ 以上と大きく、実装する面積に載せるのが不可能だったためである。

製造したチップ写真を図 8 に示す。

4. 結 果

3. 節で説明した各構造において作成した回路で発振周波数を測定した結果を示す。1 つのチップに同じ構造のリングオシレータが 98 個あり、測定は 5 チップ行った。そのため、サン



プル数は 1 つの構造で 490 個ある。

測定では SOTB に基板リバースバイアスを 2.1 V 印加している。バルクより SOTB のしきい値電圧が低く、発振周波数が異なっていた。SOTB のしきい値電圧を上げてバルクと同じ発振周波数にするために、基板リバースバイアスを印加している。基板リバースバイアスを 2.1 V 印加すれば、ほぼ同じ発振周波数となった。

4.1 特性ばらつきの変動

平均発振周波数 μ と標準偏差 σ を計算してグラフにしたものを図 9 に示す。平均発振周波数に違いが見られるものの、標準偏差に大きな違いは見られない。バルクでの平均発振周波数に対する標準偏差の比率 ($\mu / \sigma \times 100$) は AG, AD, ADG 接続構造でそれぞれ 1.78, 1.92, 1.85 % である。ダメージを受けない AD 接続構造を基準にすると、0.14 % 以内に収まっている。SOTB ではそれぞれ 1.58, 1.50, 1.54 % であり、全て 0.08 % 以内に収まっている。図 9 では長方形アンテナ比 500 のみを示しているが、他の構造では全て 0.1 % 以内に収まっている。このことからアンテナダメージによる特性ばらつきの変動は確認できない。

4.2 平均発振周波数の変動

アンテナダメージによって発振周波数が減少することを確認する。しかし、アンテナの接続構造の違いで配線の抵抗や容量の付き方が異なるため、各構造でダメージを受けないときの発

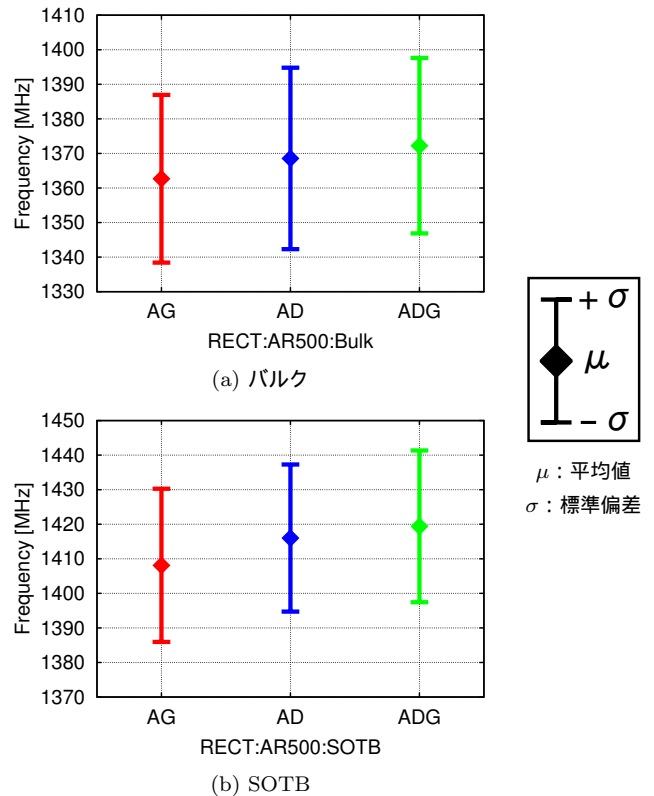


図 9 長方形アンテナ比 500 での平均発振周波数 μ と標準偏差 σ

振周波数が異なる。そこで、シミュレーションによるアンテナダメージを受けないときの発振周波数と測定値を比較する。

4.2.1 シミュレーション

作製した各回路のレイアウトから LPE (Layout Parameter Extraction) により RC 抽出を行う。LPE とはレイアウトをもとに配線の抵抗や容量をパラメータとして求めることである。抵抗 R と容量 C をパラメータとして抽出する RC 抽出によって得られるネットリストを用いてシミュレーションを行う。配線は導体といっても抵抗が存在し、他の配線との容量も存在する。抵抗と容量は動作速度や遅延時間に影響を与える。抵抗と容量を考慮することでアンテナダメージがないときの発振周波数をシミュレーションで求められる。

4.2.2 バルクとシミュレーションの比較

バルクにおいて AD 接続構造は電荷がドレインを通じて基板に流れ出るため、ダメージを受けない。そこで AD 接続構造を基準に発振周波数が何%ずれているかを式 (2) に従って計算する。 f_{RAD} は AD 接続構造を基準とした発振周波数比率、 f は比較する発振周波数、 f_{AD} は AD 接続構造の発振周波数である。横軸をシミュレーション、縦軸をバルクの測定値としてグラフにしたものを図 10~11 に示す。青い線より下にある場合はシミュレーションよりバルクの測定値が小さい、すなわちアンテナダメージでバルクの発振周波数が減少していることを表している。

$$FR_{AD} = \frac{f - f_{AD}}{f_{AD}} \times 100 \quad (2)$$

4.2.3 SOTB とバルクの比較

バルクと SOTB で異なるのはドレイン直下の絶縁層だけで

あり、ゲートの構造に違いはない。そのため、アンテナをゲートのみ接続している AG 接続構造では、アンテナダメージの影響はバルクと SOTB で同じである。アンテナをドレインにつなげたときに違いがあるので、AG 接続構造を基準に AD および ADG 接続構造の発振周波数が何%ずれているかを式 (3) に従って計算する。 FR_{AG} は AG 接続構造を基準とした発振周波数比率、 f は比較する発振周波数、 f_{AG} は AG 接続構造の発振周波数である。横軸をバルクの測定値、縦軸を SOTB の測定値としてグラフにしたものを図 13~14 に示す。赤い線より下にある場合はバルクより SOTB の測定値が小さい、すなわちダメージはバルクの方が少ないことを表している。

$$FR_{AG} = \frac{f - f_{AG}}{f_{AG}} \times 100 \quad (3)$$

4.2.4 考察

バルクの結果 (図 10~11) では、基準としている AD 接続構造より AG 接続構造が下にきている。全ての構造で 0.30 % 以上減少していることから、ゲートにアンテナをつなげることでダメージを受けて発振周波数が減少していることが分かる。アンテナ比を 500 から 6250 にすると、AD 接続構造は 0.77 % から 1.04 % になっている。アンテナ比が増えることで、ダメージが増加することが分かる。

アンテナダメージによる発振周波数の減少を回路シミュレーションにより、しきい値に換算した。シミュレーションでしきい値電圧が 6.1 % 劣化すると、0.77 % 発振周波数が減少する。シミュレーションでしきい値電圧が 7.0 % 劣化すると、1.04 % 発振周波数が減少する。今回製造したアンテナ比 6250 の AG 接続構造では、アンテナダメージによって 7.0 % しきい値が劣化していることが分かる。

ADG 接続構造においてアンテナ比 500 では、シミュレーションと測定値で差が 0.1 % 以内に収まっている。つまり、AD と ADG 接続構造でアンテナダメージは変わらない。アンテナ比 500 はアンテナルールの限界値であるため、AD と ADG 接続構造でダメージに違いは見られないことが要因である。

しかし、アンテナルールを破ったアンテナ比 6250 では、ADG 接続構造の測定値はシミュレーションより 0.51 % 低い値である。ADG 接続構造ではドレインで緩和しきれずにダメージを受けていることが分かる。同じダメージ量であるはずの長方形アンテナ比 500 の AG 接続構造は、シミュレーションより 0.77 % 低い。今回の結果では、ADG 接続構造は予想よりダメージを緩和していると言える。

SOTB とバルクを比較した結果 (図 13~14) では長方形アンテナ比 500 では差が 0.1 % 程度であり、大きな差が見られない。これはアンテナルールの限界値であるため、バルクと SOTB でダメージ量に違いがないからである。アンテナ比 6250 では AD 構造はバルクと同じで、ADG 構造は SOTB の方がダメージが少ない。SOTB でもアンテナをドレインに接続することで、ダメージを緩和できる。しかし、楕円形アンテナ比 500 では AD と ADG 接続構造共に AG 接続構造よりダメージを受けている。SOTB ではアンテナの周囲長が大きいとドレインに接続しても緩和しきれず、大きなダメージとなる。

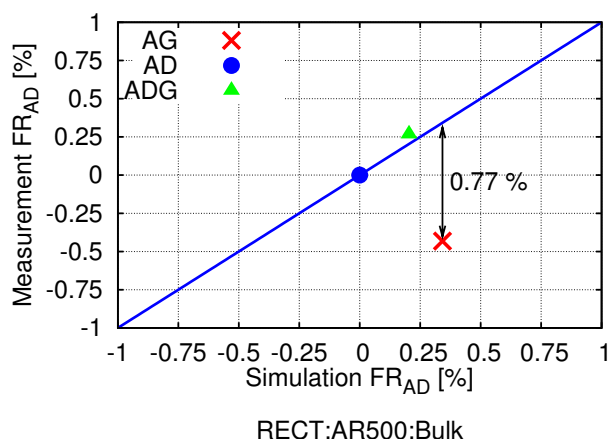


図 10 長方形アンテナ比 500 におけるバルクの測定結果とシミュレーションの比較

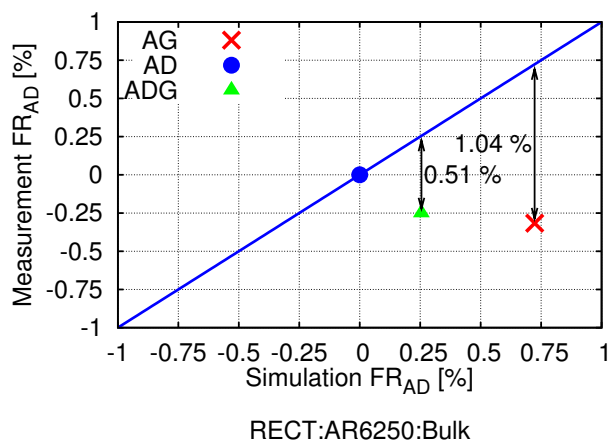


図 11 長方形アンテナ比 6250 におけるバルクの測定結果とシミュレーションの比較

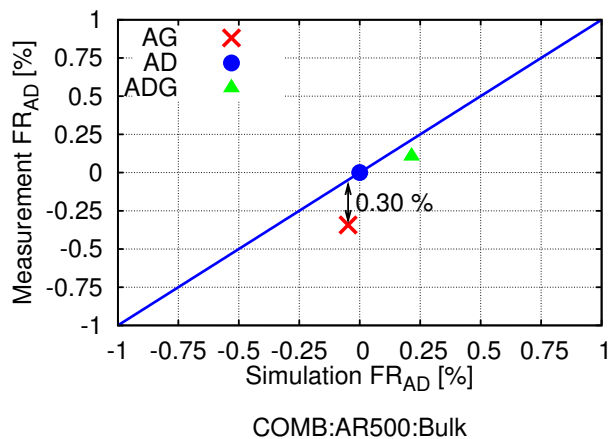


図 12 楕円形アンテナ比 500 におけるバルクの測定結果とシミュレーションの比較

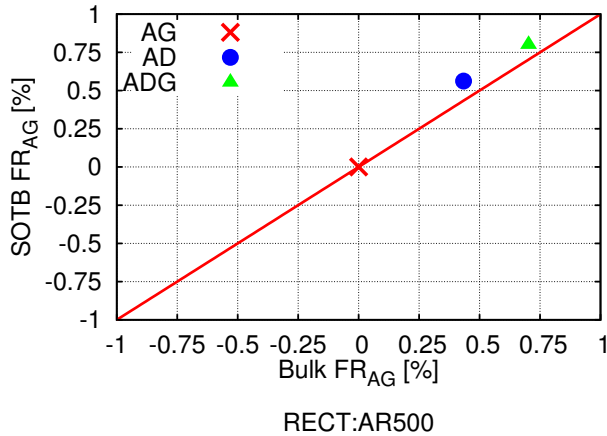


図 13 長方形アンテナ比 500 における SOTB とバルクでの比較

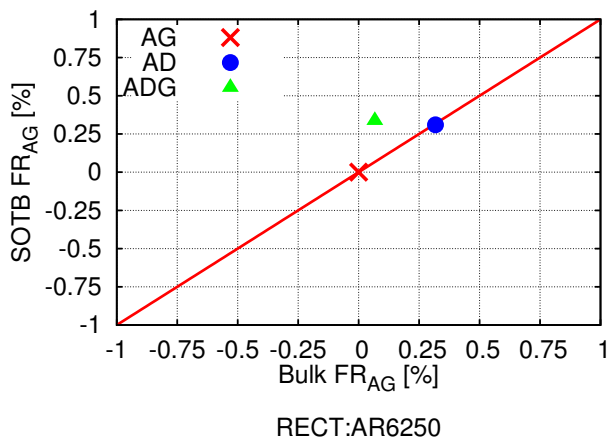


図 14 長方形アンテナ比 6250 における SOTB とバルクでの比較

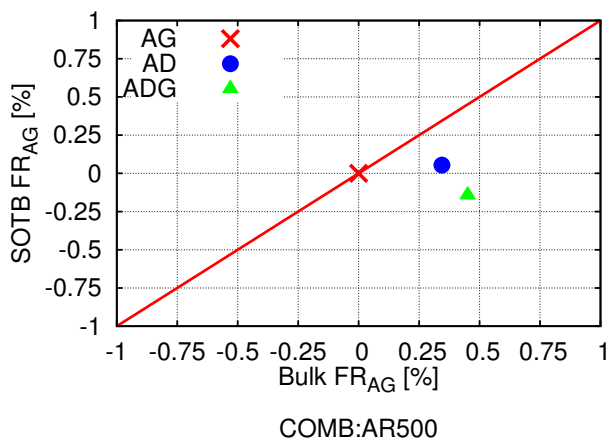


図 15 櫛形アンテナ比 500 における SOTB とバルクでの比較

5. 結 論

アンテナダメージの影響を検証するために、11 段リングオシレータにおいて発振経路の 1ヶ所のみアンテナを接続した回路で発振周波数を測定した。アンテナの大きさ、形状、接続構造を変えてバルクと SOTB でアンテナダメージに違いが出るかを調べた。接続構造を変えて標準偏差の違いを見ると、差が 0.1 %以内であったのでアンテナダメージによる特性ばらつきの

変動を確認することは出来なかった。しかし、アンテナダメージによる平均発振周波数の減少を確認出来た。バルクでは基板に電荷が流れていくため、アンテナをドレインにつなげることでダメージを緩和することが分かった。SOTB ではバルクよりアンテナの周囲長の影響が出ることを確認した。今後はアンテナダメージと BTI・経年劣化の関連性について調べていく。

謝辞 本研究は、METI, NEDO 委託先である LEAP の「低炭素社会を実現する超低電圧デバイス技術プロジェクト」において共同実施された。

文 献

- [1] A.C.Mocuta, T.B.Hook, A.I.Chou, T.Wagner, A.K.Stamper, M.Khare, and J.P.Gambino, "Plasma charging damage in SOI technology," American Vacuum Society, pp.104–107, 2001.
- [2] K.S. Min, C.Y. Kang, O.S. Yoo, B.J. Park, S.W. Kim, C. Young, D. Heh, G. Bersuker, B.H. Lee, and G.Y. Yeom, "Plasma induced damage of aggressively scaled gate dielectric (EOT < 1.0nm) in metal gate/high-k dielectric CMOS-FETs," IRPS, pp.723–724, 2008.
- [3] W.H. Choi, P. Jain, and C. Kim, "An array-based circuit for characterizing latent plasma-induced damage," IRPS, pp.4A.3.1–4A.3.4, 2013.
- [4] C. Young, G. Bersuker, F. Zhu, K. Matthews, R. Choi, S. Song, H. Park, J. Lee, and B.H. Lee, "Comparison of plasma-induced damage in SiO₂/TiN and HfO₂/TiN gate stacks," IRPS, pp.67–70, 2007.
- [5] F.L. Chow and A. Chin, "Failure analysis on plasma charging induced damage due to effect of circuit layout & device structure marginality," IPFA, pp.1–5, 2012.
- [6] B. Kaczer, S. Mahato, V. de Almeida Camargo, M. Toledano-Luque, P. Roussel, T. Grasser, F. Catthoor, P. Dobrovolny, P. Zuber, G. Wirth, and G. Groeseneken, "Atomistic approach to variability of bias-temperature instability in circuit simulations," IRPS, pp.XT.3.1–XT.3.5, 2011.
- [7] V. Huard, C. Parthasarathy, C. Guerin, T. Valentin, E. Pion, M. Mammasse, N. Planes, and L. Camus, "NBTI degradation: From transistor to SRAM arrays," IRPS, pp.289–300, 2008.
- [8] H. Reisinger, "NBTI: Recent findings and controversial topics," IRPS, 2011. Monday Tutorial Presentations.
- [9] R. Tsuchiya, M. Horiuchi, S. Kimura, M. Yamaoka, T. Kawahara, S. Maegawa, T. Ipposhi, Y. Ohji, and H. Matsuoka, "Silicon on thin BOX: A new paradigm of the CMOS-FET for low-power high-performance application featuring wide-range back-bias control," IEDM, pp.631–634, 2004.