

レジスタビット反転を用いた経年劣化に強靱な多重化回路

岡田 翔伍[†] 増田 政基[†] 姚 駿^{††,†††} 嶋田 創^{††,†††} 小林 和淑^{†,†††}

[†] 京都工芸繊維大学, ^{††} 奈良先端大学院大学, ^{†††} JST,CREST,

あらまし 近年、製造技術の進歩により微細化が進み、その影響でソフトエラー率が上昇し、様々なソフトエラー対策がなされている。対策のひとつとして、多重化によりソフトエラー対策を行ったプロセッサがあげられる。しかし、多重化回路の各回路で同等の回路構造を持つことは、経年劣化によるエラーが同箇所に同時期に発生する確率が増加する。本稿では、ソフトエラーに加えて、経年劣化によるエラーにも強靱な多重化パイプラインプロセッサを 180nm プロセスで設計を行った結果を報告する。設計したプロセッサは、一方のパイプラインは通常の FF、ビット反転 FF を使用し設計した。ビット反転 FF を使用して設計することのより、クリティカルパス遅延は変化せず、ビット反転 FF を使用したプロセッサは 2.0%の面積オーバーヘッド、消費電力は 1.0%の増加で実現できた。ビット反転回路ではクリティカルパスの経年劣化の影響の受けかたが異なり、同時期に、同箇所にエラーが発生する確率が低くなった。
キーワード 多重化回路, 経年劣化, レジスタのビット反転, ソフトエラー

Robust Redundant Circuit Structure to Mitigate Wearout by Reversing Register Values

Shogo OKADA[†], Masaki MASUDA[†], Jun YAO^{††,†††}, Hajime SHIMADA^{††,†††}, and Kazutoshi KOBAYASHI^{†,†††}

[†] Kyoto Institute of Technology, ^{††} Nara Institute of Science and Technology, ^{†††} JST,CREST,

Abstract Soft-error rates are becoming larger due to process scaling. Various ways to predict soft-error rates are being tried. A multiple modular processor is designed for soft-error tolerance. However, if there are equivalent circuit structures in the processor, the error by wearout at the same time increase. In this paper, we propose a robust redundant circuit structure with a multiple modular processor with reversing register values. It has a pipeline with normal DFFs and a pipeline with reversing register values FF. A pipeline with reversing register values FF has only 1.02x area and 1.01x power. The pipeline with reversing register values FF has a different tendency to get wearout from the pipeline with normal DFFs. Thus the error rate by wearout at the same time decrease.

Key words Redundant Circuit, Wearout, Reversing Register Values, Soft Error

1. はじめに

近年、製造技術が進歩し集積回路の微細化・高集積化が行われ電子機器の性能は向上し続けてきている。しかし、微細化により、一時故障（ソフトエラー）率が上昇している。ソフトエラーは一時的な故障であり、地上では 1 チップで約 100 年に 1 度程度発生する [1]。これは集積回路を一般に使う際にはとくに問題ない数値であるが、飛行機など公共交通機関のように一時的なエラーであっても、発生すると人命に関わる問題であり、信頼性向上のために同様の回路構造を複数用いて多重化設計がなされている。多重化回路では複数の回路での処理結果を比較し、処理の正誤の判断を行っている。しかし、同様の回路構造で多重化した回路では、経年劣化による故障が同時期に同箇所

に起こる確率が大きくなる。そのため、多重化回路で故障の検出または回復を行うことができない。本稿では、多重化回路の設計の際に、同様の処理を行うことができるが、レジスタの値を反転することにより異なる回路構造にすることで、経年劣化にも強靱な多重化回路を提案する。

第 2 節では、ソフトエラーの種類と経年劣化がもたらす回路への影響について述べる。第 3 節では、多重化パイプラインプロセッサについて述べる。第 4 節では、様々な回路でレジスタビット反転を用いた一時故障と経年劣化に強靱な回路の設計方法について述べる。第 5 節では、設計した多重化回路の面積と電力のシミュレーション結果について述べる。第 6 節では本稿のまとめを述べる。

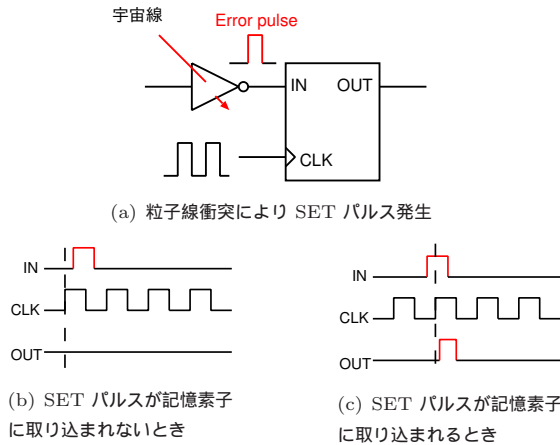


図 1 SET パルスによるエラー発生機構

2. 集積回路の信頼性低下の要因

本節では、信頼性の低下につながるソフトエラーと経年劣化起因のエラーの発生機構と回路に及ぼす影響について述べる。

2.1 ソフトエラー

高エネルギー中性子や α 線のような宇宙線がトランジスタに衝突すると、一過性のパルスが発生し、順序回路の保持値が反転することがある。この現象をソフトエラーと呼ぶ。ソフトエラーは SET (Single Event Transient) パルスにより SRAM やフリップフロップ (FF) などの記憶素子の値が反転することで発生する。SET パルスが記憶素子の外部で発生したときには、パルスが取り込まれることで反転する (図 1)。記憶素子の内部で SET パルスが発生すると、保持値を直接反転させる。ソフトエラーは一過性のエラーであるので、再度同じ命令を実行することにより、エラーを取り除くことができる。

2.2 経年劣化

回路を使い続けると断線や周波数の低下などの経年劣化現象が発生する。断線の主な要因としては、電流が流れることにより電子と金属原子が衝突し、配線などが徐々に細くなっていくエレクトロマイグレーションがある [2]。配線に電流が流れると、移動する電子と配線の金属原子が衝突し、金属原子が移動していき配線の形状に欠陥が生じ、最終的には断線を引き起こす現象である。このエラーは電流密度が大きくなると金属原子との衝突確率が上昇する。微細化が進むと配線が細くなり、電流密度が大きくなるので、この現象を無視することができなくなる。また、周波数の低下の要因はトランジスタのゲート酸化膜にキャリアが捕獲され動作周波数を低下させる BTI (Bias Temperature Instability) がある。BTI は MOSFET のゲートに電圧や温度などのストレスがかかると、時間と共に閾値電圧が増加していき、動作周波数の低下につながる LSI の経年劣化現象である。BTI には NMOS で起こる PBTI (Positive BTI) と PMOS で起こる NBTI (Neg-ative BTI) の 2 種類がある。PBTI は 40nm プロセス以降で顕在化するとされているが、NBTI はそれ以前の 65nm 以上のプロセスでも回路の信頼性に影響を与えられている。BTI はストレスが与えられているときにはトランジスタの閾値電圧を上昇させ、動作周波数

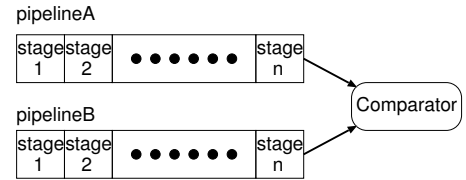


図 2 DMR 構造パイラインプロセッサ

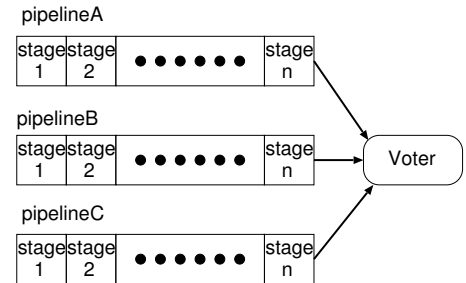


図 3 TMR 構造パイラインプロセッサ

の低下を招くが、ストレスが取り除かれると回復する特徴がある。しかし、ストレスを取り除いた回復で、初期状態まで戻ることはなく、永続的に回復しない成分も含まれている。そのため、使用期間が長くなるにつれて、動作周波数は低下する [3]。

3. 多重化パイラインプロセッサ

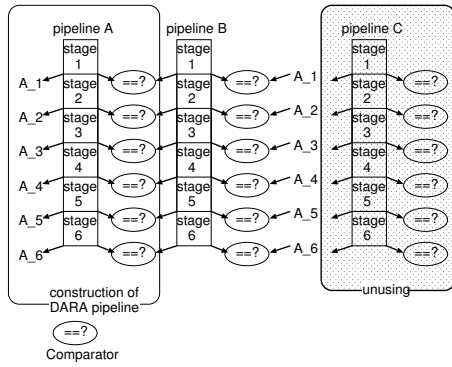
ソフトエラー耐性向上手法は空間的に多重化させる手法が広く用いられている。その代表的なものに二重化 (Dual Modular Redundancy:DMR) 構造や三重化 (Triple Modular Redundancy:TMR) 構造がある。本研究では DMR 構造と TMR 構造が動的に変化するパイライン構造である DARA (Dinamic Adaptive Redundancy Architecture) パイライン構造のプロセッサ [4] を用いる。

3.1 DMR 構造パイラインプロセッサ

DMR 構造パイラインプロセッサを図 2 に示す。DMR 構造では同じ構造の 2 つのパイラインを持つ。命令を複製し、2 つのパイラインで同じ命令を実行する。実行中の 2 つのパイラインで処理された値を比較器 (Comparator) を用いて比較する。その結果が等しい時には命令が正しく処理されたとして次の命令の処理を行なう。しかし、異なる時にはどちらかのパイラインでエラーが起きているので、同じ命令を再度実行する。ソフトエラーは一時的なエラーであるので、命令を再実行することによりエラー回復が可能である。しかし、再実行によるエラー回復は一過性のエラーにのみ有効であるので、ハードエラーが発生すると検出はできるが回復はできない。

3.2 TMR 構造パイラインプロセッサ

TMR 構造パイラインプロセッサを図 3 に示す。DMR 構造パイラインプロセッサと同様に同じ構造の 3 つのパイラインを持つ。命令を複製し、3 つのパイラインでは同じ命令を実行する。3 つのパイラインで処理された値を多数決回路 (Voter) で多数決をとり、正しい値を決定する。多数決で正しい値を決定するので、1 つのパイラインでハードエラーが発生したとしても残り 2 つのパイラインでエラーが発生しない



(a)DMR構造パイプラインの構成

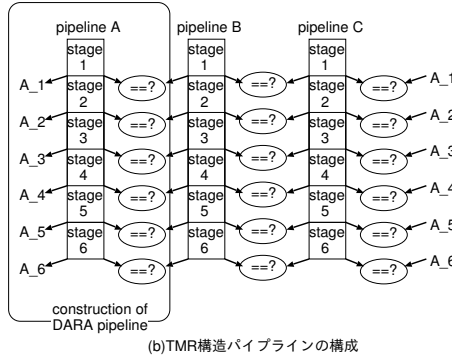


図4 DARA 構造パイプラインの構成

限り正常な動作を続けることができる。しかし、同じパイプラインを3つ持つことになり、面積や消費電力が3倍以上になる。

3.3 DARA パイプラインプロセッサ

DARA パイプライン構造は6段 RISC プロセッサで、各ステージの境界で比較器を持つ。エラーの発生していない、ソフトエラー発生時には DMR 構造で動作し、1つのパイプラインは動作しない。ハードエラー発生時には、動作していなかったパイプラインを加えて TMR 構造となる [4]。DARA パイプライン構造を図4に示す。図4で (a) は DMR 構造時、(b) は TMR 構造時を表している。ステージ k の値が入力される比較器はステージ $k + 1$ の処理と同時に動作する。そのため、比較器でエラー判定中も命令の実行は行われているので比較器での時間的なオーバーヘッドはない。各ステージ境界に比較器を持っており、早い段階でエラーの検出を行うので、エラー回復に要する時間を短くすることができる。DMR 構造時にハードエラーが発生すると命令の再実行による回復動作が行えないので、もう1つパイプラインを加えて TMR 構造として動作する。TMR 構造では比較器を用いた多数決を行う。例えば、3つのパイプラインのパイプラインをそれぞれ A, B, C とし、そこで実行されている命令をそれぞれ I_A, I_B, I_C とする。これらの命令が比較器により $I_A \neq I_B, I_B = I_C, I_C \neq I_A$ となると、 I_A だけが保持値が異なる。これはパイプライン A でハードエラーが発生していることを示すので、パイプライン A を切り離しパイプライン B, C で再度 DMR 構造となり、動作を続ける。パイプライン DARA パイプライン構造はこれらの比較器を含んだパイプライン構造となっている。プロセッサの中にパイプラインを3つ以上搭載することにより DMR 構造と TMR 構造を動的に変化させることによりソフトエラーとハードエ

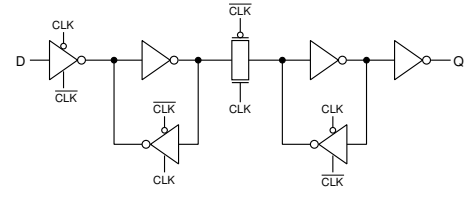


図5 TGFF

ラーの両方のエラー耐性を持つことできる。DMR 構造で動作している時には残りのパイプラインは全く動作しないので、パイプライン2つ分の消費電力で動作することが可能である。しかし、動作しないとしてもパイプラインは3つ搭載するので面積は TMR 構造相当になる。

4. レジスタビット反転回路

多重化パイプラインプロセッサでは比較回路や多数決回路を用いてエラー回復を行っている。これらの回復方法では2つ以上のパイプラインの同じレジスタ (FF) で同時にエラーが発生すると、エラー検出と回復ができない。比較回路には2つのエラー値が入力され、2つの入力値が同じであるのでエラー発生を検出ができない。多数決回路では2つの回路で同時にエラーが発生すると、多数決ではエラー値が多数になるのでエラー値が出力される。これらのときにプロセッサは誤動作する。経年劣化によるエラーはストレスが印加されることにより発生する。同じ回路構造では同じ箇所に同等のストレスが印加され続けていることになる。ストレスの印加が等しいと経年劣化の影響の受けかたも等しくなる。それにより、同時期に経年劣化によるエラーが発生する可能性が大きいと考えられる。それを防ぐ手法として記憶素子 (レジスタ) の出力が入力と異なる FF を使用することで後段の演算回路の回路構造が異なるものとする。各パイプラインでストレスを受ける素子や配線が異なるので、経年劣化によるエラーが異なる箇所が発生することが期待できる。

4.1 レジスタビット反転 FF

本設計では、順序回路に TGFF (Transmission Gate Flip Flop) を用いる。レジスタビット反転回路には TGFF の入力値と出力値が異なる TGFF (TGFF_IQN) の設計を新たに行い、その FF を用いて設計を行った。TGFF と TGFF_IQN を図5, 6に示す。TGFF_IQN は TGFF の最後段のインバータをトランスミッションゲート直後に接続している。これは、順序回路の駆動力を決める最後段のインバータから出力することで、変更前の TGFF の駆動力を変えないためである。TGFF_IQN を用いることで、順序回路後の演算回路部の入力値が異なる値になるので後段の演算回路の構造が異なる構造になることが期待できる。

4.2 レジスタビット反転 FF を用いた回路

入力と出力が順序回路に接続されている2ビット加算器を180nm プロセスで TGFF, TGFF_IQN のそれぞれを用いて設計を行った。論理合成の結果の回路図を図7, 8に示す。図より、TGFF を用いた回路と TGFF_IQN を用いた回路では使用されている論理素子の数が異なる。例えば、TGFF を用いた回路

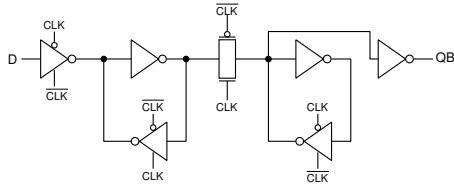


図 6 TGFF_IQN

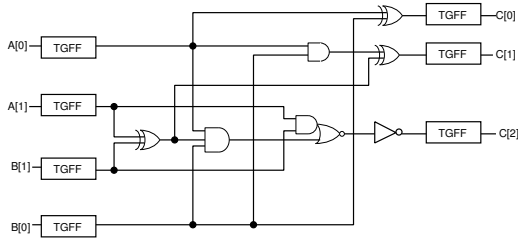


図 7 TGFF を用いた 2 ビット加算器

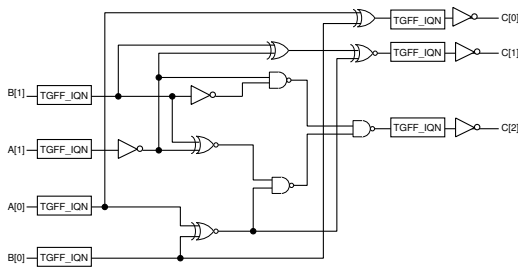


図 8 TGFF_IQN を用いた 2 ビット加算器

では 2 入力 NAND が使用されていないのに対し、TGFF_IQN を使用した回路では 2 入力 NAND を 3 つ使用していない。このように TGFF_IQN を使用することで、構成する論理素子が異なる。構成する論理素子が異なると回路構造も異なる構造になる。TGFF_IQN を用いることで、2 ビット加算器の演算回路部が異なる回路構造になる。異なる回路構造では論理素子の入力値の履歴や配線に印加されるストレスが異なる配線になるので経年劣化の影響を最も受けやすい箇所が異なる部分になる。

5. 試作チップ

試作は Rohm 社の 180nm プロセス、5mm 角のチップで、DARA パイプライン構造プロセッサを実装している。プロセッサには 3 つパイプラインで構成され、ハードエラー発生時以外は DMR 構造で動作する。初めに構成される DMR の 1 つのパイプラインには TGFF_IQN を用いて設計し、残りの 2 つは TGFF 用いて設計を行った。DARA パイプラインプロセッサでは 2 つのパイプラインのどちらかでハードエラーが発生するまでは DMR 構造を維持するので、TGFF を用いたパイプラインも動作し劣化したものと、休止状態で劣化していないパイプラインでは同時に経年劣化によるエラーが発生する確率は低くなる。各パイプラインには SRAM で 240bits x 128lines(ECC 付き)の L1 キャッシュ(L1\$)が存在する。L2 キャッシュ以降の大容量メモリは外部に置く。

5.1 プロセッサの構成

プロセッサの構成を図 9 に示す。パイプラインのステージ間

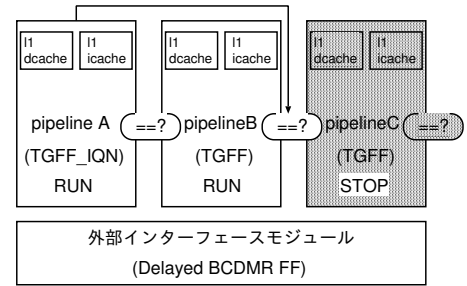


図 9 プロセッサの構成

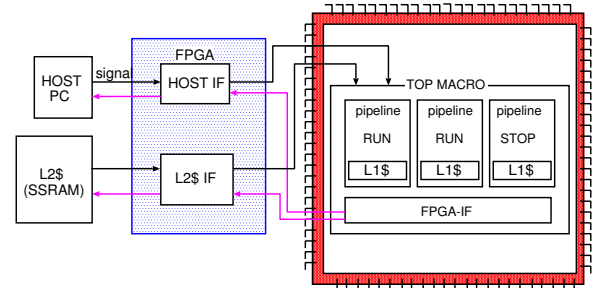


図 10 プロセッサの動作環境

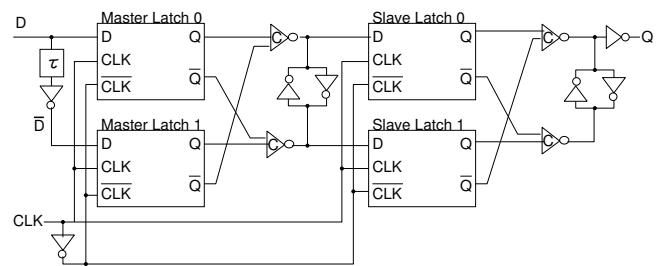


図 11 Delayed BCDMR FF の構造

にあるパイプラインレジスタを FF で構成している。3 つのパイプラインの内 1 つのパイプライン (PL_{IQN}) には TGFF_IQN を使用し、残り 2 つのパイプライン (PL_{normal}) には TGFF を使用して設計している。DARA パイプラインプロセッサは DMR 動作時には各パイプラインの比較器で処理結果を比較し、異なる場合には再実行命令を発行する。ソフトエラー発生時には命令を再実行することで回復可能である。このようにアーキテクチャレベルでソフトエラーに強靭な作りになっている。試作チップの動作環境を図 10 に示す。試作チップは Host PC との間に L2 キャッシュ、Host PC とのインターフェースを構成する Field-Programmable Gate Array(FPGA) が存在する。この FPGA とのインターフェース部のみ二重化されていないので、回路レベルでソフトエラー耐性を向上させた冗長化 FF の BCDMR FF [6] に 1ns の遅延素子を挿入し外部からの SET パルスにも強靭な Delayed BCDMR FF を用いて設計した。Delayed BCDMR FF の構造を図 11 に示す。遅延素子の 1ns は SET パルスのパルス幅大きくても 1ns とされているからである [7]。

5.2 レイアウト設計

設計はスタンダードセルベースで、遅延情報が typical の遅延ライブラリを使用して、動作周波数を 40MHz(周期 25ns) で

表 1 プロセッサの設計結果

モジュール	論理合成		配置配線
	FF 部の面積 [mm ²]	セル面積 [mm ²]	消費電力比 [%]
PL _{normal}	0.92(1.00)	1.29(1.00)	100
PL _{IQN}	0.94(1.02)	1.31(1.02)	101
Processor	3.29(3.58)	4.58(3.55)	349

行った。各パイプラインではプロセッサを周期 25ns で動作させるために周期 20ns の制約で設計を行った。論理合成、配置配線には Synopsys 社の Design Compiler と IC Compiler を用いた。論理合成後の面積、配置配線後の電力を表 1 に示す。表 1 内の括弧内の数は TGFF を使用したパイプラインを基準にしたとき比率を表す。消費電力はスタンフォード・ベンチマークの QUEENS を実行したときのスイッチングアクティビティを使用してシミュレーションを行った。QUEENS を実行したときの活性化率 α はそれぞれ PL_{normal} では 4.65%、PL_{IQN} では 5.14% であった。消費電力は活性化率が大きいほど大きくなる傾向があるので、PL_{IQN} の方が大きくなるのは妥当な結果である。面積ではレジスタビット反転を行うと通常のパイプラインに 1.02 倍になった。プロセッサでパイプライン以外にも外部インターフェースモジュールが搭載されているパイプラインの面積の 3 倍以上になる。それぞれのパイプラインでのクリティカルパスのタイミング余裕は、PL_{normal} では 3.28ns、PL_{IQN} では 3.98ns となった。クリティカルパスのタイミング余裕が異なり PL_{normal}、PL_{IQN} のタイミング余裕はそれぞれクロック周期の 13.2%、15.9% である。タイミング余裕が異なるので 2 つのパイプラインの劣化率が等しいとしても、同時に故障する可能性は低くなる。

5.3 経年劣化の影響評価

経年劣化におけるエラーはレジスタ間のパスの遅延時間がクロック周期よりも長くなると後段の FF がタイミング違反となり発生する。遅延時間が最も長いパスをクリティカルパスと呼ぶ。経年劣化における遅延時間は 10 年間ストレスを与えると、クリティカルパスが 10%劣化し、5 年間ストレス (入力が 0) を与え、5 年間回復 (入力が 1) するときの劣化率を 0% と仮定する。ストレスによる閾値電圧の劣化は $T_0^{1/6}$ (T_0 : 入力が 0 である時間) に比例 [8] し、回復は $\log |T_1|$ (T_1 : 入力が 1 である時間) に比例 [9] する。遅延時間の増加は閾値電圧の増加と比例 [10] する。これらの仮定より、遅延時間の劣化を式 1 と仮定し検証を行う。

$$\Delta t_{delay} = \alpha T_0^{1/6} + \beta \log |T_1| \quad (1)$$

各パイプラインのクリティカルパスを入力としている FF は、PL_{normal}、PL_{IQN} でともに IF ステージの同じレジスタ (crit_FF) である。PL_{normal} のクリティカルパスが 10 年間で 5%劣化すると仮定すると、 $\alpha = 5.80 \times 10^{-7}$ 、 $\beta = -2.90 \times 10^{-5}$ となる。このモデル式で PL_{normal}、PL_{IQN} の crit_FF の入力となるパスの中で、タイミング余裕が小さい 5 つのパスについて劣化率を算出する。算出には QUEENS を実行したときのク

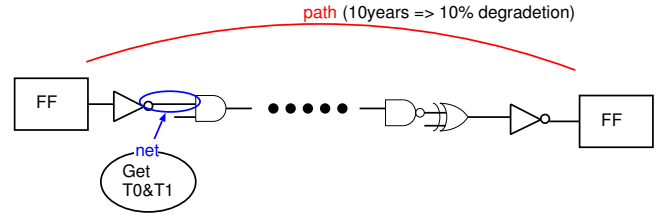


図 12 FF 間の接続の概略図

リティカルパスの状態を用いる。以降 FF 間の全配線をパス、論理素子間の配線をネットと呼ぶ (図 12)。

クリティカルパス内の全てのネットの T_0 と T_1 を用いて各ネットが入力となっている論理素子の劣化を算出する。クリティカルパス内の全論理素子の劣化率の合計をクリティカルパスの劣化 ΔT とする。本来、論理素子毎に遅延時間が異なるので、素子 i の遅延時間を t_{di} 、劣化率を δ_i 、パス内の素子数 N とすると、式 (2) で算出する。

$$\Delta T = \sum_{i=1}^N t_{di} \delta_i \quad (2)$$

しかし、今回は簡単化するために、全ての論理素子の遅延時間が等しいと仮定し、算出する。各パイプラインにはタイミング余裕が大きく、経年劣化によるエラーが発生しがたいので、パイプラインをクロック周期 17ns で動作させると仮定する。この仮定のときの各パイプラインの 5 つのクリティカルパスを表 2 に示す。それぞれのクリティカルパスの劣化率を図 13 に示す。各クリティカルパスの 0, 1 の 2 状態の時間比率それぞれ T_{0path} 、 T_{1path} とし、式 (3)、(4) で定義する。

$$T_{0path} = \frac{\sum T_0}{\sum T_0 + \sum T_1} \quad (3)$$

$$T_{1path} = \frac{\sum T_1}{\sum T_0 + \sum T_1} \quad (4)$$

各パイプラインの 5 つのクリティカルパスの T_{0path} 、 T_{1path} と 10 年劣化率を表 3 に示す。それぞれのパイプラインの 5 つのクリティカルパスの T_{0path} 、 T_{1path} はパイプライン内でほとんど変化が無い。しかし、PL_{normal} では 10 年後の劣化率は全て 1.88% となるのに対し、PL_{IQN} では 10 年劣化率では 3 種類あり、その最大の劣化の差は 0.04% である。各パイプラインでの劣化は PL_{normal} が PL_{IQN} の 2.5 倍 ~ 3.2 倍程度になる。電力の大きい PL_{IQN} が劣化が小さくなった理由は以下の 2 点がある。1 つは入力切替時の劣化を考慮しなかった。2 つ目は PL_{IQN} では T_1 が長く、PL_{IQN} は回復期間が大きかった (表 3)。これはレジスタの値を反転することにより、クリティカルパスへの入力値が反転し、その後のネットの T_0 と T_1 が反転に近い状態になっているからである。ビット反転 FF を用いて、ビット反転回路にすることで、同じレジスタがクリティカルパスとなっていたが、異なる劣化傾向を示している。PL_{normal} では 22 年後に劣化率が 2.80% になり、crit_path #1 がタイミング違反でエラーとなるが、PL_{IQN} では 22 年で劣化率は 1.06% となるので、エラーは発生しない。そのため、クリティカルパスが同時

表 2 各パイプラインでのタイミング余裕が小さいパス@crit_FF

パイプライン	パス	タイミング余裕 [ns]	$x\%$ 劣化でタイミング違反
PL _{normal}	crit_path #1	0.278	2.76
	crit_path #2	0.282	2.78
	crit_path #3	0.292	2.84
	crit_path #4	0.292	2.84
	crit_path #5	0.294	2.86
PL _{IQN}	crit_path #1	0.983	7.38
	crit_path #2	0.984	7.38
	crit_path #3	0.987	7.40
	crit_path #4	0.987	7.40
	crit_path #5	0.987	7.40

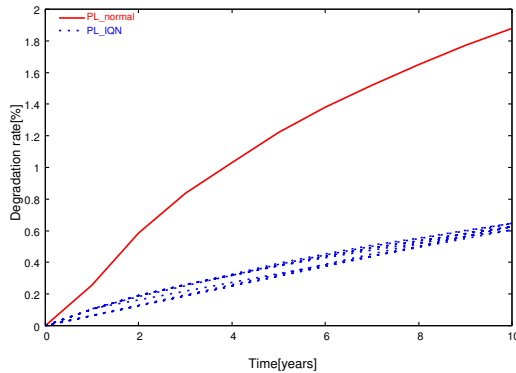


図 13 各パイプラインでの経年劣化による遅延時間の劣化

表 3 各パイプラインのクリティカルパスの状態時間比率と 10 年後劣化率@QUEENS

	パス	$T_{0path}[\%]$	$T_{1path}[\%]$	10 年後劣化率 [%]
PL _{normal}	crit_path #1	71.2	28.8	1.88
	crit_path #2	70.1	29.9	1.88
	crit_path #3	71.2	28.8	1.88
	crit_path #4	71.2	28.8	1.88
	crit_path #5	70.1	29.9	1.88
PL _{IQN}	crit_path #1	31.8	68.2	0.628
	crit_path #2	31.8	68.2	0.628
	crit_path #3	30.9	69.1	0.647
	crit_path #4	30.8	69.2	0.607
	crit_path #5	31.7	68.3	0.646

にエラーとならずに経年劣化にも強靱な構造となっている。

6. まとめ

多重化回路のレジスタの値を反転することでソフトエラーに加え、経年劣化にも強靱な多重化パイプラインプロセッサの設計を行った。二重化構造で動作するパイプラインプロセッサを、1つのパイプラインは通常の FF、もう1つのパイプラインは入力値と出力値が反転するビット反転 FF を用いて設計した。ビット反転 FF を用いることにより同じ動作記述から異なる回路構造を生成した。ビット反転 FF を用いることで、面積は 2.0% の増加、電力は 1.0% の増加があった。経年劣化にエラーは FF 間の論理素子の遅延時間がクロック周期よりも大きくなった時に

発生する。FF 間のパスでタイミング余裕が一番小さいパスをクリティカルパスと呼ぶ。クリティカルパスを入力に持つ FF が経年劣化によるエラーを起こす可能性が大きい。2つのパイプラインでは、クリティカルパスを入力に持つ FF は同じものであった。しかし、経年劣化における遅延時間は 10 年間ストレスを与えると、クリティカルパスが 10%劣化し、5 年間ストレスを与え、5 年間回復するときの劣化率が 0%と仮定すると、経年劣化の劣化率が異なることが分かった。スタンフォードのベンチマーク QUEENS を実行すると、通常の FF を用いたパイプラインでは、ビット反転 FF を用いたパイプラインの 2.5 倍から 3.2 倍程度劣化しやすくなる。劣化傾向が異なり、クック周期 17ns での動作を仮定すると、通常の FF を用いたパイプラインは 22 年後にタイミング違反によるエラーが発生するが、ビット反転 FF を用いたパイプラインでは 22 年後にタイミング違反を起こすことはない。ビット反転 FF を用いたレジスタビット反転回路にすることにより二重化パイプラインの同箇所が同時に経年劣化によるエラーが発生する確率は減少する。

謝辞

本チップ試作/研究は東京大学 VDEC を通しローム、凸版印刷、日本ケイデンス、シノプシス、メンターグラフィックスの協力で行われた。

文 献

- [1] 戸坂義春, 知っておきたいソフトエラーの実態, 日経エレクトロニクス, pp.145-156, 2005
- [2] J. Srinivasan, et. al. "The Impact of Technology Scaling on Lifetime Reliability", Dependable Systems and Networks, the 2004 International Conference on Dependable Systems and Networks, pp.177-186", 2004
- [3] W. Wang, et. al. "The Impact of NBTI Effect on Combinational Circuit: Modeling, Simulation, and Analysis", IEEE TRANSACTION ON VLSI Systems, pp.173-183, 2010
- [4] J. Yao, et. al. "DARA: A Low-Cost Reliable Architecture Based on Unhardened Devices and Its Case Study of Radiation Stress Test", IEEE Nuclear and Space Radiation Effects Conference, pp.2852-2858, 2012
- [5] 増田ほか, "タンダードセルベース ASIC における多重化フリップフロップのソフトエラー耐性の評価", 回路とシステムワークショップ, pp.170-175, 2011
- [6] J. Furuta, et.al. "A 65nm Bistable Cross-coupled Dual Modular Redundancy Flip-Flop Capable of Protecting Soft Errors on the C-element", Symposium on VLSI Circuits, pp.123-124, 2010
- [7] J. Furuta et. al. "Measurement of Neutron-induced SET Pulse Width Using Propagation-induced Pulse Shrinking", Proc. Int. Reliability Physics Symp., pp.5B.2.1-5B.2.5, 2011
- [8] S. Gupta et. al. "BTI-aware design using variable latency units", IEEE in ASP-DAC, pp.775-780, 2012
- [9] T. Matumoto et. al. "Multicore Large-Scale Integration Lifetime Extension by Negative Bias Temperature Instability Recovery-Based Self-Healing", The Japan Society of Applied Physics, vol.51, no 4, 2012
- [10] S. Tanihiro et. al. "Measurement Results of Substrate Bias Dependency on Negative Bias Temperature Instability Degradation in a 65 nm Process", Components, Packaging, and Manufacturing Technology Symposium Japan, pp.289-292, 2012