

ランダム・テレグラフ・ノイズに起因した 組合せ回路遅延ゆらぎに対する基板バイアスの影響

松本 高士[†] 小林 和淑^{††,†††} 小野寺 秀俊^{†,†††}

[†] 京都大学情報学研究科 〒 606-8501 京都市左京区吉田本町
^{††} 京都工芸繊維大学工学科学研究科 〒 606-8585 京都市左京区松ヶ崎
^{†††} JST CREST

E-mail: [†]tmatsumoto@vlsi.kuee.kyoto-u.ac.jp

あらまし 近年のLSI素子の微細化により、NBTIおよび、RTNなどのゲート絶縁膜の信頼性が回路の信頼性に与える影響がますます深刻になってきた。本研究ではRTNが回路の信頼性に与える影響を40nm CMOSテクノロジーにおいて試作した回路によって実測した結果に基づいて報告する。微細なサイズのインバータで構成される組合せ回路遅延ゆらぎを1,655個のリング発振回路で実測するとともに、基板バイアスがRTNによる遅延ゆらぎに対して与える影響を明らかにした。

キーワード ディペンダブルVLSI, CMOS, RTN, 基板バイアス技術

Impact of Body-Biasing Technique on RTN-induced Delay Fluctuation

Takashi MATSUMOTO[†], Kazutoshi KOBAYASHI^{††,†††}, and Hidetoshi ONODERA^{†,†††}

[†] Graduate School of Informatics, Kyoto University Yoshida Honmachi, Sakyo-ku, Kyoto, 606-8501 Japan

^{††} Graduate School of Science and Technology, Kyoto Institute of Technology Matsugasaki, Sakyo-ku,
Kyoto, 606-8585 Japan

^{†††} JST CREST

E-mail: [†]tmatsumoto@vlsi.kuee.kyoto-u.ac.jp

Abstract Designing reliable systems has become more difficult in recent years. In this paper, statistical nature of RTN-induced delay fluctuation is described by measuring 1,655 ROs fabricated in a commercial 40 nm CMOS technology. We also investigated the impact of body-biasing technique on RTN-induced circuit delay fluctuation.

Key words dependable VLSI, CMOS, RTN, Body-Biasing Technique

1. ま え が き

近年、高信頼性を備えたシステムを設計することはますます困難になってきている。トランジスタのリーク電流といった従来からの問題に加え、特性の劣化やばらつきなどの要因がディペンダブルなVLSIの実現に向けて深刻な影響を与えるようになってきた[1]~[3]。Random Telegraph Noise (RTN)[4]とNegative Bias Temperature Instability (NBTI)[5],[6]はトランジスタゲート絶縁膜の信頼性に関してCMOS回路の信頼性に深刻な影響を与える主要な要因である。NBTIはトランジスタが高温、負のゲートバイアス下におかれたときに発生す

る経年劣化現象であり、主にPMOSにおいて顕著な影響がみられる。NBTIにおける著しい特徴は、PMOSのゲート絶縁膜に対するNBTIストレスが緩和されると、劣化が回復するという現象が存在することである[7]。このNBTI回復現象のためにNBTIの劣化メカニズムの解明および劣化モデルの作成が困難となり、今日に至るまで活発に研究が行われている[8]-[16]。我々も測定遅延400nsという高速な測定時間で回復を評価可能な回路の試作[17]および回復現象を利用したマルチコアLSIの長寿命化手法の提案[18]によってNBTIの回路への影響を評価してきた。

RTNとして知られているトランジスタの特性ゆらぎ

は微細化、高集積化に伴って既に実回路における影響が現われはじめている。RTN 振幅は $1/(WL)$ に従って微細化とともに増大する [19]。 $1/\sqrt{(WL)}$ に従って増大するプロセスばらつきよりも RTN 振幅は急峻に微細化に伴って増大するため、将来のプロセスにおける RTN の影響をプロセスばらつきと比較して予測することは極めて重要である [20]。また、RTN は少なくとも $1\mu\text{s}$ から数時間にわたる極めて広範囲の時間スケールのゆらぎを伴った現象であることが実験によって明らかとなっている。RTN は CMOS イメージセンサ [21]、Flash メモリ [22]、SRAM [23] のような微細な素子が高密度に集積される回路に影響を与えることが報告されている。微細な素子を多数集積した場合に RTN の統計的な性質（極値統計）によって大きなゆらぎが発生し回路へ影響を与えるためである。例えば SRAM においては、NBTI の影響と同程度になることが最近報告されている [24], [25]。RTN のデジタル回路への影響については最近当研究室から初めて報告が行われた [26] ~ [28]。文献 [26], [27] では、65nm CMOS テクノロジーにおける遅延ゆらぎの実測が行われ、65nm CMOS ではプロセスばらつきが支配的であるものの、今後の微細化に伴って RTN のインパクトが増大することを予測した。一方、プロセスばらつきの影響を基板バイアスによって補償するための技術が開発されているが、RTN に起因する回路遅延ゆらぎに対する基板バイアスの影響は回路レベルでは明らかになっていない。以上の背景をもとに、本稿では RTN に起因したデジタル回路の遅延ゆらぎを実測した結果（40nm CMOS）および基板バイアスが遅延ゆらぎに与える影響について実測した結果について報告する。

2. RTN による遅延ゆらぎの評価回路構造

本節では、RTN に起因したデジタル回路の遅延ゆらぎの評価回路構造および評価手法について述べる。図 1 は一般的な同期回路を示している。クロックに同期した 2 つのレジスタ間に論理回路があり、このパスをデータが伝播する。RTN が論理回路内で発生すると伝播遅延のゆらぎが発生する。一方、RTN がレジスタで発生するとデータの取り込み動作にゆらぎが発生する。この同期回路動作を模擬する手法を図 2 に示す。論理回路に対してはリング発振回路の発振ゆらぎを観測する。図 2 でリング発振回路の電源電圧を VDD_{RO} 、DFF の電源電圧を VDD_{DFF} と表記するが、リング発振回路と分周回路はそれぞれ独立に電源を制御することができる。リング発振回路の RTN に起因した発振周波数ゆらぎを観測する場合

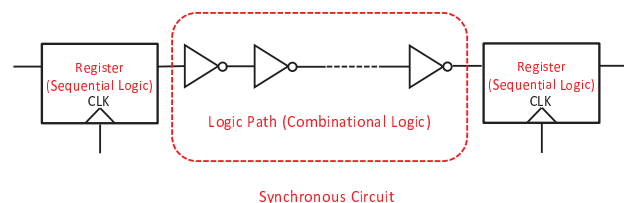


図 1 同期回路構造。

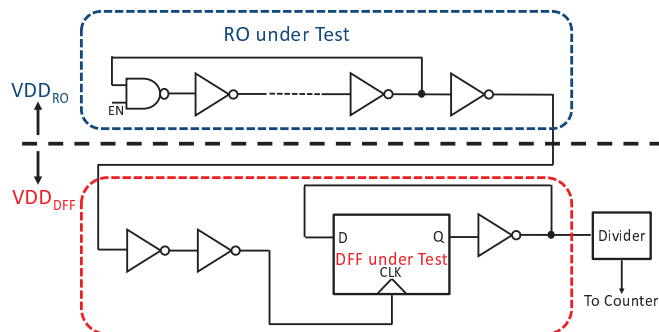


図 2 同期回路動作を模擬する最も簡単な回路構造。

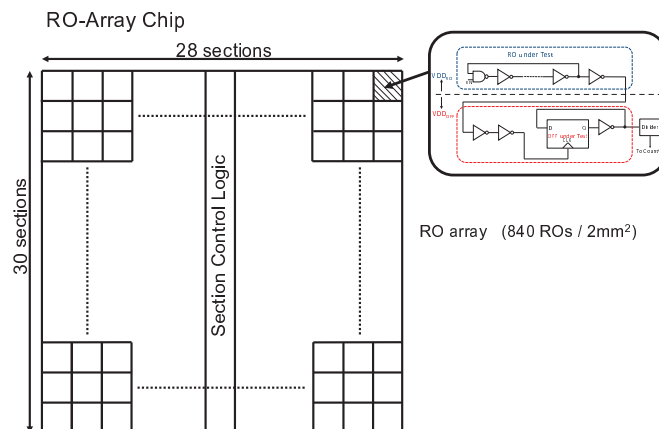


図 3 デジタル回路における RTN の影響を統計的に評価する回路構造。図 2 の構造を基本単位として 2mm 角の領域に 840 個アレイ状に配置。

は、 $VDD_{RO} \leq VDD_{DFF}$ のように設定して分周回路の誤動作を抑制する。さらに、RO を構成する回路の pMOS および nMOS の基板バイアスを独立に制御することが可能である。ここで pMOS、nMOS の基板バイアスをそれぞれ $V_{bs-pMOS}$ 、 $V_{bs-nMOS}$ と表記する。

一方、レジスタ回路動作の模擬は図 2 に示すようにリング発振回路の出力を DFF のクロック入力とする分周回路を構成し、その最大分周可能周波数 (Maximum Operating Frequency, MOF) を測定することによって評価する。さらに、RTN の統計的な性質を評価するために図

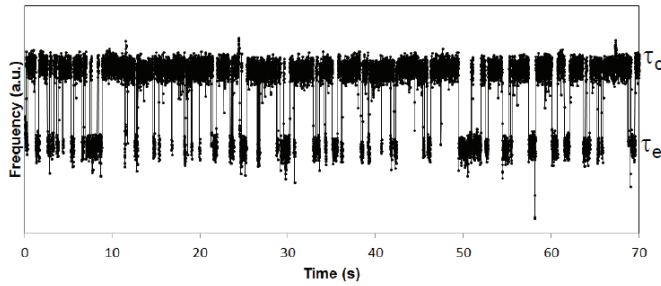


図 4 VDD_{RO}=0.65V における RTN に起因した RO 発振周波数ゆらぎの実測結果。

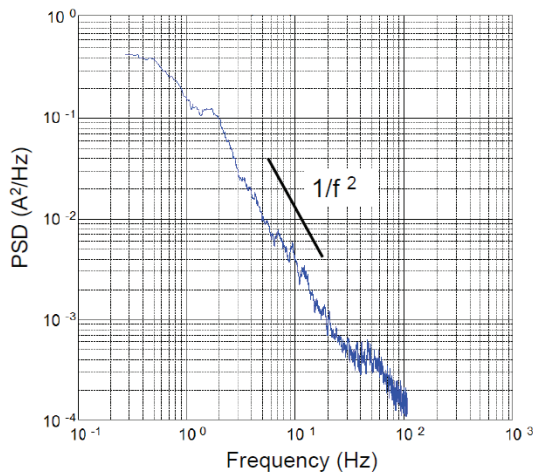


図 5 図 4 のパワースペクトラム (PSD)。

2 の回路構造を基本単位として、これをアレイ状に配置した回路を作成した (図 3)。2 mm 角の領域に右上に斜線で示した基本単位 (セクションと呼ぶ) がアレイ状に 840 個配置されている。1 セクションには図 2 の RO や FF は複数パターン搭載されている。本稿における全ての測定は室温において行なった。

3. RTN が回路遅延ゆらぎに与える影響

図 4 は VDD_{RO}=0.65V における RTN に起因した発振周波数ゆらぎを観測した結果である。リング発振回路を構成するインバータのトランジスタはデザインルールでの最小寸法としており、段数は 7 段である。発振周波数は 2 値変動しており、高周波状態に滞在する時間を τ_c 、低周波状態に滞在する時間を τ_e と定義する。次にこの測定結果がトランジスタで発生する RTN とどのように関係するかを調べる。図 5 は図 4 のパワースペクトラム (PSD) を計算した結果である。PSD はローレンツ型 ($1/f^2$) に従うことがわかった。図 6 は時定数 τ_c 、 τ_e の分布をそれ

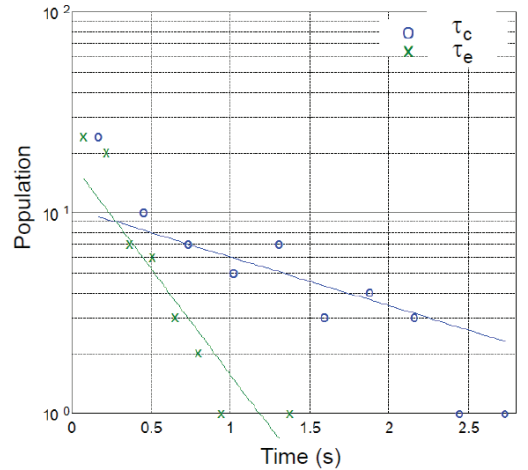


図 6 図 4 の時定数 τ_c 、 τ_e の分布。

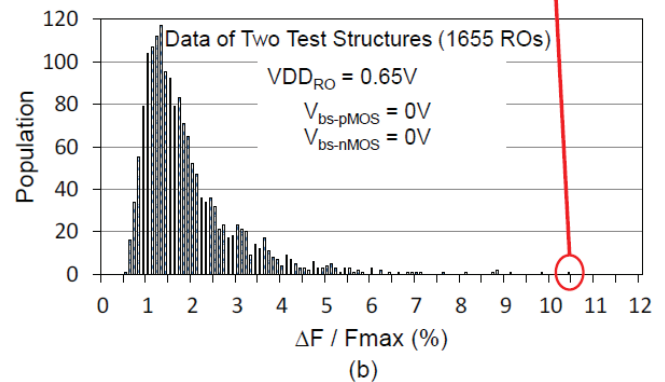
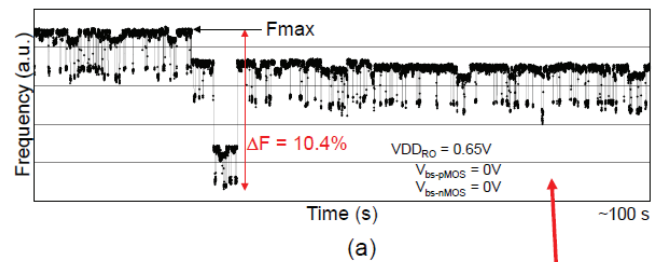


図 7 図 3 のテスト構造 2 個を用いた 1,655 個の RO の発振周波数ゆらぎを観測した結果。(a) $\Delta F / F_{\max}$ が最大値を示した RO の発振波形。(b) 1,655 個の RO における $\Delta F / F_{\max}$ の分布。

ぞれ示している。 τ_c 、 τ_e は共に指数分布 ($e^{-t/\tau}$) に従うことがわかった。PSD がローレンツ型に従うことおよび、時定数が指数分布に従うことは単体 Tr において 1 つの絶縁膜欠陥によって RTN が発生する場合にも成り立つ結果である。したがって図 4 で観測された 2 値的な周波数ゆらぎは、リング発振回路を構成するいずれか 1 つの Tr に存在する 1 つの欠陥において発生した RTN が原因であると考えられる。

図 3 のテスト構造 2 個を用いて多数の RO の発振周波数ゆらぎを観測した結果を図 7 に示す。 F_{\max} は 1 つの RO

周波数を測定している間に観測された最大周波数である。 ΔF は最大周波数と最小周波数の差であり、 $\Delta F/F_{\max}$ は RO 発振周波数ゆらぎの大きさをあらわす指標である。基板バイアスは通常バイアス条件 ($V_{\text{bs-pMOS}} = 0\text{V}$, $V_{\text{bs-nMOS}} = 0\text{V}$) とした。

図 7(a) は観測された $\Delta F/F_{\max}$ が最大値 (10.4%) を示した RO の発振波形を示す。図 4 とは異なって多値変動 (Complex RTN) が発生しているために周波数ゆらぎが極めて大きくなったことが明らかとなった。図 7(b) は 1,655 個の RO にわたって取得した $\Delta F/F_{\max}$ の分布である。 $\Delta F/F_{\max}$ が 6% を超えた RO の個数は 19 個であり、全体の 98.8% が 6% 以下のゆらぎを示すことが明らかとなった。以上のように $\Delta F/F_{\max}$ が大きい方向に向かって長く裾を引く分布となっており、RTN の性質を反映した結果と考えることができる。

4. RTN 遅延ゆらぎに対する基板バイアスの影響

図 8 は $V_{\text{DDRO}}=0.65\text{V}$ で様々な基板バイアス条件下において個別の RO 毎に $\Delta F/F_{\max}$ の値を示した結果である。基板バイアス条件は逆方向バイアス ($V_{\text{bs-pMOS}} = -0.2\text{V}$, $V_{\text{bs-nMOS}} = 0\text{V}$)、通常バイアス ($V_{\text{bs-pMOS}} = 0\text{V}$, $V_{\text{bs-nMOS}} = 0\text{V}$)、順方向バイアス ($V_{\text{bs-pMOS}} = +0.2\text{V}$, $V_{\text{bs-nMOS}} = +0.2\text{V}$) の 3 とおりに分類して示した。図 8 では図 3 のテスト構造において 300 個の RO についてデータを解析し、逆方向バイアスの場合に $\Delta F/F_{\max}$ が 4% を超えた 28 個の RO について示している。全体の傾向として基板バイアスを逆方向バイアスから順方向バイアスに向かって変化させたときに、 $\Delta F/F_{\max}$ は減少する。しかし、例えば RO Location が “68”, “160”, “219” の RO のように順方向バイアスが加えられたときに $\Delta F/F_{\max}$ が増加する RO も存在する。以上のことから、RTN による組合せ回路遅延ゆらぎは順方向基板バイアスによって減少する傾向があるものの、少数の回路はこの傾向に従わないことが明らかとなった。

図 9 は図 8 の RO Location が “1” の RO について発振波形に対する基板バイアスの影響を示した結果である。逆方向バイアス ($V_{\text{bs-pMOS}} = -0.2\text{V}$, $V_{\text{bs-nMOS}} = 0\text{V}$) と通常バイアス ($V_{\text{bs-pMOS}} = 0\text{V}$, $V_{\text{bs-nMOS}} = 0\text{V}$) の場合は共に 2 個の欠陥に起因した 4 値の変動がみられる。しかし、順方向バイアスの場合 ($V_{\text{bs-pMOS}} = +0.2\text{V}$, $V_{\text{bs-nMOS}} = +0.2\text{V}$) には振幅の小さい方の変動がほとんど観測されない。この結果は基板バイアスを変化させることで RTN の時定数が大きく影響を受けることを示している。図 10 は図 9 と同じ RO Location “1”

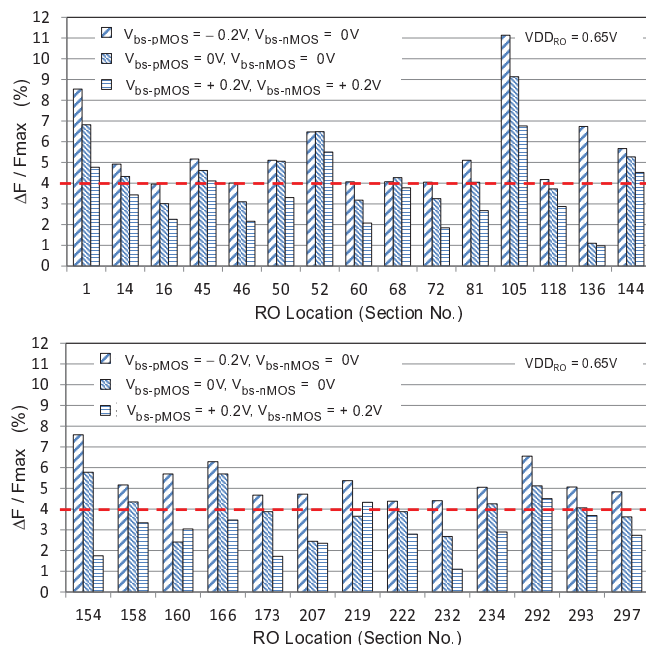


図 8 $V_{\text{DDRO}}=0.65\text{V}$ で様々な基板バイアス条件下において個別の RO 毎に $\Delta F/F_{\max}$ の値を示した結果。

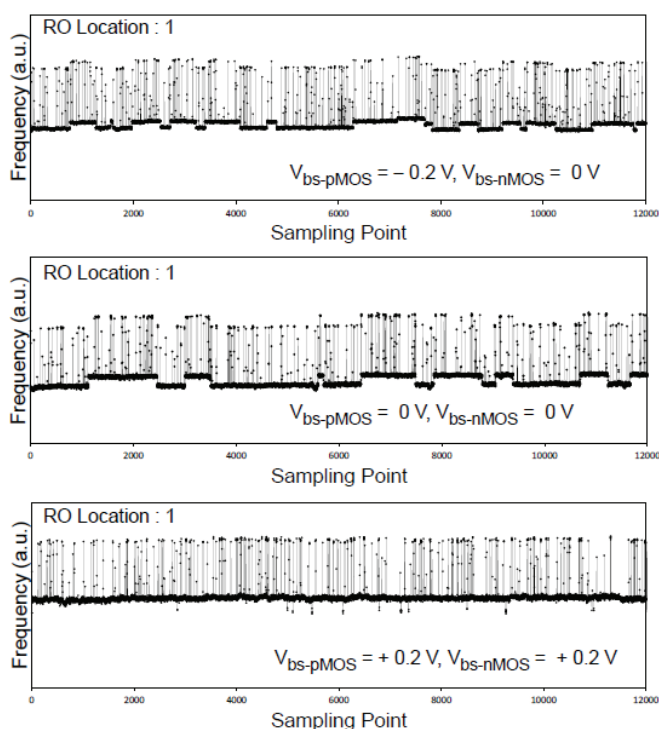


図 9 図 8 の RO Location が “1” の RO について発振波形に対する基板バイアスの影響を示した結果。

の RO について nMOS のみ順方向バイアスを加えた場合 ($V_{\text{bs-pMOS}} = 0\text{V}$, $V_{\text{bs-nMOS}} = +0.2\text{V}$) と pMOS の

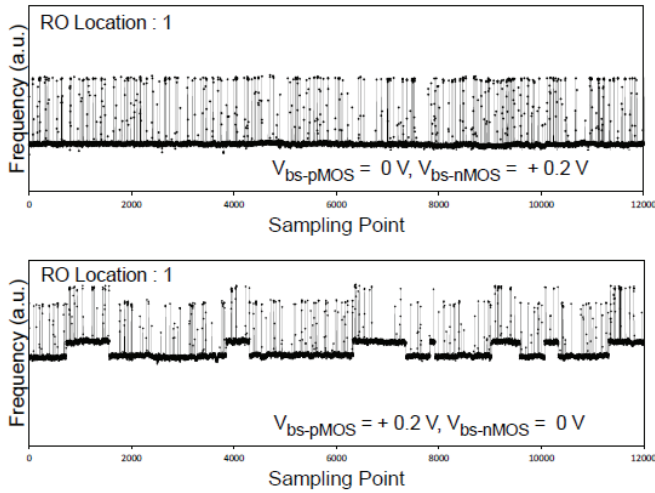


図 10 図 8 の RO Location が “1” の RO について発振波形に対する基板バイアスの影響を示した結果。

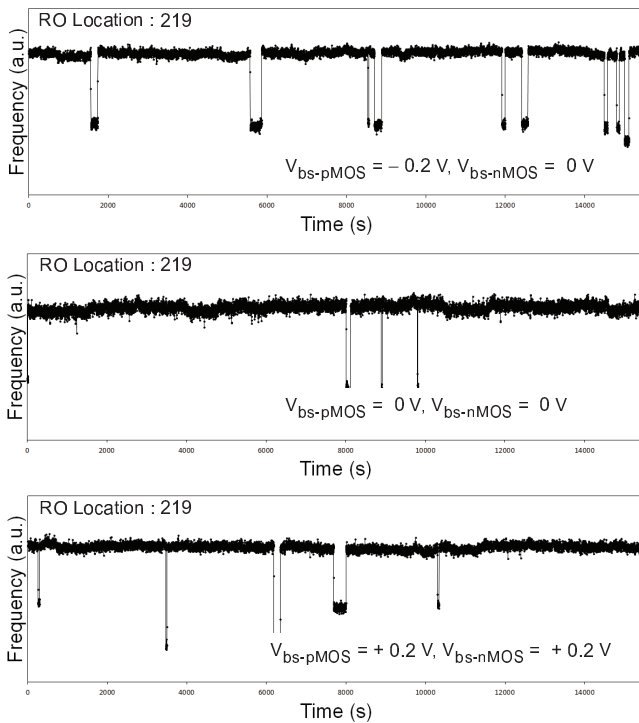


図 11 図 8 の RO Location が “219” の RO について発振波形に対する基板バイアスの影響を示した結果。

み順方向バイアスを加えた場合 ($V_{bs-pMOS} = +0.2V$, $V_{bs-nMOS} = 0V$) の結果を示す。nMOS のみ順方向バイアスを加えた場合に主として 2 値変動となることから、RO を構成するある 1 つの nMOS の中の 1 つの欠陥の影響が基板バイアスによって低減したと考えることができる。図 11 は RO Location が “219” の RO について発振波形に対する基板バイアスの影響を示した結果であり、順方向基

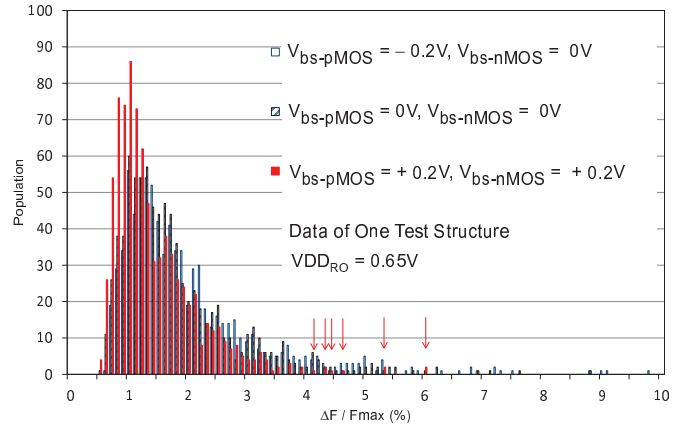


図 12 図 3 のテスト構造 1 個全ての RO (840 個) について様々な基板バイアスに対する $\Delta F/F_{max}$ の分布を示した結果。

板バイアスを加えた状態においてもなお大きなゆらぎが観測されている。図 12 は図 3 のテスト構造 1 個全ての RO (840 個) について様々な基板バイアスに対する $\Delta F/F_{max}$ の分布を示した結果である。図 12 中の矢印は順方向バイアス ($V_{bs-pMOS} = +0.2V$, $V_{bs-nMOS} = +0.2V$) の場合においても $\Delta F/F_{max}$ が 4% を超える RO を示している。以上のことから、RTN による組合せ回路遅延ゆらぎについて、順方向基板バイアスを加えた状態においてもなお少数の回路においては大きいゆらぎが発生するということが明らかとなった。

5. まとめ

40nm CMOS テクノロジーにおいて試作した回路によって RTN に起因した組合せ回路の遅延ゆらぎの実測を行った。微細なサイズのインバータで構成される 1,655 個のリング発振回路を測定することによって組合せ回路の遅延ゆらぎ分布を得た。 $\Delta F/F_{max}$ が 6% を超えた RO の個数は 19 個であり、全体の 98.8% が 6% 以下のゆらぎを示すことが明らかとなった。さらに RTN による組合せ回路遅延ゆらぎは順方向基板バイアスによって減少する傾向があるものの、少数の回路はこの傾向に従わないことが明らかとなった。

謝辞

図3の回路設計に関して、北島和彦氏、西澤真一氏、藤本秀一氏、Islam A.K.M. Mahfuzul 氏、三木崇史氏に感謝致します。本研究の一部は、経済産業省から STARC に委託された「次世代回路アーキテクチャ実用化支援事業」により実施した。チップ試作は東京大学大規模集積システム設計教育研究センターを通し株式会社半導体理工学研究センターの協力で行われたものである。

文献

- [1] S. Borkar, "Designing reliable systems from unreliable components: the challenges of transistor variability and degradation," *IEEE Micro*, vol.25, pp. 10 -16, 2005.
- [2] M. Alam, "Reliability- and process-variation aware design of integrated circuits," *Microelectron. Reliab.*, vol.48, pp. 1114-1122, 2008.
- [3] H. Onodera, "Variability modeling and impact on design," *IEEE International Electron Devices Meeting (IEDM)*, 2008, p. 701.
- [4] M. J. Kirton and M. J. Uren, "Noise in solid-state microstructures: A new perspective on individual defects, interface states and low-frequency (1/f) noise," *Advances in Physics*, **38** (1989) 367.
- [5] D. K. Schroder and J. A. Babcock, "Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing," *J. Appl. Phys.*, **94** (2003) 1.
- [6] J. H. Sthathis and S. Zafar, "The negative bias temperature instability in MOS devices: A review," *Microelectron. Reliab.*, **46** (2006) 270.
- [7] M. Alam, "A critical examination of the mechanics of dynamic NBTI for PMOSFETs," *IEEE International Electron Devices Meeting (IEDM)*, 2003, p. 345.
- [8] H. Reisinger, O. Blank, W. Heinrigs, A. Muhlhoff, W. Gustin, and C. Schlunder, *IEEE International Reliability Physics Symposium (IRPS)*, "Analysis of NBTI Degradation- and Recovery-Behavior Based on Ultra Fast VT-Measurements," 2006, p. 448.
- [9] C. Shen, M. F. Li, C. E. Foo, T. Yang, D. M. Huang, A. Yap, G. S. Samudra, and Y. C. Yeo, *IEEE International Electron Devices Meeting (IEDM)*, "Characterization and Physical Origin of Fast Vth Transient in NBTI of pMOSFETs with SiON Dielectric," 2006, p. 333.
- [10] Z. Q. Teo, D. S. Ang, and G. A. Du, *IEEE International Reliability Physics Symposium (IRPS)*, "Observation of two gate stress voltage dependence of NBTI induced threshold voltage shift of ultra-thin oxynitride gate p-MOSFET," 2009, p. 1002.
- [11] T. Grasser, B. Kaczer, W. Goes, T. Aichinger, P. Hehenberger, and M. Nelhiebel, *IEEE International Reliability Physics Symposium (IRPS)*, "A two-stage model for negative bias temperature instability," 2009, p. 33.
- [12] A. E. Islam, S. Mahapatra, S. Deora, V. D. Maheta, and M. A. Alam, *IEEE International Electron Devices Meeting (IEDM)*, "On the differences between ultra-fast NBTI measurements and Reaction-Diffusion theory," 2009, p. 733.
- [13] H. Reisinger, T. Grasser, W. Gustin, and C. Schlunder, *IEEE International Reliability Physics Symposium (IRPS)*, "The statistical analysis of individual defects constituting NBTI and its implications for modeling DC- and AC-stress," 2010, p. 7.
- [14] T. Grasser, H. Reisinger, P. J. Wagner, F. Schanovsky, W. Goes, and B. Kaczer, *IEEE International Reliability Physics Symposium (IRPS)*, "The time dependent defect spectroscopy (TDDS) for the characterization of the bias temperature instability," 2010, p. 16.
- [15] B. Kaczer, T. Grasser, Ph. J. Roussel, J. Franco, R. Degraeve, L. A. Ragnarsson, E. Simoen, G. Groeseneken, and H. Reisinger, *IEEE International Reliability Physics Symposium (IRPS)*, "Origin of NBTI variability in deeply scaled pFETs," 2010, p. 26.
- [16] V. Huard, *IEEE International Reliability Physics Symposium (IRPS)*, "Two independent components modeling for Negative Bias Temperature Instability," 2010, p. 33.
- [17] T. Matsumoto, H. Makino, K. Kobayashi and H. Onodera, "A 65 nm Complementary Metal-Oxide-Semiconductor 400 ns Measurement Delay Negative-Bias-Temperature-Instability Recovery Sensor with Minimum Assist Circuit," *Japanese Journal of Applied Physics*, vol. 50, p. 04DE06, 2011.
- [18] T. Matsumoto, H. Makino, K. Kobayashi and H. Onodera, "Multi-core LSI Lifetime Extension by Negative-Bias-Temperature-Instability Recovery-based Self-healing," *Japanese Journal of Applied Physics*, vol. 51, p. 04DE02, 2012.
- [19] K. Takeuchi, T. Nagumo, S. Yokogawa, K. Imai and Y. Hayashi, "Single-Charge-Based Modeling of Transistor Characteristics Fluctuations Based on Statistical Measurement of RTN Amplitude," *IEEE Symposium on VLSI Technology*, pp. 54-55, 2009.
- [20] Tega, N., Miki, H., Zhibin Ren, D'Emic C.P., Yu Zhu, Frank, D.J., Guillorn, M.A., Dae-Gyu Park, Haensch, W. and Torii, K., "Impact of HK / MG stacks and future device scaling on RTN," *IEEE International Reliability Physics Symposium (IRPS)*, p. 6A.5.1-6A.5.6, 2011.
- [21] X. Wang, P. Rao, A. Mierop, A. Theuwissen, "Random Telegraph Signal in CMOS Image Sensor Pixels," *IEEE International Electron Devices Meeting (IEDM)*, p. 115, 2006.
- [22] H. Kurata, K. Otsuga, A. Kotabe, S. Kajiyama, T. Osabe, Y. Sasago, S. Narumi, K. Tokami, S. Kamohara, O. Tsuchiya, "Random Telegraph Signal in Flash Memory: Its Impact on Scaling of Multilevel Flash Memory Beyond the 90-nm Node," *IEEE J. Solid-State Circuits*, vol. 42, pp. 1362-1369, 2007.
- [23] M. Yamaoka, H. Miki, A. Bansal, S. Wu, D. Frank, E. Leobandung, K. Torii, "Evaluation Methodology for Random Telegraph Noise Effects in SRAM arrays," *IEEE International Electron Devices Meeting (IEDM)*, p. 745, 2011.
- [24] K. Takeuchi, T. Nagumo and T. Hase, "Comprehensive SRAM Design Methodology for RTN Reliability," *IEEE Symposium on VLSI Technology*, pp. 130-131, 2011.
- [25] K. Takeuchi, T. Nagumo, K. Takeda, A. Asayama, S. Yokogawa, K. Imai and Y. Hayashi, "Direct Observation of RTN-induced SRAM Failure by Accelerated Testing and Its Application to Product Reliability Assessment," *IEEE Symposium on VLSI Technology*, pp. 189-190, 2010.
- [26] K. Ito, T. Matsumoto, S. Nishizawa, H. Sunagawa, K. Kobayashi and H. Onodera, "The Impact of RTN on Performance Fluctuation in CMOS Logic Circuits," *IEEE International Reliability Physics Symposium (IRPS)*, p. 710 - 713, 2011.
- [27] K. Ito, T. Matsumoto, S. Nishizawa, H. Sunagawa, K. Kobayashi and H. Onodera, "Modeling of Random Telegraph Noise under Circuit Operation -Simulation and Measurement of RTN-induced delay fluctuation" *IEEE International Symposium on Quality Electronic Design (ISQED)*, p. 22 - 27, 2011.
- [28] S. Fujimoto, I. Mahfzul, T. Matsumoto, H. Onodera, "Inhomogeneous Ring Oscillator for WID Variability and RTN Characterization," *IEEE International Conference on Microelectronic Test Structures (ICMTS)*, pp. 25-30, 2012.