

低電力かつ省面積な耐ソフトウェア多重化フリップフロップ

DICE ACFF

久保田勘人[†] 増田 政基[†] 小林 和淑^{†,‡}

[†] 京都工芸繊維大学

[‡] JST, CREST

あらまし 近年のLSI設計プロセスの微細化に伴い、ソフトウェアによるLSIの信頼性の低下が問題となってきた。また同時にトランジスタサイズに対する消費電力の増加が問題となっている。本論文では、活性化率に注目して低電力を実現したACFFにDICE構造を取り入れたDICE ACFFを提案する。活性化率30%を下回ると従来のDFFを下回る消費電力となり、DICE構造の特徴であるラッチ内部で発生したパルスによるソフトウェアを補償する回路となった。

キーワード 消費電力, 省面積, 耐ソフトウェア多重化フリップフロップ, Dual Interlocked storage Cell (DICE), Adaptive-Coupling FF (ACFF)

A Low-Power and Area-Efficient Radiation-Hard Redundant Flip-Flop

DICE ACFF

Kanto KUBOTA[†], Masuda MASAKI[†], and Kazutoshi KOBAYASHI^{†,‡}

[†] Kyoto Institute of Technology

[‡] JST, CREST

Abstract Process scaling makes LSI less reliable to soft errors and increases power. We propose a low-power highly-reliable flop-flop called DICE ACFF implemented with the Dual-interlocked storage cell (DICE) and the Adaptive-coupled FF (ACFF). Its power is less than transmission-gate FFs if Data Activity less than 30%. The Dice structure in DICE ACFF has a capability to recover from a single-node upset. The DICE ACFF achieves highly-reliable operations with low power.

Key words Power, Area-Efficient, Radiation-Hard Redundant Flip-Flop, Dual Interlocked storage Cell (DICE), Adaptive-Coupling FF (ACFF)

1. はじめに

近年LSIの微細化に伴って、ソフトウェアによるLSIの信頼性の低下が問題となっている。ソフトウェアと、宇宙線等の粒子線の衝突により、メモリやラッチの保持値が反転しLSIが誤動作するエラーである。これは一時的な故障であり、機器の再起動や命令の再実行により修復することが可能である。一時的な故障ではあるが、航空機や自動車、医療機器等で発生すると人命に関わってくるため、ソフトウェア対策は必須となる。ソフトウェア対策はフリップフロップを多重化等回路レベルでの対策が主流であり、現在までに多様な耐ソフトウェア多重化フリップフロップが提案されている。我々の研究グループでもBCDMR(Bistable Cross-coupled Dual Modular

Redundancy)型フリップフロップを提案している。ソフトウェア耐性は非常に高いが、面積と消費電力が約3倍となる。そこでソフトウェア耐性を少し犠牲にし、低電力かつ省面積な回路であるDICE ACFFの提案を行う。

第2節にてソフトウェアの原因や発生機構に関して述べる。第3節にて提案されている多様なフリップフロップに関して紹介を行う。第4節にてDICE ACFFを提案し、第5節にて消費電力の比較を行う。第6節にて本稿のまとめを行う。

2. ソフトエラー

本項ではLSIの一時的な故障であるソフトウェアに関して説明する。

2.1 ソフトエラーの主要因

ソフトエラーの主要因として3種類の粒子線が存在する [1]。

α 粒子

LSI のパッケージに含まれる放射性不純物が α 崩壊することでヘリウム原子核である α 粒子が生じる。 α 粒子がトランジスタの拡散領域を通過することで、電子正孔対が生成される。生じた電子がドレイン領域に収集され電位が変位し保持値が反転する。純度の高い素材を使用することで α 粒子による影響は小さくなった。しかし、プロセスの微細化により再び α 粒子による影響が顕在化している [2]。

熱中性子

熱中性子は宇宙線の一種であり、そのエネルギーが 0.4eV 以下のもののことを言う。層間絶縁膜である BPSG 膜の ^{10}B が熱中性子を吸収することで α 粒子と ^7Li (リチウムイオン) に分裂する。ここで発生した α 粒子が前述したものと同様の動きをすることで保持値の反転が起こる。BPSG 膜は SiO_2 膜を平坦化するために生成される。現在では CMP (Chemical Mechanical Polishing) と呼ばれる研磨材を使用した機械的研磨が平坦化に使用されているため、影響は少なくなってきている。しかし、熱中性子に感度のある SRAM が始めていることが報告されている [3]。タングステンプラグの生成に用いられる B_2H_6 ガスによって配線層に ^{10}B が含まれることが原因だと指摘されている。

高エネルギー中性子

1MeV 以上のエネルギーを持つ中性子を高エネルギー中性子と呼ぶ。宇宙空間に存在する高エネルギーのイオンが大気圏に入り、他の原子と衝突することで Al イオンや Mg イオン等の荷電粒子を発生させる。それらの粒子が拡散領域を通過することで電子正孔対が生成される。高エネルギー中性子は近年の地上におけるソフトエラーの主要因である。高エネルギー中性子はコンクリートの壁やプール等の大量の水を用いることで遮断することができる。しかし、民生機器や航空機に使用する LSI に対してそういった対策をとることは困難である。そのため、中性子起因のソフトエラーに対しては回路レベルでの対策が必要となる。これまでは 10MeV 以上のエネルギーをもつ中性子がソフトエラーの要因とされていたが、プロセスの微細化に伴い、10MeV 未満のエネルギーでもソフトエラーが急増することが報告されている [4]。

2.2 ソフトエラーの種類

大別して2種類に分けることができる。1bit が反転する SEU と 2bit 以上が反転する MCU である。本項ではこれらについて説明する。

SEU: Single Event Upset

SEU には、粒子線の衝突箇所によって2種類の発生機構に分けることができる。粒子線がトランジスタに衝突することで SET (Single Event Transient) パルスと呼ばれるパルスが発生する。このパルスがラッチやフリップフロップ外部で発生した場合、回路に取り込まれることで保持値が反転する。一方、SET パルスがラッチ内部で発生した場合は回路の保持値を直接反転させる。

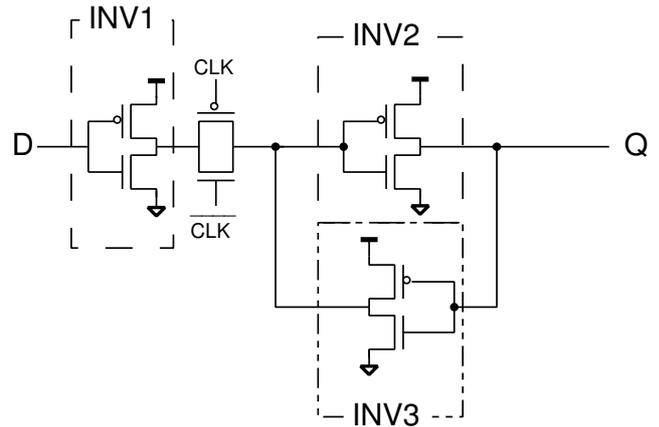


図1 ラッチ構造

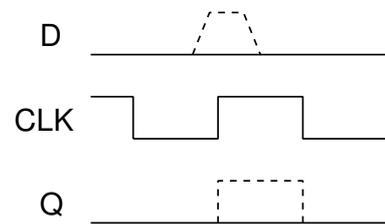


図2 ラッチ外部にSETパルスが発生した場合のタイムチャート (実線: 本来の動作, 破線: ラッチがSETパルスを取り込んだ場合の動作)

先にラッチ外部で発生したSETパルスによるSEUの発生機構に関して説明する。ラッチはデータを保持するため偶数個のインバータをループ状にした構造を持っている (図1)。図1にてINV1にてSETパルスが発生した場合、CLKが0であれば入力Dから値が供給され続けているので反転した出力はすぐに元に戻る。CLKが1であれば、トランスミッションゲートがSETパルスを遮断するためラッチ部にSETパルスによる影響は出ない。CLKが0から1に変わる時にSETパルスが発生することでラッチ部の値が反転する (図2)。

次に後者の発生機構に関して説明する。CLKが0の時は外部から入力が入るため、ラッチ部でSETが発生してもすぐに元の値に書き換えられる。CLKが1の時はトランスミッションゲートが動作していないため入力Dとラッチが切り離された状態となっている。その状態で図1のINV2かINV3でSETパルスが発生するとラッチ内部の保持値が反転する。

MCU: Multiple Cell Upset

MCUとは一度の粒子の衝突で複数のラッチが同時に反転する減少である。MBE (Multiple Bit Error) や MNSEU (Multi-Node Single Event Upset) とも呼ばれる。その発生機構として電荷共有 (Charge sharing) が挙げられる。MCUの発生率は素子間の距離に強く依存する [5]。複数のラッチやSRAMを隣接して配置した場合はMCUが生じやすく、離すと生じにくくなる。

電荷共有

中性子の衝突によって生じた2次イオンが複数のSRAMやラッチを通過する現象である。電子正孔対が複数のラッチ近傍

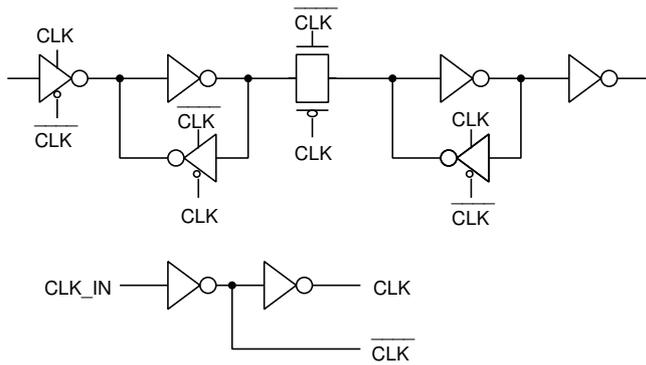


図 3 TGFF

で生じるため、ドリフトや拡散により複数のラッチ保持値が反転し MCU となる。多重化フリップフロップは複数のラッチを用いて出力値が反転しないようにしているため、MCU の発生率上昇がそのまま多重化フリップフロップのエラー耐性減少につながる。

3. 様々な低電力耐ソフトエラーフリップフロップ

ここでは、これまでに提案されている様々な低電力、耐ソフトエラーフリップフロップを紹介する。DICE 構造ではペアとなる 2 つの素子、BCDMR では 2 つのラッチと 1 つの Keeper の内 2 つが MCU にて反転するとエラーとなる。この 2 つ以上反転するとソフトエラーとなる組み合わせをクリティカルペアと呼ぶ。

3.1 TGFF: Transmission Gate FF

図 3 に現在 DFF として用いられているフリップフロップである TGFF(Transmission Gate FF) の回路図を示す。マスターラッチとスレイブラッチをトランスマッションゲートでつないたマスタースレイブ型フリップフロップである。これは、最も標準的なフリップフロップである。本稿では、TGFF を消費電力の基準として用いる。

3.2 ACFF: Adaptive Coupling FF

図 4 に ACFF の回路図を示す [6]。入力とマスターラッチ、マスターラッチとスレイブラッチの間にパストランジスタを用いることにより、逆相の CLK を使用しない FF である。クロックバッファを必要としないため、クロックが入ることによる消費電力を抑えている。クロックの入力に対して出力の変化回数を活性化率と呼ぶ。活性化率を下げることで TGFF よりも低電力を実現できる。マスターラッチ部分に AC 素子を配置することで、駆動力が低いパストランジスタでもラッチを書き換えられるようにしている。クロックバッファを排したことで、総トランジスタ数が少ないことにより低電力かつ省面積に実現できる。

3.3 DICE: Dual Interlocked Strage Cell [7]

図 5 に DICE 構造ラッチを示す。ラッチ部のインバータの入力を PMOS と NMOS に分けた Half-C-element を用いている。それぞれの入力がたすき掛けになっている。この構造により 1 つの Half-C-element にエラーが発生しても残り 3 つの

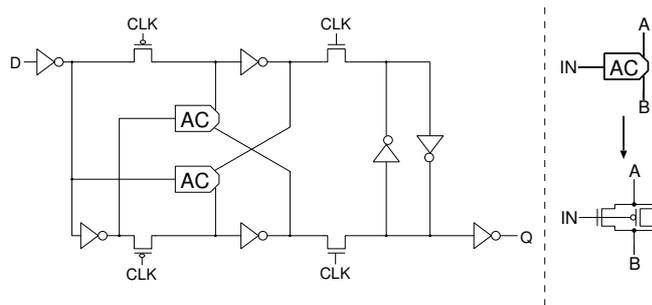


図 4 ACFF

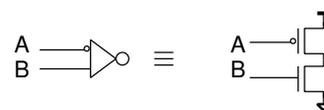
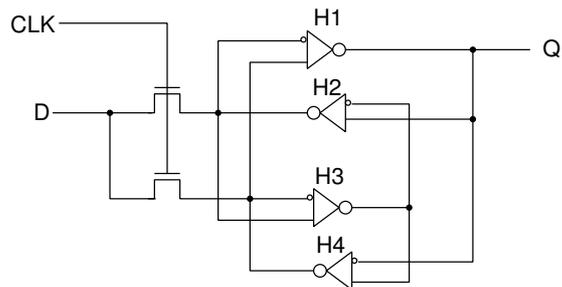


図 5 上図:DICE 構造ラッチ, 下図:Half-C-element

表 1 Half-C-element の入力が 1 から変化した際の挙動

ノード名	ノード A が反転			ノード B が反転		
	入力 A	入力 B	出力 YB	入力 A	入力 B	出力 YB
初期値	1	1	0	1	1	0
変化後	0	1	≈0	1	0	0

Half-C-element が値を元に戻す。面積、消費電力共に約 2 倍と比較的小さいため。インテル社のサーバ用プロセッサなどに使用されている。

DICE 構造の SET 発生時における値の補償

現在ソフトエラーは NMOS に多く起こるとされている。ソフトエラーが多く起こる要因に NMOS の多数キャリアが影響している。NMOS の多数キャリアは電子のため、PMOS の多数キャリアである正孔のよりも高い移動度を持っている。そのため、ドレインの電位が変化しやすく 1 を出力している素子に SET が発生し値が反転する。

Half-C-element の入力に SET パルスが入ると SET パルスの発生時間だけ出力が変化する。Half-C-element の真理値表を表 1 に示す。入力 A を PMOS の入力, 入力 B を NMOS の入力とする。入力 A に SET パルスが入力された場合, NMOS, PMOS 共に ON 状態になる。NMOS のキャリア移動度は PMOS のキャリア移動度よりも高いため出力 YB は 0 に近い値となる。入力 B に SET パルスが入力された場合, NMOS, PMOS 共に OFF 状態となり出力 YB は 0 を保持する。

図 4 の H1 にて SET パルスが発生した場合を考える。

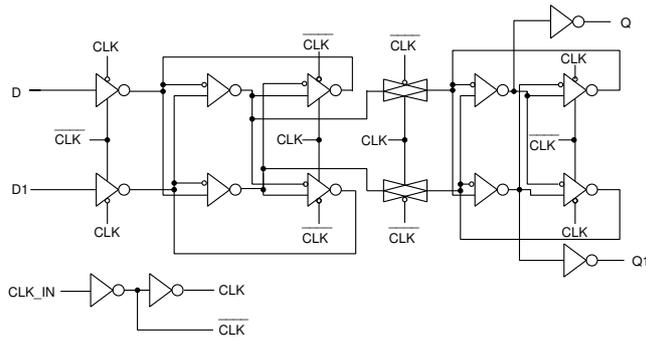


図 6 DICE FF

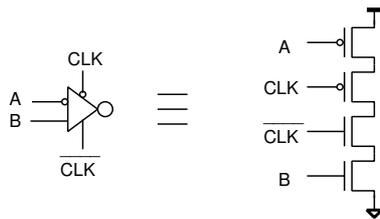


図 7 Clocked Half-C-element

- (1) H1にてSETパルスが発生する。
- (2) H2のNMOS, H4のPMOS, それぞれの入力が変化しH2は0を保持し, H4は ≈ 0 となる。
- (3) H2は0を出力し, H4は ≈ 0 を出力しているためH3は常に1を出力し, H1は出力値が1へ戻る。

以上がDICE構造におけるSETパルス発生時の補償機構である。

3.4 DICE FF

図6にDICE FFの回路図を示し, 図7にDICE FFに用いているClocked Half-C-elementの回路図を示す。前述したDICE構造をTGFFに適応したフリップフロップである。回路構造としては図4で示した回路をラッチとしてマスタースレイブラッチ構造で実現している。Half-C-elementとClocked Half-C-elementを用いてラッチを構成している。マスターラッチとスレイブラッチの間にトランスマッションゲートを配しフリップフロップとしている。CLKとCLKBは回路内に搭載しているクロックバッファから供給する。

前述した補償機構があるため, ラッチ状態のマスターラッチまたはスレイブラッチの1を出力している2つのHalf-C-elementの出力が同時に反転しない限りソフトエラーは起こらない。

3.5 BCDMR FF: Bistable Cross-coupled Dual Modular Redundancy FF [8]

図8にBCDMR FFの回路図を示す。我々の研究グループで提案している耐ソフトエラー多重化フリップフロップである。二重化したラッチとKeeper(図8中のKM)にて値を保持しているラッチである。C-elementはA, Bが同じ入力であればインバータとして動作し, 違う入力となればハイインピーダンス状態になる素子である。もし, 2つのマスター/スレイブラッチの内一つがSEUにより反転した場合C-elementの出力がハイインピーダンス状態となり, KMが保持している値によって正

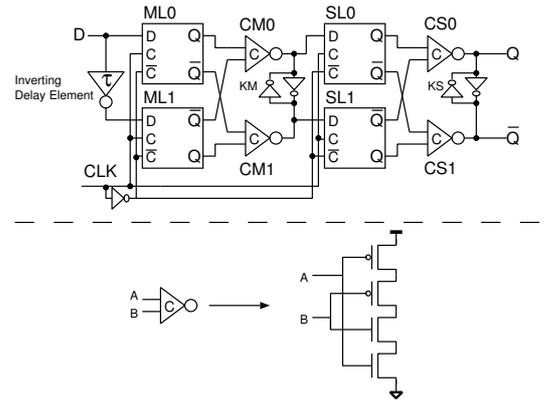


図 8 上図:BCDMR FF, 下図:C-element

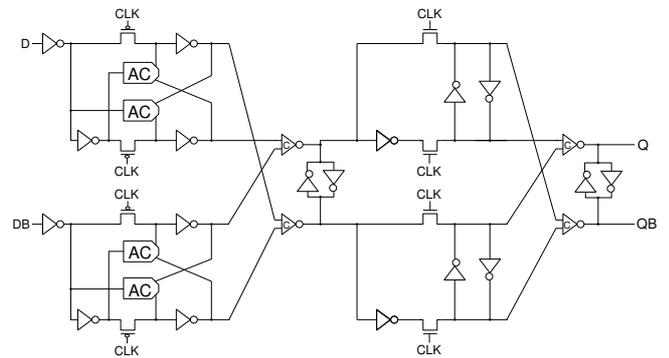


図 9 BCDMR ACFF

しい値を保つ事ができる。WMでSEUが生じた場合はより駆動力の高いC-elementの出力によって正しい値に書き換えられる。SETに関しては入力に遅延素子を挿入しているので除去される。回路面積, 消費電力共にTGFFの約3倍となる。

3.6 BCDMR ACFF [9]

図9にBCDMR ACFFの回路図を示す。3.1節にて紹介したACFFと3.3節にて紹介したBCDMR FFを組み合わせた回路である。ACFF同様に活性化率を低下させることで消費電力を抑えることができる。BCDMR FFと同様の構造なのでソフトエラーに対しても強靱な回路となっている。回路面積はTGFFの約3倍弱となる。消費電力に関しては活性化率が15%を切ることでTGFFよりも低消費電力となる。

4. DICE ACFF

図4に示したACFFに図5で示したDICE構造を組み合わせたDICE ACFFを提案する。図10に回路図を示す。図4で示したACFFを縦に二つならべ, マスター/スレイブラッチのインバータをHalf-C-elementにした構造である。マスター/スレイブラッチの入力を上下のACFFでたすき掛けにしてDICE構造を実現している。ACFF同様にクロックバッファを排して, PMOSおよびNMOSパストランジスタを使用しているため活性化率を下げること低消費電力を実現する。前述した各回路との比較を表2に示す。

トランジスタ数

TGFFに比べACFFは2個少ないため, DICE ACFFに使

用するトランジスタ数は耐ソフトエラーフリップフロップの中では一番少なくなっている。DICE FF は TGFF のインバータ部分をたすき掛けにしたもののためトランジスタ数は 2 倍となっている。DICE ACFF も同様に ACFF のインバータ部分を Half-C-element としてたすき掛けにしているため面積は 2 倍になる。

ソフトエラー耐性

SET パルスを電流源で模擬し、回路シミュレーションによりエラー耐性を求めた。ソフトエラー対策を行っていないフリップフロップと耐ソフトエラーフリップフロップでは耐性が大きく異なるため表中には耐ソフトエラーフリップフロップである DICE FF, DICE ACFF, BCDMR FF, BCDMR ACFF のみ値を出している。SEU では DICE および BCDMR はソフトエラーを起こさないため、1 つの素子の出力を 0 に固定し、他の素子に電流源を接続し、擬似的に MCU を発生させた。SET パルスが発生しソフトエラーとなる箇所は多数があるが、最もソフトエラー耐性が低いノードのソフトエラーが支配的となるため、そのノードのみを考慮している。

DICE ACFF のレイアウトでは DHC (Double Height Cell) 構造を使用しており、MCU が発生しソフトエラーとなるノードが同一ウェル内に存在していない。同一ウェル内にクリティカルペアが存在しているとウェルを共有しているため電子正孔対が同一ウェル内を移動するので MCU が発生しやすくなる。BCDMR も DICE ACFF 同様に DHC 構造をとっている。しかし 2 つのラッチと 1 つの Keeper で値を正しく保持しているため DHC 構造では同一ウェル内いずれか 2 つを置く必要がある。そのため、トランジスタ間の距離が短くなり MCU が発生しやすくなる。以上の理由により、DICE ACFF は BCDMR ACFF よりも MCU に強いと言える。

面積

65nm プロセスのデザインルールを用いてレイアウトを行い面積を比較した。トランジスタ数で比較すると DICE ACFF は ACFF の 2 倍程度、BCDMR ACFF の 65%程度になる。しかしレイアウト面積で比較すると、ACFF の 3 倍弱、BCDMR ACFF の 90%強の面積となった。

DICE 構造はトランジスタ数は少ないものの、レイアウト時のビア数が多くなり、トランジスタ数の割に面積は小さくできない。例えば Half-C-element の入力 PMOS と NMOS で別々になっている点がある。そのため、ゲートとメタルを繋ぐコンタクトの数が増える。DICE ACFF はトランジスタが 44 個に対してコンタクトが 28 個となっている。それに比べ BCDMR はトランジスタが 68 個に対してコンタクトが 30 個である。DICE ACFF のコンタクト/トランジスタ比は 63% であるのに対して、BCDMR ACFF では 44%となる。これは Half-C-element の構造による所が大きい。

図 11 にコンタクトが多い場合のレイアウトの一例を示す。ラッチ内部がインバータであれば PMOS と NMOS の入力が共通のためコンタクトの数は一つである (図 11:左)。Half-C-element の場合は PMOS と NMOS が異なる入力のためそれぞれのゲートに対してコンタクトを打つ必要がある (図 11:右)。

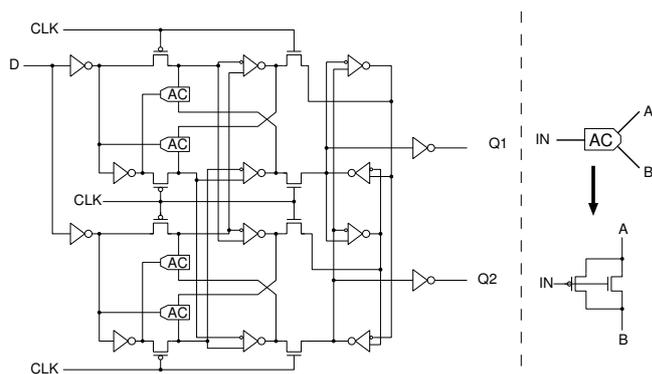


図 10 DICE ACFF

表 2 各回路間での比較

	TGFF	ACFF	DICE		BCDMR	
			FF	ACFF	FF	ACFF
トランジスタ数	24	22	48	44	68	68
ソフトエラー耐性	N/A	N/A	0.7	1.00	1.05	1.60
面積 [μm^2]	10.29	7.07	20.59	20.59	23.40	22.46
面積 [TGFF=1]	1.00	0.69	2.00	2.00	2.27	2.18

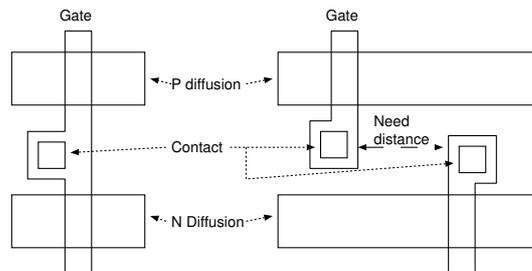


図 11 インバータと Half-C-element のレイアウトにおける違い。左図:インバータは入力共通のためゲートを共通化することができる。右図:入力が別々なのでゲートを一定以上離す必要がある。

上下にゲートがならべられる箇所であれば問題はないが、図 11 右の様に上下にならべられない場合は左右に離す必要がある。また、コンタクトが多くなるため配線も多くなる。以上の理由により DICE ACFF のにはトランジスタ数は少ないものの省面積でレイアウトすることは出来なかった。しかし、BCDMR FF と BCDMR ACFF より約 10%面積は小さくなっている。

5. 消費電力比較

図 12 に各回路の消費電力グラフを示す。活性化率に TGFF の値で規格化している。そのため、TGFF と DICE FF は電力が一定に見えるが、実値では活性化率が下がる毎に電力は下がっている。

全ての回路は 8 個の FF にクロックバッファを付加した条件でシミュレーションを行っている。ACFF はクロックバッファがないため、FF のみで電力を評価するとほぼ 0 になってしまうためである。活性化率が 100%の時点では BCDMR ACFF > DICE FF > DICE ACFF > TGFF > ACFF の順となっている。動作しているトランジスタ数の多さに比例して消費電力は

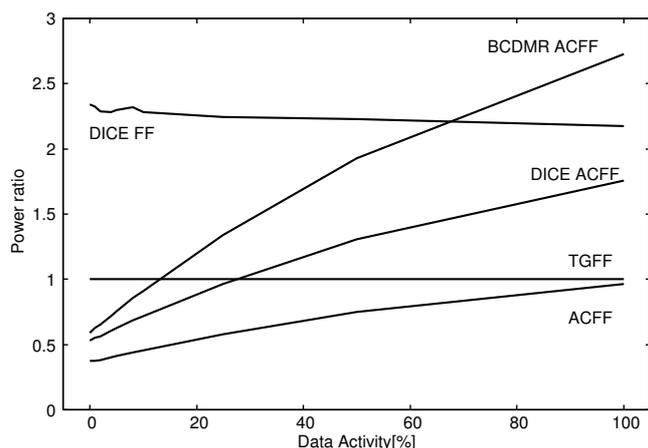


図 12 TGFF を 1 とした活性化率による電力

高くなるため信頼にたるとシミュレーション結果である。。しかし、活性化率が 0%時点では DICEFF > TGFF > BCDMR ACFF > DICE ACFF > ACFF の順に電力が小さくなる。ACFF をベースとした回路の電力の差は主に、トランジスタ数によるリーク電流の差に起因する。

活性化率が高いと回路中にあるトランジスタが全て動作する。活性化率が 0%に近くなるほど、クロックバッファの消費電力が支配的となる。活性化率 0%で回路中に動作しているのはほぼクロックバッファのみとなる。そのためクロックバッファを搭載していない ACFF を用いている BCDMR ACFF と DICE ACFF は TGFF よりも小さくなる。

活性化率が高くなるとフリップフロップ部の電力が支配的となる。値を保持するフリップフロップ内部の素子数で比べると TGFF ベースの回路の方が ACFF ベースの回路よりも少ない。表 2 に記載したトランジスタ数にはクロックバッファも含まれている。それぞれのトランジスタ数からクロックバッファ分を抜くと DICE FF が 40 個、BCDMR FF が 60 個となる。トランジスタ数として DICE FF は DICE ACFF より 4 つ少なく、BCDMR FF は BCDMR ACFF より 8 つ少ない。これにより、活性化率 100%の時には ACFF をベースにした回路の方が消費電力が大きくなることもある。今回のレイアウトで全トランジスタのゲート幅の合計は DICE FF の方が DICE ACFF よりも大きくなったため全領域で消費電力が低くなっている。

DICE ACFF は活性化率 30%以下で TGFF の消費電力を下回る。BCDMR ACFF は活性化率 15%以下で TGFF よりも消費電力を下げるができる。通常の ASIC では活性化率は平均すると 5%から高くても 15%といわれている。どちらの回路でも TGFF を下回る消費電力となっており有用性は高い。

6. まとめ

本稿では活性化率を下げることで低消費電力を実現した ACFF と省面積で耐ソフトエラー耐性が実現できる DICE 構造を組み合わせた DICE ACFF を提案した。DICE 構造の特徴であるラッチ内部で SET パルスが発生した際の値の補償機構も動作する。

BCDMR ACFF は DICE ACFF の 1.5 倍のトランジスタを有しているが、レイアウトを行ったところ、面積比は 1.1 倍となった。DICE ACFF は Half-C-element を用いており、PMOS, NMOS のゲートに打つコンタクトが多く、面積が増大する。ただし、さらなるレイアウトの最適化によりこの面積比を更に大きくすることがかのである。

TGFF に DICE 構造を適応した DICE FF に比べて 1.4 倍のソフトエラー耐性を示したが、BCDMR FF と BCDMR ACFF の二種類と比べるとそれぞれ 0.95 倍と 0.63 倍のソフトエラー耐性となった。トランジスタ間距離を考慮していないシミュレーションによる見積りである。実際には MCU 発生にトランジスタ間の距離が影響してくる。実測では DICE ACFF はソフトエラー耐性が更に向上されると予想される。

活性化率による消費電力では提案の DICE ACFF は全ての領域において DICE FF および BCDMR ACFF を下回っている。活性化率が 30%を下回ると DFF として広く使用されている TGFF の消費電力も下回る。通常の ASIC 中の DFF の平均的な活性化率は 5%から多くとも 15%程度と言われており、DICE ACFF は高いソフトエラー耐性と低消費電力を同時に実現できる。

今後は DICE ACFF を搭載した LSI を試作し、 α 線源、中性子加速器、重イオンを用いてソフトエラー耐性の実測を行い、BCDMR FF および BCDMR ACFF とのソフトエラー耐性を比較する。消費電力の実測も行い、BCDMR ACFF などと面積、エラー耐性、電力の比較を行う。

文 献

- [1] 戸坂義春, 知っておきたいソフトエラーの実態, 日経エレクトロニクス, 2005 年 7 月 24 日号,(2005)
- [2] H. Kobayashi, N. Kawamoto, K. Kase, and K. Shiraishi, "Alpha particle and neutron-induced soft error rates and scaling trends in SRAM", Reliability Physics Symposium, 2009 IEEE International, (2009), pp.206-211.
- [3] ShiJie Wen, R. Rong, M. Romain, and N. Tam, "Thermal neutron soft error rate for SRAMS in the 90NM-45NM technology range", Proc. IRPS, (2010), pp.1036-1039.
- [4] E. Ibe, H. Taniguchi, Y. Yahagi, K.-i. Shimbo, and T.Toba,"Impact of Scaling on Neutron-Induced Soft Error in SRAMs From a 250 nm to a 22 nm Design Rule", IEEE Trans. Elec. Dev., Vol. 57, No. 7, pp.1527-1538, (2010)
- [5] O. A. Amusan, A. F. Witulski, L. W. Massengill, B. L.Bhuva, P. R. Fleming, M. L. Alles, A. L. Sternberg, J. D. Black, and R. D. Schrimpf, "Charge Collection and Charge Sharing in a 130 nm CMOS Technology", IEEE Trans. Nucl. Sci. Vol. 53, No. 6, pp.3253-3258,(2006)
- [6] Chen Kong Teh et al, "A 77%Energy Saving 22 Transistor Single-Phase-Clocking D-Flip-Flop with Adaptive Coupling Configuration in 40 nm CMOS", ISSCC(2011)
- [7] T. Calin, M. Nicolaidis, and R. Velazco, "Upset hardened memory design for submicron CMOS technology", IEEE Trans. Nucl. Sci., Vol. 43, No. 6, pp.2874-2878,(1996)
- [8] J. Furuta, C. Hamanaka, K. Kobayashi, and H. Onodera, "A 65 nm Bistable Cross-coupled Dual Modular Redundancy Flip-Flop capable of protecting soft errors on the C-element", VLSI Cir. Symp., (2010), pp.123-124.
- [9] M. Masuda, K. Kubota, R. Yamamoto, J. Furuta, K. Kobayashi, and H. Onodera "A 65 nm Low-Power Adaptive-Coupling Redundant Flip-Flops" RADECS, pp.1-1.1-5, (2012)