

## 「招待講演」 微細化による LSI の信頼性諸問題とその解決策

小林 和淑<sup>†</sup>

<sup>†</sup> 京都工芸繊維大学大学院工芸科学研究科電子システム工学専攻  
〒 606-8585 京都市左京区松ヶ崎御所海道町

あらまし 本講演では、LSI の微細化とともに表面化している信頼性に関する諸問題とその解決法を紹介する。取り扱う話題は、ばらつき、一時故障、経年劣化である。ばらつきは、主に LSI の製造時に起因する問題であり、ばらつきが大きいと、設計マージンを大きくとらなければならない、微細化による速度向上の恩恵を打ち消してしまう恐れがある。一時故障は、ソフトエラーと呼ばれる主にパッケージからの  $\alpha$  線、宇宙からの中性子線によるメモリや FF の一時的な反転であり、自動車、サーバー、医療機器などの信頼性の必要な LSI ではすでに冗長化などの対策が行われている。微細化にともない、BTI (Bias Temperature Instability) による経年劣化も顕在化している。BTI とは、トランジスタの酸化膜の欠陥に起因する劣化である。BTI はゲートにかかるストレス電圧の履歴に依存した劣化と回復を起こす。BTI はまだそのメカニズムに関して議論がつきない問題である。ここでは、実測を元にしたエラーの実態やその対処法などについて紹介する。

キーワード 信頼性、ばらつき、経年劣化、一時故障

### [Invited Talk] How to Mitigate Reliability-related Issues on Nano-scaled LSIs

Kazutoshi KOBAYASHI<sup>†</sup>

<sup>†</sup> Department of Electronics, Graduate School of Science & Technology, Kyoto Institute of Technology

**Abstract** According to aggressive process scaling, reliability issues on semiconductor devices are becoming dominant such as variability, temporal failure and aging degradation. Variability is related to the device fabrication process. Timing margins at design time should be enlarged as the fluctuation of transistor performance. It may diminish the performance enhancement from process scaling. Temporal failures are mainly caused by alpha particles from packages or neutrons from outer space. These particles generate electron-hole pairs to flip memory or flip-flops, which is so-called soft errors. Redundant circuits are commonly utilized to mitigate soft errors. Aging degradation is mainly caused by BTI (Bias Temperature Instability). In BTI, transistors are degraded or recovered according to the stress history on the gate bias. We introduce several mitigation techniques based on the measurement results.

**Key words** Reliability, Variation, Aging Degradation, Temporal Failure

#### 1. はじめに

集積回路の発展にともない、集積回路 (LSI) の用途は飛躍的に拡大し、社会インフラや日常生活において欠かせないものとなっている。日々の生活を見ても、家事に使ういわゆる白物家電製品、情報を入力したり、発信したりするデジタル家電など、1 日で LSI のお世話にならない日はない。社会インフラにおいても、コンビニのレジ、銀行の ATM、駅の自動改札機、飛行機や電車などの自動運行システムなど、我々の生活の裏側を支えているのは、LSI を用いた組み込みシステムであると言っても過言ではない。

このように、多種多様に用いられている LSI であるが、微細化

にともないその信頼性は大きく揺らいでいる。信頼性にも様々な問題があるが、本稿では、ばらつき、一時故障、経年劣化に焦点を当て、筆者らの研究グループがこれまでに行ってきた研究成果を元に、それらの問題に言及する。図 1 は、一般にバスタブカーブと呼ばれる時間と故障率の傾向を表したグラフである。LSI においては、初期故障は、主として製造時の問題に起因することが多く、ばらつきもその要因の一つとなる。初期故障が収まった後は、一時故障 (偶発的故障) が主流となり、粒子線に起因するソフトエラーがその要因の一つとなる。LSI における経年劣化には、様々な要因があるが、ゲートにかかるバイアスによる BTI による経年劣化が近年、大きな問題となっている。

本稿の構成は以下の通りである。2 節では、ばらつきとその対

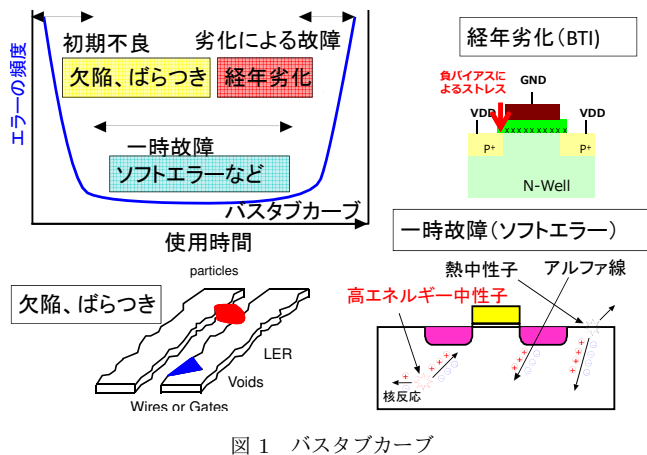


図1 バスタブカーブ

応策, 3 節では, 一時故障とその対応策, 4 節では経年劣化とその対応策について述べ, 最後にまとめる.

## 2. ばらつきとその対応策

LSI 製造技術は急速に微細化, 高集積化が進み 1 チップに数 10 億個のトランジスタが集積されるようになった. これによって LSI はますます高速化, 高性能化の一途をたどっている. しかしその一方, 急速な微細化に伴い個々のチップの特性ばらつき, さらにはチップ内のトランジスタの特性のばらつきが相対的に拡大している.

ばらつきによるトランジスタの性能劣化は特に回路の遅延時間に影響を及ぼし, チップの動作速度が低下する. 動作速度の低下によって設計時の要求性能仕様を満たさなかったチップは廃棄することになる. チップが要求仕様通りに動作する割合を歩留まりと呼ぶが, 遅延ばらつきによって歩留まりの低下が引き起こされる. これを避けるため一般的にマージンを取った設計が行われるが, 動作速度に対してマージンを取るには消費電力, 回路面積などの犠牲を払わなければならない. ばらつきの振幅はプロセスが微細化, 高集積化するにしたがって相対的に増加する傾向にあり, 今後も特性ばらつきによる影響はますます拡大すると予想されている [1].

LSI の設計段階において, そのばらつきを予測することは非常に困難である. しかし LSI 製造後にそのばらつきを測定することは難しくない. FPGA (Field Programmable Gate Array) に代表される, 製造後に機能の書き込みを行う再構成デバイスにおいては, 逆に遅延ばらつきを利用して動作速度の高速化と歩留まりの向上を図ることができる. 我々の研究グループでは, [2] において, FPGA において, ばらつきを利用して速度と歩留まりの向上が可能であることを世界で初めて発表した. その後, 様々な発表で最適化手法や, ばらつきを利用して配置と配線を最適化できる FPGA の試作など行った [3]~[8]. その集大成として, 90nm プロセスにてばらつきを測定し, その結果を用いて配置配線の最適化を行う FPGA (図 2) の試作とその評価を行った. FPGA 内に発振器を構成することによりばらつきの測定を行ったところ, 図 3 のとおり, チップ内ではランダムなばらつきが支配的であることを確認した. このばらつきの測定結果を元に, FPGA 内の配線経路を最適化した結果が図 4 である.

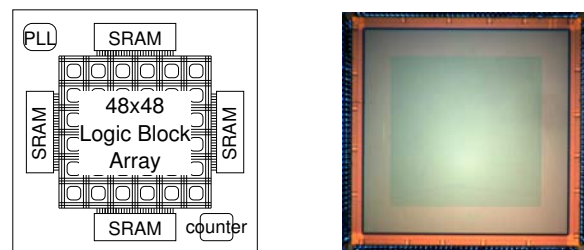


図2 試作チップの全体構造とチップ写真

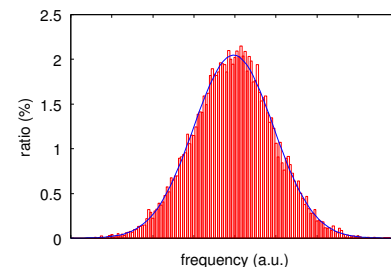


図3 FPGA 内部の配線構造のばらつき分布

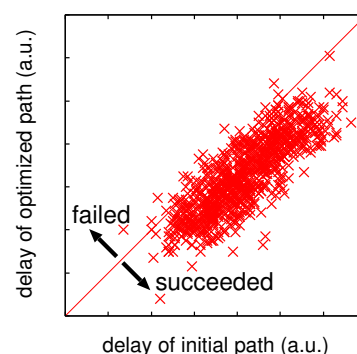


図4 パス配置配線の最適化による速度向上の実測結果

最適化対象の 810 本の配線中, 5.5%の配線が最適化後に速度が遅くなってしまったが, それ以外の 94.5%の配線は速度向上が得られた. ばらつきへの対応先として, 製造時にばらつきを抑えるのではなく, 回路実装時にばらつきを使って速度向上を行うことも, 有効な対策であると言える.

## 3. 一時故障とその対応策

LSI に生じる一時故障とは, 何らかの内乱, 外乱要因による LSI の一時的な誤動作である. 一時的であるため, 電源を入れ直せば元に戻る. 要因には様々なものがあるが, 内乱要因としては, クロストークノイズなどの内部動作によるノイズ, 電圧低下によるタイミング違反などが挙げられる. 一方, 外乱要因としては, 粒子線によるソフトエラー (soft error) が挙げられる. ソフトエラーとは, 永久故障であるハードエラー (hard error) に対比する言葉であり, LSI の一時的な故障を表す. LSI に影響を与える粒子線としては,  $\alpha$  線 (He の原子核), 中性子線, 重イオン (He より大きな原子のイオン) が挙げられる. 地上では,  $\alpha$  線と中性子線が主なエラーの要因であり,  $\alpha$  線はパッケージやボンディングワイヤなどに含まれる放射性不純物から発生する. 中性子は, 宇宙から降り注ぐ宇宙線が大気と反応することにより生成される. ソフトエラーは LSI の記憶素子の反転を引き起こすことにより, LSI を誤動作させる.  $10^9$  時間当たりのエ

ラー数を FIT (Failure in Time) という単位で表す。一般的な SRAM の中性子によるエラー率は数百から 1000FIT/Mbit であり、1Mbit あたり 100 年に一回エラーを起こす程度の頻度である。頻度が低いように感じられるが、例えば、1Mbit のメモリを使うシステムが 1 万台あるとすれば、ほぼ 3 日に 1 台の割合でエラーを起こすこととなる。また、微細化にともない、複数の記憶素子への同時反転も問題となっている。図 5 に示すように、微細化にともない、粒子線との反応により発生する電荷発生領域が複数の記憶素子にまたがってしまう。すでに、65nm プロセスでこのような状況が起こり始めており、我々の測定においてもソフトエラーによるビット反転のうち、10%程度が複数ビットの同時反転 (Multiple Cell Upset, MCU) となっており、微細化にともない MCU 率は増加していくとされる。[9]

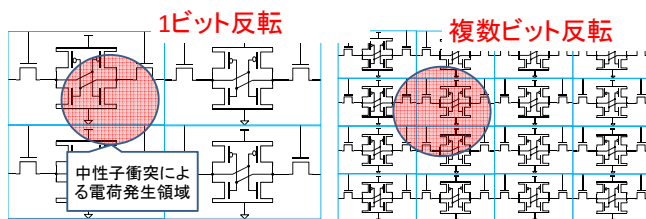


図 5 スケーリングによる複数ビット反転の頻発化

複数反転は、ソフトエラーの有効な対策である冗長化を無効化する。我々の研究グループでは、ソフトエラーへの対応策として、主に次の 2 種類のアプローチを行っている。

- (1) ソフトエラーに強靱な回路構造
- (2) ソフトエラーを検出する技術

ここでは、ソフトエラーに強靱な回路構造について説明する。

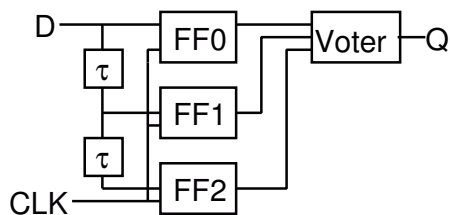


図 6 3 重化フリップフロップ

### 3.1 TMR

3 重化フリップフロップの回路図を図 6 に示す。3 重化フリップフロップ (TMR: Triple Modular Redundancy) は 3 つのフリップフロップの出力を多数決回路 (Voter) に接続した構造となっている。SEU によって 1 つのフリップフロップが反転した場合、残り 2 つのフリップフロップと Voter によって正常な値を保つことができる。SET に関しては、遅延素子  $\tau$  によって SET の到達時間をずらすことで複数のフリップフロップに取り込まれることを防いでいる。3 重化フリップフロップは SEU, SET に対して高い耐性を持つが、回路規模が通常のフリップフロップの 3 倍以上になるため、面積、消費電力のオーバーヘッドが大きい。2 つ以上のフリップフロップが反転するとエラーとなるため、MCU に脆弱である。

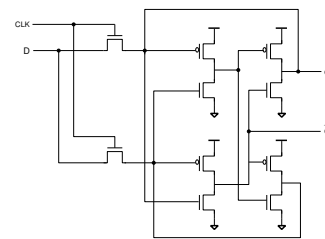


図 7 DICE (Dual Interlocked Strage Cell) ラッチ

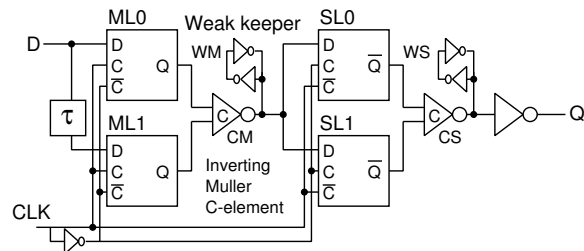


図 8 BISER 型フリップフロップ

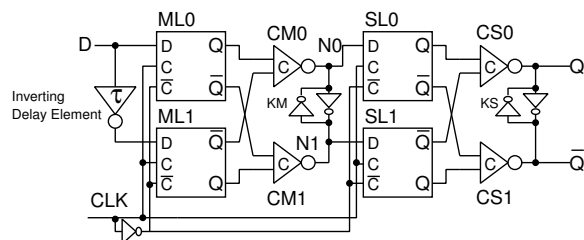


図 9 BCDMR 型フリップフロップ

### 3.2 DICE

図 7 に DICE (Dual Interlocked Strage Cell) ラッチの構造を示す [10]。DICE はラッチを 2 重化した構造であり、通常のラッチのループ構造はインバータ 2 段で構成されるが、DICE はインバータ 4 段でループ構造を構成した回路である。4 段でループが構成されているため、1 つのインバータの出力が反転しても、他の 3 つのインバータによって正しい値が保たれる構造となっている。DICE では 2 つ以上のノードが反転した場合にエラーとなる。DICE ラッチを 2 つ接続することでフリップフロップの構造となる。

DICE ラッチは面積の増加がインバータ 2 つのみと非常に少なく、他の多重化回路に比べて省面積、低消費電力といった利点がある。しかし、ソフトエラー耐性は通常のラッチの数十倍程度しか増加しない [11]。DICE の利点を生かすために 4 つのインバータが隣接して配置され、ソフトエラーの影響が複数のインバータで生じ、MCU が容易に発生するからである。DICE のソフトエラー耐性を向上させるためにインバータ間の距離を  $1\mu\text{m}$  以上離して設計する手法も提案されているが [12]、面積オーバーヘッドが大きくなる。

### 3.3 BISER

既存の耐ソフトエラー 2 重化フリップフロップとして BISER (Built-In Soft Error Resilience) 型フリップフロップが提案されている [13]。回路図を図 8 に示す。BISER は 2 重化したマスター/スレイブラッチと C-element, Weak Keeper から構成

される。BISER は 3 重化より省面積でありながら、ラッチでの SEU による誤動作を C-element と Weak keeper によって防ぐことができる。もし 2 つのマスター/スレイブラッチの内の 1 つが SEU によって反転した場合、C-element の出力はハイインピーダンス状態となり、Weak keeper が保持している値によってフリップフロップは正しい値を保つことができる。Weak keeper で SEU が生じた場合は、より駆動力の高い C-element の出力によって正しい値に書き換えられる。SET に関しては、3 重化フリップフロップと同様に遅延素子によって除去する。

BISER は SEU とフリップフロップ外部で発生する SET に対して高い耐性を持つが、マスター・スレイブラッチ間の C-element で生じる SET パルスに非常に脆弱である。BISER では図 8 に示すように CM の出力が 2 つのスレイブラッチに接続されている。そのため、CM で生じた SET パルスが 2 つのスレイブラッチに取り込まれ、同時に反転する可能性がある。BISER は 3 つの素子 (2 つのラッチと 1 つ Weak keeper) の内 2 つが反転した場合にエラーとなるため、2 つのスレイブラッチを同時に反転させる SET パルスは深刻な問題になる。SET パルスが取り込まれる確率はクロック周波数に比例するため、BISER のソフトエラー耐性はクロック周波数の増加に伴い低下していく。

### 3.4 BCDMR

2 重化フリップフロップの BISER は 3 重化よりも省面積であるが、前節で紹介した脆弱性がある。我々の研究グループは、C-element で生じた SET によるエラーを抑える方法として図 9 に示す回路構造を持つ 2 重化フリップフロップ、BCDMR (Bistable Cross-coupled Dual Modular Redundancy) 型フリップフロップ [14] を提案している。

BCDMR では C-element を 2 重化し、出力を別々のスレイブラッチの入力に接続している。それにより、C-element で生じた SET パルスは一方のスレイブラッチにのみ影響を与える。

BCDMR のエラー耐性を測定するために、65nm プロセスにて LSI の試作を行った。図 3.4 は  $\alpha$  線による加速試験の結果である。通常の FF では、70 万個もエラーが観測されるが、BCDMR では、1 個しか観測されていない。BISER では、予想通り、クロック周波数にともない、エラー数が増加している。図 11 は中性子加速試験の結果である。 $\alpha$  線と異なり、結果に周波数依存性が見られず、BCDMR のエラー耐性も BISER の半分程度となっている。我々は、この原因を複数反転 (Multiple Cell Upset, MCU) にあると考えた。冗長化 FF において、複数の素子が同時に反転するとその出力は反転する。同時に反転すると問題となる素子を Critical Components と呼ぶが、図 11 の結果は Critical Component 間の距離が  $0.77\mu\text{m}$  となっていた。レイアウト構造を改良し、Critical Component 間の距離を  $2.13\mu\text{m}$  とした LSI を新たに試作し、そのエラー耐性の評価を行った。図 12 がその結果である [15]。BISER FF はクロック周波数が高くなるにつれて、エラー率が増えているが、BCDMR ではほぼ一定である。また、ツインウェル上に構築した BCDMR ではエラーが観測されなかった。これは、トリプルウェル構造ではウェルの電位が不安定になりやすいことによるものと考えられる。

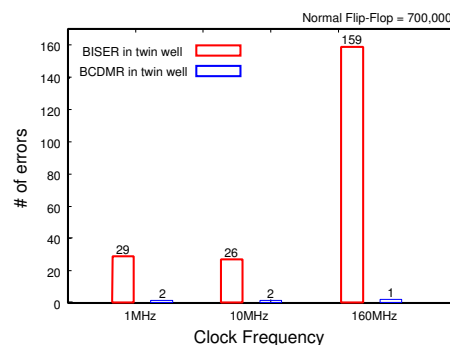


図 10  $\alpha$  線によるソフトエラー耐性評価結果

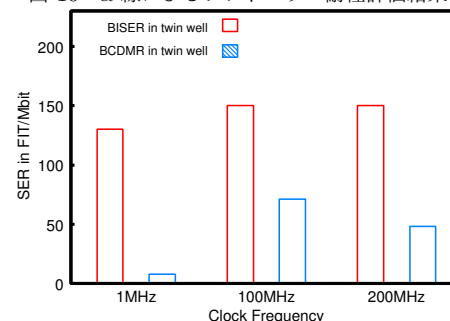


図 11 中性子によるソフトエラー耐性評価結果 (通常の FF のエラー率は  $1,031\text{FIT}/\text{Mbit}$ )

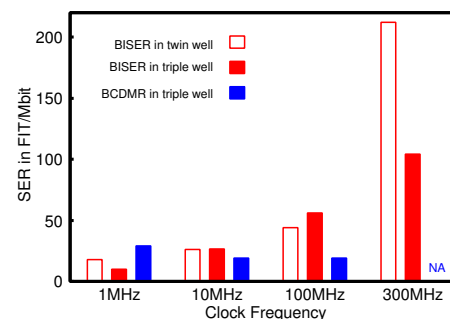


図 12 レイアウト最適化後の中性子によるソフトエラー耐性評価結果

### 3.5 SET パルス長測定回路

[16], [17] では、SEU を引き起こす原因の一つである SET パルス長の測定を行っている。SET パルスは組み合わせ回路から生じるエラーパルスであり、ラッチやフリップフロップに取り込まれるとエラーとなる。従来の測定回路では、パルスの測定頻度を増やすため、非常に長いバッファチェーンを用いていた。しかし、長いバッファチェーンをパルスが伝搬することにより、パルス長が大きく変動するという問題が生じる。[16] では、シフトレジスタのクロックバッファに発生する SET を FF のシフト段数により測定するという原理を用いて、高精度に SET パルス長の分布を測定する手法を提案している。[17] では、リング型発振器とカウンタを組み合わせ、非常に省面積な SET パルス回路を提案し、その測定結果から、基板バイポーラ効果により SET パルス長が影響を受け、クロックバッファに用いられているような大きなバッファでもそれほど SET パルス長が短くならないことを実証した。

### 3.6 微細化に向けた一時故障対処法

一時故障への有効な対応方法は、DRAM や SRAM で実用化されている ECC などの冗長化技術である。ここ数年の電圧低下を伴わない微細化により、回路の一時故障に対する耐性は上がっている。しかし、微細化による多ビットの反転は避けられない問題であり、特に、信頼性をあげるために用いる冗長化を行った回路では、多ビットの反転は致命的である。冗長化は、エラーが起こったことを検知するための二重化、エラーを訂正できる三重化が一般的に用いられている。微細なプロセスでは五重化などの対応が必要となる可能性があるが、それでは微細化する意味がなくなってしまう可能性がある。我々は、多重化と多重化回路のエラーを検出する技術を組み合わせることにより、回路の信頼性を向上させる技術の研究を進めていく予定である。

### 4. 永久故障とその対応策

BTI (Bias Temperature Instability) は、トランジスタのゲートにかかるバイアス電圧により、その性能が劣化していく現象である。その原因はゲート酸化膜にある欠陥にあると言われており、バイアスによりゲート絶縁膜とシリコン基板の界面に存在する水素が遊離して欠陥が生じるとする Reaction Diffusion Model [18] と、元々絶縁膜にある欠陥にキャリアが捕捉、放出される現象によるとする Trap/Detrapp (Atomistic) Model [19] という二つのモデルが提案されている。後者は、RTN (Random Telegraph Noise) を発生させる欠陥と BTI とは同じ原理だとしているが、その簡単な説明原理から近年、その支持者が増えていく。しかし、絶縁膜にある水素も何らかの影響を与えているとの意見も聞かれる。

我々は、65nm プロセスにて試作した図 13 に示すリーク電流を用いた NBTI 劣化モニタ回路を用いて、劣化と回復現象の測定を行った。図 14 がその結果である。劣化を表す (a) は、log-log プロット、回復を表す (b) は linear-log プロットであることに注意されたい。二つのグラフが直線であるということは、回復と劣化が非対称性を持つことを意味する。この現象を利用すれば、劣化した回路を少し休ませるだけで、回路の寿命を大幅に延ばすことができる [20], [21]。このような手法は、例えば [22] でも提案されている。

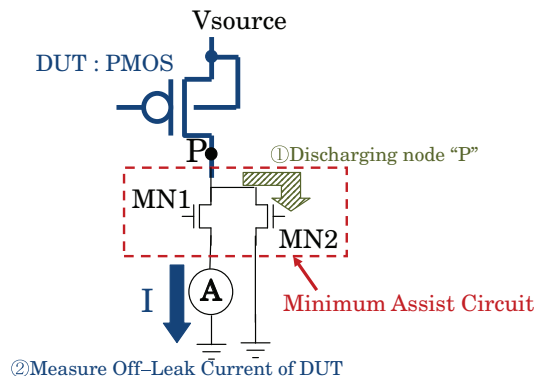


図 13 リーク電流を用いた NBTI 劣化モニタ回路

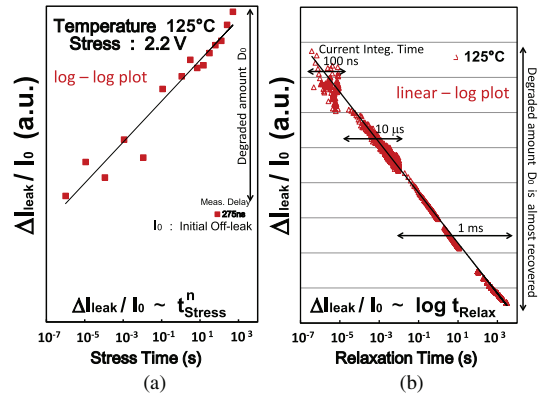


図 14 BTI の劣化 (a) と回復 (b) の様子

### 5. まとめ

本稿では、ばらつき、一時故障、経年劣化などの、微細化に伴う様々な問題点に言及し、その対策を述べた。22nm 以降は、すでにインテル社が 3 次元トランジスタ (FINFET) を実用化させている。一方 SOI (Silicon On Insulator) によりばらつきを抑え超低電圧で LSI を動かそうという日本のプロジェクトも進行中であり、今後の動向に注目される。

### 文 献

- [1] 枝洋樹, 堀切近文: “脱均質主義”, 日経エレクトロニクス 2004 3-29, pp. 109-129 (2004).
- [2] 湯山洋一, 高井幸輔, 小林和淑, 小野寺秀俊: “SystemC を用いたハードウェア・ソフトウェア協調設計”, 回路とシステムワークショップ, pp. 399-404 (2001).
- [3] K. Kobayashi, K. Katsuki, M. Kotani, Y. Sugihara, Y. Kume and H. Onodera: “A 90nm 48x48 LUT-Based FPGA Enhancing Speed and Yield Utilizing Within-Die Delay Variations”, IEICE Trans. on Electronics, E90-C, 10, pp. 1919-1926 (2007).
- [4] K. Katsuki, M. Kotani, K. Kobayashi and H. Onodera: “A 90 nm LUT Array for Speed and Yield Enhancement by Utilizing Within-Die Delay Variations”, IEICE Trans. on Electronics, E90-C, 4, pp. 699-707 (2007).
- [5] Y. Sugihara, M. Kotani, K. Katsuki, K. Kobayashi and H. Onodera: “A 90nm 8x16 FPGA Enhancing Speed and Yield Utilizing Within-Die Variations”, Asia and South Pacific Design Automation Conference, pp. 122-123 (2007).
- [6] M. Kotani, K. Katsuki, K. Kobayashi and H. Onodera: “A 90nm 8x16 LUT-based FPGA Enhancing Speed and Yield Utilizing Within-Die Variations”, European Solid-State Circuits Conference, pp. 110-113 (2006).
- [7] K. Kobayashi, M. Kotani, K. Katsuki, Y. Takatsukasa, Y. Ogata, Y. Sugihara and H. Onodera: “A Yield and Speed Enhancement Technique Using Reconfigurable Devices against Within-Die Variations on the Nanometer Regime”, International Conference on Field Programmable Logic and Applications, pp. 761-764 (2006).
- [8] K. Katsuki, M. Kotani, K. Kobayashi and H. Onodera: “Measurement Results of Within-Die Variability on a 90nm LUT Array for Speed and Yield Enhancement of Reconfigurable Devices”, Asia and South Pacific Design Automation Conference, pp. 110-111 (2006).
- [9] N. Seifert, B. Gill, K. Foley and P. Relangi: “Multi-cell upset probabilities of 45nm high-k+ metal gate sram devices in terrestrial and space environments”, IRPS, pp. 181-186 (2008).

- [10] T. Calin, M. Nicolaidis and R. Velazco: “Upset hardened memory design for submicron cmos technology”, *IEEE Trans. Nucl. Sci.*, 43, 6, pp. 2874–2878 (1996).
- [11] P. Hazucha, T. Karnik, S. Walstra, B. Bloechel, J. Tschanz, J. Maiz, K. Soumyanath, G. Dermer, S. Narendra, V. De and S. Borkar: “Measurements and analysis of ser-tolerant latch in a 90-nm dual-vt cmos process”, *IEEE J. Solid-State Cir.*, 39, 9, pp. 1536–1543 (2004).
- [12] D. Krueger, E. Francom and J. Langsdorf: “Circuit design for voltage scaling and ser immunity on a quad-core itanium processor”, *ISSCC*, pp. 94–95 (2008).
- [13] M. Zhang, S. Mitra, T. M. Mak, N. Seifert, N. J. Wang, Q. Shi, K. S. Kim, N. R. Shanbhag and S. J. Patel: “Sequential element design with built-in soft error resilience”, *IEEE Trans. VLSI Sys.*, 14, 12, pp. 1368–1378 (2006).
- [14] J. Furuta, C. Hamanaka, K. Kobayashi and H. Onodera: “A 65nm Bistable Cross-coupled Dual Modular Redundancy Flip-Flop Capable of Protecting Soft Errors on the C-element”, *VLSI Circuits Symp.*, pp. 123–124 (2010).
- [15] R. Yamamoto, C. Hamanaka, J. Furuta, K. Kobayashi and H. Onodera: “An Area-efficient 65 nm Radiation-Hard Dual-Modular Flip-Flop to Avoid Multiple Cell Upsets”, *IEEE Trans. on Nucl. Sci.*, 58, 6, pp. 3053 – 3059 (2011).
- [16] J. Furuta, C. Hamanaka, K. Kobayashi and H. Onodera: “Measurement of Neutron-induced SET Pulse Width Using Propagation-induced Pulse Shrinking”, *IEEE International Reliability Physics Symposium*, pp. 5B.2.1–5B.2.5 (2011).
- [17] J. Furuta, R. Yamamoto, K. Kobayashi and H. Onodera: “Evaluation of Parasitic Bipolar Effects on Neutron- Induced SET Rates for Logic Gates”, *IEEE International Reliability Physics Symposium*, pp. SE.5.1–SE5.5 (2012).
- [18] M. Alam and S. Mahapatra: “A comprehensive model of PMOS NBTI degradation”, *Microelectronics Reliability*, 45, 1, pp. 71–81 (2005).
- [19] B. Kaczer, T. Grasser, J. Martin-Martinez, E. Simoen, M. Aoulaiche, P. Roussel and G. Groeseneken: “NBTI from the perspective of defect states with widely distributed time scales”, *Proc. IRPS*, pp. 55–60 (2009).
- [20] T. Matsumoto, H. Makino, K. Kobayashi and H. Onodera: “Multicore Large-Scale Integration Lifetime Extension by Negative Bias Temperature Instability Recovery-Based Self-Healing”, *Japanese Journal of Applied Physics*, 51, 4 (2012).
- [21] T. Matsumoto, H. Makino, K. Kobayashi and H. Onodera: “A 65 nm Complementary Metal-Oxide-Semiconductor 400 ns Measurement Delay Negative-Bias-Temperature-Instability Recovery Sensor with Minimum Assist Circuit”, *Japanese Journal of Applied Physics*, 50, 4, p. 04DE06 (2011).
- [22] T. Nakasato, T. Nakura and K. Asada: “Stress-balance flip-flops for nbtI tolerant circuit based on fine-grain redundancy”, *SoC Design Conference (ISOC)*, 2011 International, pp. 150 –153 (2011).