

# 冗長/非冗長化FFによる耐ソフトウェア多重化プロセッサの性能評価

岡田 翔伍<sup>†</sup> 増田 政基<sup>†</sup> 姚 駿<sup>††</sup> 嶋田 創<sup>††,†††</sup> 小林 和淑<sup>†,†††</sup>

<sup>†</sup> 京都工芸繊維大学

<sup>††</sup> 奈良先端大学院大学

<sup>†††</sup> JST,CREST

あらまし 近年、製造技術の進歩により微細化が進み、その影響でソフトエラー率が上昇し、様々なソフトエラー対策がなされている。本稿では、アーキテクチャレベルでの信頼性向上を行った多重化パイプラインプロセッサを180nmプロセスで設計を行った結果を報告する。設計したプロセッサは回路レベルでソフトエラー耐性を持つ冗長FFを用いたプロセッサと、回路レベルではソフトエラー耐性のない非冗長化FFを用いたプロセッサの2種類を設計した。冗長化FFの消費電力は非冗長化FFの消費電力の約3倍となるが、プロセッサ単位での消費電力では冗長化FFを用いたプロセッサは非冗長化FFを用いたプロセッサの1.28倍になる。面積では、冗長化FFが非冗長化FFの約3倍で、プロセッサでは冗長化FFを用いたプロセッサが非冗長化FFを用いたプロセッサの1.71倍となった。

キーワード 消費電力, 面積, 多重化パイプラインプロセッサ, 冗長化FF

## Performance Evaluation of Soft-Error Tolerant Multiple Modular Processors Implemented with Redundant and Non-Redundant Flip-Flops

Shogo OKADA<sup>†</sup>, Masaki MASUDA<sup>†</sup>, Jun YAO<sup>††</sup>, Hajime SHIMADA<sup>††,†††</sup>, and Kazutoshi

KOBAYASHI<sup>†,†††</sup>

<sup>†</sup> Kyoto Institute of Technology

<sup>††</sup> Nara Institute of Science and Technology

<sup>†††</sup> JST,CREST

**Abstract** Soft-error rates are becoming larger due to process scaling. Various ways of prediction for soft-error are being tried. In this paper, we measure power dissipation of two soft-error tolerant multiple-modular processors implemented with redundant and non-redundant flip-flops in 180nm, respectively. Redundant flip-flops have about 3x power and area than non-redundant flip-flops. The processor with redundant flip-flops has only 1.28x power and 1.71x area than the processor with non-redundant flip-flops.

**Key words** Power, Area, Multiple Modular Processor, Redundant FF

### 1. はじめに

近年、製造技術が進歩し集積回路の微細化・高集積化が行われ電子機器の性能は向上し続けてきている。しかし、微細化により、ソフトエラー率が上昇している。ソフトエラーは一時的な故障であり、地上では1チップで約100年に1度程度発生する[1]。これは集積回路を一般に使う際にはとくに問題ない数値であるが、飛行機など公共交通機関のように一時的なエラーであっても、発生すると人命に関わる問題なので、さらなるソフトエラー対策を施す必要がある。そこでアーキテクチャレベルでの信頼性向上が必要になっている。本稿では、性能評価のために、回路レベルではソフトエラー耐性のない非冗長化フリッ

プフロップ(FF)と回路レベルでソフトエラー耐性を持つ冗長化FFを用いた二重化パイプラインプロセッサを設計し、それら2つのプロセッサの面積や消費電力の比較を行なう。

第2, 3節では、多重化パイプラインプロセッサや耐ソフトウェアFFの種類とそれぞれのエラー対策機構について述べる。第4節では、試作チップの構成、設計方法とソフトエラー率、消費電力の評価方法について述べる。第5節では消費電力のFF単位、プロセッサ単位でのシミュレーション結果について述べる。第6節では本稿のまとめを述べる。

### 2. 多重化パイプラインプロセッサ

ソフトエラー耐性向上手法は空間的に多重化させる手法が広

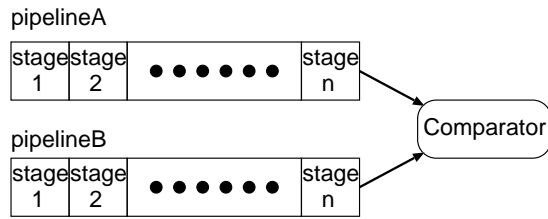


図 1 DMR 構造パイプラインプロセッサ

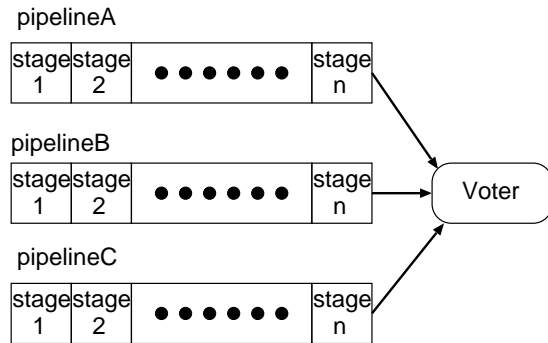


図 2 TMR 構造パイプラインプロセッサ

く用いられている。その代表的なものに二重化 (Dual Modular Redundancy:DMR) 構造や三重化 (Triple Modular Redundancy:TMR) 構造がある。本研究では DMR 構造と TMR 構造が動的に可変なパイプライン構造である DARA(Dinamic Adaptive Redundancy Architecture) パイプライン構造のプロセッサ [2] を用いている。

### 2.1 DMR 構造パイプラインプロセッサ

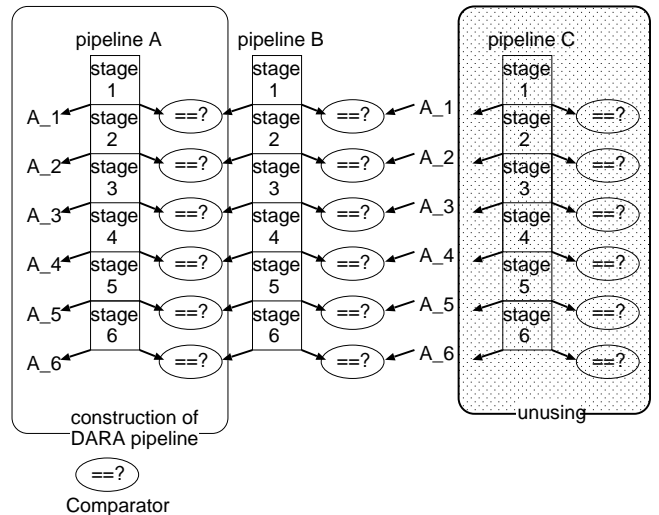
DMR 構造パイプラインプロセッサを図 1 に示す。この構造では完全に同じ構造の 2 つのパイプラインを持ち、その 2 つのパイプラインで同じ命令を実行する。実行中の 2 つのパイプラインで処理された値を比較器 (Comparator) を用いて比較する。その結果が等しい時には命令が正しく処理されたとして次の命令の処理を行なう。しかし、異なる時にはどちらかのパイプラインでエラーが起こっているため、同じ命令を再度実行する。ソフトエラーは一時的なエラーであるため、命令を再実行することによりエラー回復が可能である。しかし、DMR 構造では、ハードエラーが起こると一時的なエラーでないため、命令を再実行しても回復することができない。

### 2.2 TMR 構造パイプラインプロセッサ

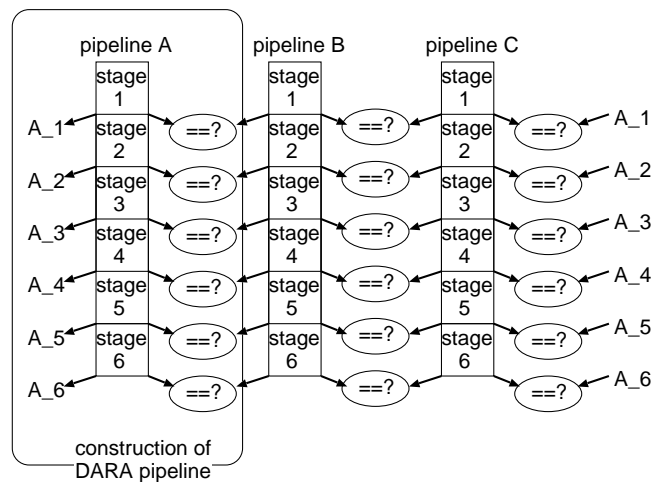
TMR 構造パイプラインプロセッサを図 2 に示す。DMR 構造パイプラインプロセッサと同様に完全に同じ構造の 3 つのパイプラインを持つ。その 3 つのパイプラインでは同じ命令を実行する。3 つのパイプラインで処理された値を多数決回路 (Voter) で多数決をとり、正しい値を決定する。多数決で正しい値を決定するので、1 つのパイプラインでハードエラーが発生したとしても残り 2 つのパイプラインでエラーが発生しない限り正常な動作を続けることができる。しかし、同じパイプラインを 3 つ持つことになるので面積や消費電力が 3 倍程度になる。

### 2.3 DARA パイプラインプロセッサ

DARA パイプライン構造は 6 段 RISC プロセッサで、各ス



(a)DMR構造パイプラインの構成



(b)TMR構造パイプラインの構成

図 3 DARA 構造パイプラインの構成

テージの境界で比較器を持つ。エラーの発生していない、ソフトエラー発生時には DMR 構造で動作し、1 つのパイプラインは動作しない。ハードエラー発生時には、動作していなかったパイプラインを加えて TMR 構造になる。DARA パイプライン構造を図 3 に示す。図 3 で (a) は DMR 構造時、(b) は TMR 構造時を表している。ステージ  $k$  の値が入力される比較器はステージ  $k+1$  の処理と同時に動作する。そのため、比較器でエラー判定中も命令の実行は行われているため比較器での時間的なオーバーヘッドはない。各ステージ境界に比較器を持っており、早い段階でエラーの検出を行うので、エラー回復に要する時間を短くすることができる。DMR 構造時にハードエラーが発生すると命令の再実行による回復動作が行えないので、もう 1 つパイプラインを加えて TMR 構造として動作する。TMR 構造では比較器を用いた多数決を行う。例えば、3 つのパイプラインのパイプラインをそれぞれ A, B, C とし、そこで実行されている命令をそれぞれ  $I_A, I_B, I_C$  とする。これらの命令が比較器により  $I_A \neq I_B, I_B = I_C, I_C \neq I_A$  となると、 $I_A$  だけが保持値が異なる。これはパイプライン A でハードエラーが発生していることを示すので、パイプライン A を切り離しパイプ

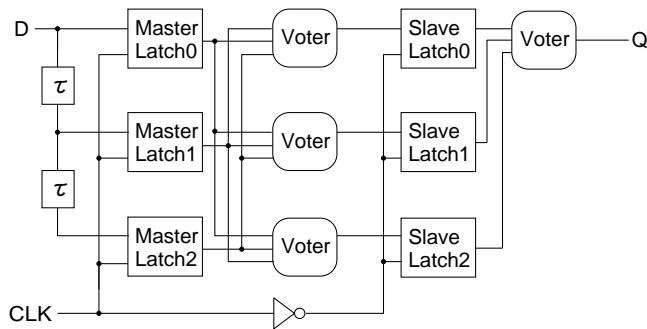


図 4 TMR FF の回路図

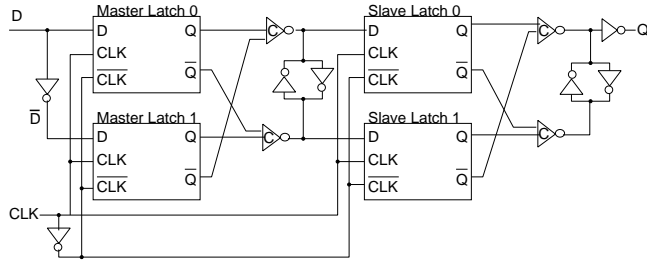


図 5 BCDMR FF の回路図

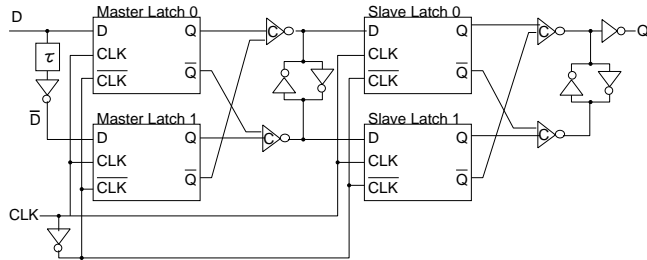


図 6 Delayed BCDMR FF の回路図

イン B, C で再度 DMR 構造となり、動作を続ける。パイプライン DARA パイプライン構造はこれらの比較器を含んだパイプライン構造となっている。プロセッサの中にパイプラインを 3 つ以上搭載することにより DMR 構造と TMR 構造を動的に変化させることによりソフトエラーとハードエラーの両方のエラー耐性を持つことできる。DMR 構造で動作している時には残りのパイプラインは全く動作しないので、パイプライン 2 つ分の消費電力で動作することが可能である。しかし、動作しないとしてもパイプラインは 3 つ搭載するので面積は TMR 構造相当になる。

### 3. 耐ソフトエラー冗長化 FF [3]

アーキテクチャだけでなく、回路レベルでのエラー対策もとられている。回路レベルでのエラー対策として FF を多重化する対策が一般的である。多重化 FF としては、Latch を三重化して多数決回路でエラーを除去する TMR 構造 FF が代表的である。

#### 3.1 TMR 構造 FF

TMR 構造の簡単な回路図を図 4 に示す。TMR 構造 FF は同じ構造の FF を 3 つ持ち、ラッチの後段に多数決回路を持つ。3 つのラッチの値で多数決することにより、1 つのラッチでエラーが発生しても、残り 2 つのラッチが正常ならば、多数決に

表 1 FF の特徴

FF 名	DFF	TMR FF	BCDMR	Delayed-BCDMR
面積	最小	4 倍以上	約 3 倍	約 6 倍
内部エラー耐性	×	○	○	○
外部エラー耐性	×	△ (対策可能 → 面積増加)	×	○

よってエラーにより反転した値が除去されて後段のラッチに送られる。しかし FF の前段の組み合わせ回路部エラーパルスが発生すると、3 つの FF が同時にそのパルスを取り込んでしまい、3 つ同時にエラーになってしまう。これを防ぐために前段のラッチの前に遅延素子  $\tau$  を取り付けている。これにより 3 つの FF に同時にエラーパルスが取り込まれないためエラーパルスによるエラーは多数決回路で除去が可能である。

#### 3.2 BCDMR FF

BCDMR(Bistable Cross-coupled Dual Modular Redundancy) FF [4] の回路図を図 5 に示す。この FF では Weak Keeper と 2 つのラッチで 3 つの値を保持し、それらの値を多数決をとることによりエラー耐性を高めている。ラッチの後段に C-element を持つことにより、一方のラッチで保持値が反転したときに C-element がハイインピーダンス状態になり、Weak Keeper での値の書き換えができるようになっている。C-element も二重化していることにより、C-element 二つ分の面積は増加するが、2 つの利点がある。1 つは、Weak keeper を両側からドライブすることになるので、C-element の駆動力が小さいもので値を上書きできる。2 つ目は、C-element で発生するエラーも後段のラッチの 1 つだけに取り込まれるので、最後の C-element でエラーを除去ができる。

#### 3.3 遅延素子付き BCDMR FF (Delayed BCDMR FF)

遅延素子付き BCDMR FF の回路図を図 6 に示す。上述した BCDMR FF の 1 つの Master Latch の前段に遅延素子を持たせた BCDMR FF である。遅延素子  $\tau$  を入れることにより、2 つの Master Latch に同時にエラーパルスが取り込まれない。そのため、FF の前段の組み合わせ回路部で発生したエラーパルスにも強くなっている。

上述のそれぞれの FF の特徴を表 1 に示す。TMR 構造 FF では Latch が非冗長化 FF の 3 倍に持ち、多数決回路を 4 つ持つので、面積は 4 倍以上になる。TMR 構造 FF でも外部エラーに対する対策はできるが、それには遅延素子  $\tau$  を 2 つ加える必要があり、その分面積オーバーヘッドが BCDMR FF よりも大きくなる。BCDMR FF では FF 内部で発生するエラーには強い構造ではあるが、前段の組み合わせ回路部で発生するエラーを取り込むと 2 つの Slave Latch が共に反転するので FF の出力が反転した値になる。遅延素子を加えた Delayed BCDMR FF では前段の組み合わせ回路部で発生したエラーパルスが発生しても保持値が反転しない。

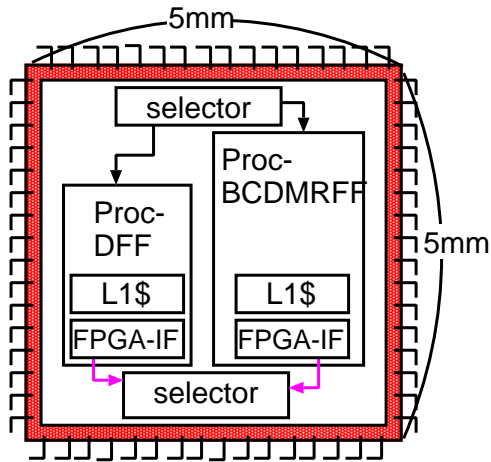


図7 試作チップの概略図

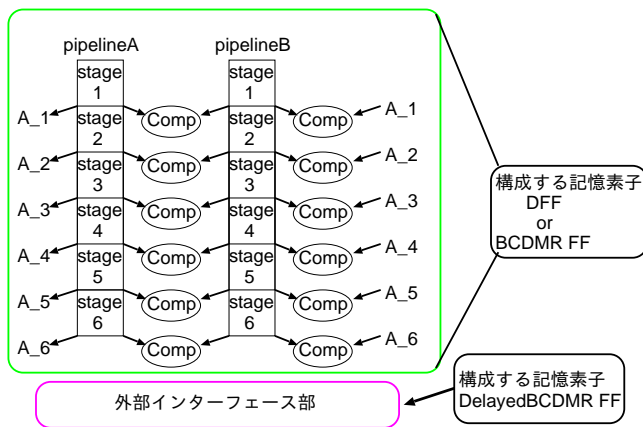


図8 プロセッサの構成

#### 4. 試作チップ

試作チップの概略図を図7に示す。試作はRohm社の180nmプロセス、5mm角のチップで、二重化DARAパイプライン構造プロセッサを2つ実装している。1つはBCDMR FFを用いて、回路レベルでもエラー耐性を高めた二重化DARAパイプラインプロセッサ(Proc-BCDMR)と、もう1つは冗長化していない通常のDFFを用いて回路レベルではエラー耐性を高めていない二重化DARAパイプラインプロセッサ(Proc-DFF)を実装している。プロセッサ内にSRAMではなく、FFのレイで構成された368bits×8lines(ECC付き)のL1キャッシュ(L1\$)が存在する。L2キャッシュ以降の大容量メモリは外部に置く。1つのLSI内に2つのプロセッサを搭載することで、アーキテクチャレベルと回路レベルでのエラー対策を施したプロセッサと、アーキテクチャレベルでのみエラー対策を行なったプロセッサのソフトエラー率を同等の環境でテストができる。ソフトエラー耐性の評価には $\alpha$ 線を用いて加速試験を行う予定である。

##### 4.1 プロセッサの構成

プロセッサの構成を図8に示す。Proc-DFFは各ステージ後のパイプラインレジスタとL1キャッシュを通常のDFFを用いて設計している。DARAパイプライン構造を二重化しており、

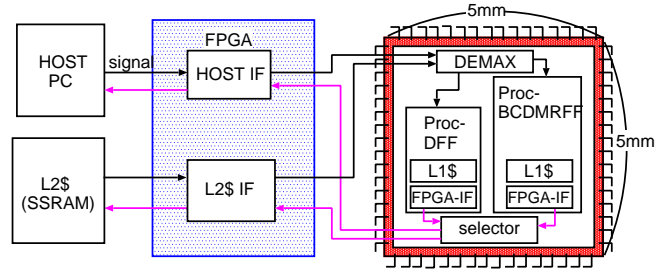


図9 試作チップの動作環境

表2 各プロセッサのFF使用数：括弧内の数はSet/Reset端子なしDFFを1.00としたときの比率を示す

FF名	Set/Reset端子	面積 [ $\mu\text{m}^2$ ]	FF使用数 [個]	
			Proc-DFF	Proc-BCDMR
DFF	N/A	51.6(1.00)	13764	0
	Reset	67.7(1.31)	4388	0
	Set/Reset	77.4(1.50)	158	0
BCDMR	N/A	168(3.26)	0	13764
	Reset	200(3.88)	0	4388
	Set	200(3.88)	0	158
Delayed BCDMR	N/A	310(6.01)	0	0
	Reset	336(6.51)	9	9
	Set/Reset	336(6.51)	1139	1139

各ステージの境界にある比較器によりエラー検出を行なう。エラー発見時には命令の再実行によりエラー回復を行なう。Proc-BCDMRはパイプラインレジスタとL1キャッシュをBCDMR FFを用いて設計を行っている。これによりパイプラインの比較器によるエラー回復に加えて、FF毎にエラー回復動作が可能になる。試作チップの動作環境を図9に示す。試作チップはHost PCとの間にL2キャッシュ、Host PCとのインターフェースを構成するField-Programmable Gate Array(FPGA)が存在する。このFPGAとのインターフェース部のみ二重化されていないので、両方のプロセッサでDelayed BCDMR FFを用いて組み合わせ回路部でのエラーに起因するエラーの耐性も高めている。各プロセッサのFF数を表2に示す。DFFでSet端子付きFFではなくSet/Reset端子付きFFを使用している。これはSet端子のみのDFFを用意できなかったからである。機能としては、Set/Reset端子付きDFF(DFSR)はSet端子付きFFと同等である。Set/Reset端子のないBCDMR FF(NBCDMR)の面積はSet/Reset端子のないDFF(DFN)の面積の3.26倍になっている。Reset端子付きBCDMR FF(RBCDMR)の面積はReset端子付きDFF(DFR)の面積のはの2.95倍になる。Set端子付きBCDMR FF(SBCDMR)の面積はDFFの面積の2.58倍になる。プロセッサのFF数を考慮してFFの面積はBCDMRがDFFの約3倍になる。Delayed BCDMRFFはSet/Reset端子付きのFFしか使用されておらず、面積は同端子のFFの約6倍になる。FFの面積と使用数からFF部の全面積はProc-DFFで1.41 $\text{mm}^2$ 、Proc-BCDMRで3.61 $\text{mm}^2$ となり、Proc-BCDMRの記憶素子部の面積はProc-DFFの記憶素子部の面積の2.56倍となる。

表 3 プロセッサの面積

プロセッサ	論理合成		配置配線 面積 (Ap) [mm <sup>2</sup> ]	As/Ap [%]
	FF 部の面積 [mm <sup>2</sup> ]	セル面積 (As) [mm <sup>2</sup> ]		
Proc-DFD	1.41(1.00)	3.28(1.00)	5.47(1.00)	59.7
Proc-BCDMR	3.60(2.55)	5.61(1.71)	9.38(1.71)	60.0

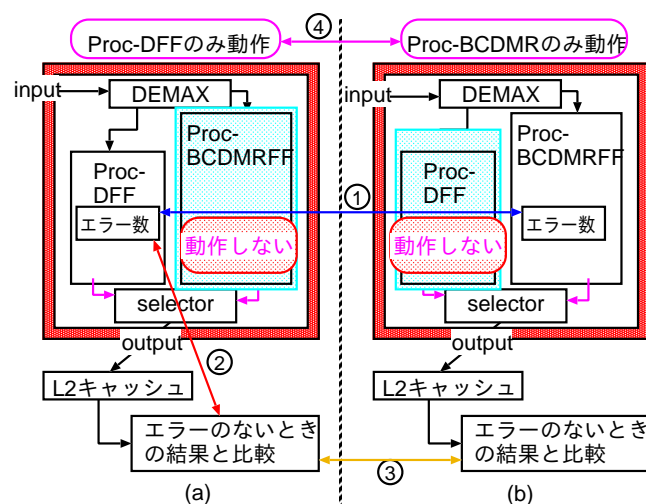


図 10 試作チップの動作環境:(a) セレクト信号=0 のとき Proc-DFD のみ動作, (b) セレクト信号=1 のとき Proc-BCDMR のみ動作

## 4.2 レイアウト設計

設計はスタンダードセルベースで、遅延情報がslowの遅延ライブラリを使用して、動作周波数を25MHzで行った。これら2つのプロセッサはセクタ回路により同時の動作しないようになっている。論理合成、配置配線にはSynopsys社のDesign CompilerとIC Compilerを用いた。論理合成、配置配線の結果を表3に示す。表3内の括弧内の数はProc-DFDの面積を基準にしたときの面積比を表す。BCDMRFFの面積はDFDのおよそ3倍の面積であるので、プロセッサ内の記憶素子部(FF部)の面積は2.55倍になる。これは4.1のDelayed BCDMRFFを考慮して計算した面積比と等しい結果となる。セル面積では1.71倍になっている。

## 4.3 プロセッサの性能測定・評価方法

ソフトエラー耐性測定方法の概要図を図10に示す。ソフトエラー耐性の測定は奈良先端大学院大学のOROCHIシステム[5]を用いて行う。地上ではソフトエラーの発生率はほぼ0であるので、 $\alpha$ 線を用いて加速試験を行う。エラーの発生数を数えるカウンタ回路(エラーカウンタ)を各ステージ毎に設けており、エラー数からどのステージでエラーが起こりやすいかを測定できる。2つのプロセッサを1チップに搭載することにより、以下の4つの比較による評価が可能である。

(1) 2つのプロセッサのエラーカウンタのエラー数の比較することによりBCDMRFFによりエラー数の減少率を測定できる(図10内①)。

(2) DFDを用いたプロセッサ内のエラー数と全ての処理が終わったエラーのないときの値を比較すると、プロセッサ内

表 4 負荷容量が1.5fF、動作周波数25MHzのときの各FFの消費電力:括弧内の数はSet/Reset端子なしDFDを1.00としたときの比率を示す

FF名	Set/Reset 端子	消費電力 [ $\mu$ W]
DFD	N/A	1.94(1.00)
	Reset	3.09(1.59)
	Set/Reset	3.80(1.96)
BCDMR	N/A	5.67(2.92)
	Reset	6.71(3.46)
	Set	6.71(3.46)
Delayed BCDMR	N/A	5.67(2.92)
	Reset	6.71(3.46)
	Set/Reset	6.71(3.46)

でエラー回復が行われているかが分かるのでDMR構造パイプラインプロセッサの有用性が評価できる(図10内②)。

(3) 2つのパイプラインの全ての処理が終わった結果とエラーのないときの結果を比較することで、DMR構造と冗長化FFによるソフトエラー対策の必要性を評価できる(図10内③)。

(4) 各プロセッサはセクタ回路に1つのみ動作するので、プロセッサの動作時の消費電力を個別の測定することで、冗長化FFの電力オーバーヘッドの評価ができる(図10内④)。

以上のことが試作チップのより評価が可能である。

## 5. 消費電力測定方法

プロセッサの消費電力は論理シミュレーションにより抽出したスイッチング情報をDesign Compilerに読み込むことで求めた。

### 5.1 FFの消費電力

各FFの電力を表4に示す。括弧内の数はSet/Reset端子のないDFDの消費電力を1.00としたとき消費電力の比率を表す。Set/Reset端子付きDFDは様々な駆動力のものが用いられているので、消費電力はそれらの平均値を示している。また、各FFの消費電力は後段の負荷容量1.5fFで、動作周波数25MHzでデータアクティビティが1のときを示す。NBCDMRの消費電力がDFDの消費電力の2.92倍、RBCDMRの消費電力はDFDの消費電力の2.17倍、SBCDMRの消費電力はDFDの消費電力の1.77倍になる。各FFの使用数を考慮するとBCDMRFFの消費電力はDFDの消費電力の約2.5倍になる。プロセッサの記憶素子部の消費電力は、Delayed BCDMRFFを考慮すると、Proc-DFDは48.6 $\mu$ W、Proc-BCDMRは116.2 $\mu$ Wとなり、Proc-BCDMRの記憶素子部の消費電力はProc-DFDの記憶素子部の消費電力の2.39倍となる。

### 5.2 プロセッサの消費電力

プロセッサの消費電力を求めるためのシミュレーションは動作周波数25MHzでスタンフォード・マークベンチのQUEENSで行った。QUEENSを動作させるために必要なプロセッサの消費電力を表5に、記憶素子部と組み合わせ回路部での消費電力を表6に、記憶素子部の消費電力の詳細を表7に示す。セル内の消費電力の分布を図11に示す。記憶素子部の消費電力

表 5 プロセッサの消費電力

プロセッサ名	セル内電力 [ $\mu\text{W}$ ]	プロセッサ全体の電力 [ $\mu\text{W}$ ]
Proc-DFF( $P_{\text{DFF}}$ )	175.9	504.8
Proc-BCDMR( $P_{\text{BCDMR}}$ )	266.8	644.1
$P_{\text{BCDMR}}/P_{\text{DFF}}$	1.52	1.28

表 6 セル内の消費電力

プロセッサ名	記憶素子部 [ $\mu\text{W}$ ]	組み合わせ回路部 [ $\mu\text{W}$ ]
Proc-DFF( $P_{\text{DFF}}$ )	84.2	91.7
Proc-BCDMR( $P_{\text{BCDMR}}$ )	152.4	114.3
$P_{\text{BCDMR}}/P_{\text{DFF}}$	1.81	1.25

表 7 記憶素子部の消費電力

プロセッサ名	DFF or BCDMR [ $\mu\text{W}$ ]	インターフェース部 [ $\mu\text{W}$ ]
Proc-DFF( $P_{\text{DFF}}$ )	55.8	28.4
Proc-BCDMR( $P_{\text{BCDMR}}$ )	124.0	28.4
$P_{\text{BCDMR}}/P_{\text{DFF}}$	2.22	1.00

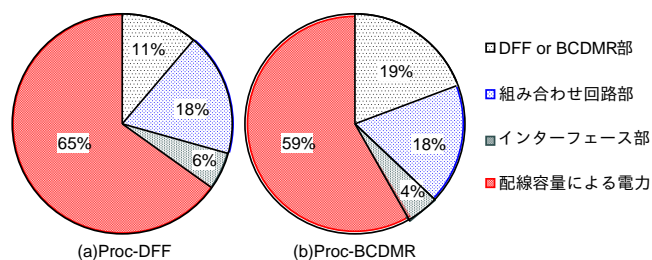


図 11 プロセッサ内の電力分布

は Proc-DFF で  $84.2\mu\text{W}$ , Proc-BCDMR では  $152.4\mu\text{W}$  となり, Proc-BCDMR の消費電力が 1.81 倍になっている。FF 単位で比較すると 2.39 倍であるが, それよりも小さくなっている。これは 5.1 での計算ではデータアクティビティを 1 として計算したため, 消費電力が大きめに見積もられているからである。FPGA とのインターフェース部の消費電力を除いた記憶素子部の消費電力では, Proc-DFF の消費電力が  $55.8\mu\text{W}$ , Proc-BCDMR の消費電力は  $124.0\mu\text{W}$  となり, Proc-BCDMR の消費電力が Proc-DFF の消費電力の 2.22 倍となる。これは Delayed BCDMR FF を除いた見積りの約 2.5 倍という数値に近くなる。これから, パイプライン内の記憶素子のデータアクティビティは FPGA とのインターフェース部のデータアクティビティよりも高いことが分かる。組み合わせ回路部の消費電力では Proc-DFF は  $91.7\mu\text{W}$ , Proc-BCDMR では  $114.3\mu\text{W}$  となり, Proc-BCDMR の消費電力が 1.25 倍になっている。BCDMR FF では様々な駆動力の FF を用意することができていない。後段の回路のファンアウトが大きい場合に, BCDMR FF の後段には駆動力の大きいバッファが挿入されている。そのため, 記憶素子部では FF 単体での電力の比が小さくなり, 同様の構造である組み合わせ回路部での消費電力が Proc-BCDMR の方が大きくなっている。各プロセッサで見ると, DFF もしくは BCDMR FF での消費電力が Proc-DFF では 11%であるの

に対し, Proc-BCDMR では 19%となり, 全体の占める割合が大きくなっている。しかし, どちらのプロセッサでも組み合わせ回路部では 18%となっている。

またプロセッサ単位で見ると, セル内だけの電力では Proc-DFF が  $175.9\mu\text{W}$ , Proc-BCDMR は  $266.8\mu\text{W}$  となり, 1.52 倍の消費電力となっているが, 配線容量による消費電力も考慮したプロセッサ全体の消費電力は 1.28 倍となっている。このようにプロセッサのような大きな組み合わせ回路を持つ構造では, 消費電力が約 3 倍の冗長化 FF を用いて設計を行っても消費電力の比は FF 単位ほどの大きな差異は見られない。

## 6. ま と め

冗長/非冗長化 FF を用いた多重化パイプラインプロセッサのレイアウト設計を行った。2つのプロセッサはセレクト回路で 1つしか動作しない仕様である。プロセッサにはパイプラインのステージ毎にエラーカウンタが設けられている。それにより, 2つのプロセッサで冗長化 FF の有用性, DMR パイプライン構造プロセッサの有用性, DMR パイプライン構造と冗長化 FF による二重のソフトエラー対策の必要性が評価できる。また, 2つのプロセッサの動作時の消費電力を測定することで, 冗長化 FF による電力オーバーヘッドが評価できる。本稿では, 各プロセッサの面積とシミュレーションによる消費電力の比較を行った。冗長化 FF には BCDMR FF を用いた。BCDMR FF を用いることで回路レベルでもソフトエラー耐性を向上させることができる。BCDMR FF は非冗長化 FF の面積, 消費電力が約 3 倍となる FF である。しかし, プロセッサのように大きな組み合わせ回路部を持つ回路では面積では非冗長化 FF を用いるときの 1.71 倍, 消費電力では 1.28 倍となる。これは冗長化 FF を用いて回路レベルでソフトエラー耐性の向上を行っても, FF 単体の面積, 消費電力は顕著な差としては表れないことを示している。

今後は試作チップのソフトエラー耐性の実測を行い, その際に各プロセッサの消費電力を求め, 冗長化 FF による電力オーバーヘッドの評価を行う。

## 謝辞

本チップ試作/研究は東京大学 VDEC を通しローム, 凸版印刷, 日本ケイデンス, シノプシス, メンターグラフィックスの協力で行われた。

## 文 献

- [1] 戸坂義春, 知っておきたいソフトエラーの実態, 日経エレクトロニクス, pp.145-156, 2005
- [2] J. Yao et. al. DA symposium, pp.169-174, 2008,
- [3] 増田ほか, 回路とシステムワークショップ, 2011
- [4] J. Furuta, et.al. Symposium on VLSI Circuits, pp.123-124, 2010
- [5] H. Shimada, et.al. IWIA, pp.110-117, 2007