

基板バイポーラ効果による SEU と MCU の発生機構の検討

濱中 力[†] 古田 潤^{††} 牧野 紘明^{††} 小林 和淑[†] 小野寺 秀俊^{††,†††}

[†] 京都工芸繊維大学

^{††} 京都大学

^{†††} JST, CREST

あらまし 集積化が進むにつれ素子固有のエラー耐性は低下し、1bit が反転する SEU(Single Event Upset)、複数のビットが同時に反転する MCU(Multi-Cell upset) が問題となっている。MCU は、中性子、線などにより発生した電荷が複数のノードに分配されて起こるとされているが、近年、Well もしくは基板をベースとした寄生バイポーラトランジスタ効果も MCU の発生要因として挙げられている。本稿では、実測結果から得られた値を元にモデル化した基板バイポーラトランジスタと基板抵抗を SPICE シミュレーションに組み込み、SEU と MCU がどのような機構で発生するかについての検討を行なう。インバータをクロスカップルさせた構造の SRAM 型ラッチ、D-FF で用いられている 3 ステートインバータによるラッチの 2 種類について検討を行なったところ、SEU は基板タップからの距離の影響をほとんど受けず、MCU は基板タップからの位置が遠いラッチ程起きやすいことが分かった。

キーワード ソフトエラー、SEU(Single Event Upset)、MCU(Multi-Cell Upset)、基板バイポーラトランジスタ、LSI、CMOS

Generation Mechanism of SEU and MCU Caused by Parasitic Lateral Bipolar Transistors.

Chikara HAMANAKA[†], Jun FURUTA^{††}, Hiroaki MAKINO^{††},

Kazutoshi KOBAYASHI[†], and Hidetoshi ONODERA^{††,†††}

[†] Kyoto Institute of Technology

^{††} Kyoto University

^{†††} JST, CREST

Abstract Tolerance for soft-error decreases as integration advances. SEU(Single Event Upset), flipping one bit and MCU(Multi-Cell Upset), flipping two or more bits at the same time, becomes a problem. It is assumed that MCU is caused by the charge distribution generated by the neutron or alpha particles, etc. Recently, it is said that the effect of a parasitic bipolar transistor whose base is the well or the substrate is a dominant factor on MCU. In this paper, the substrate bipolar transistor and the substrate resistance modeled from the measurement results are embedded into SPICE simulation, and it examines how to generate SEU and MCU. We examined SRAM type latches composed of cross-coupled inverters and ordinal latches by three-state inverters in D-FF. SEU rate is almost constant regardless of the distance from the substrate tap, while the further from substrate tap, the easier MCU occurs.

Key words Soft Error, SEU(Single Event Upset), MCU(Multi-Cell Upset), Substrate Bipolar Transistor, LSI, CMOS

1. はじめに

放射線が LSI に衝突することによって、一時的なエラーが起きる。これはソフトエラーと呼ばれる問題で、微細化が進むに

つれ重要な問題として認識されている。ソフトエラーを起こす放射線には高エネルギー中性子、熱中性子、粒子があるが、現在では高エネルギー中性子によるソフトエラーが支配的である。MeV オーダー以上の高エネルギー中性子は、陽子や He

といった高エネルギー宇宙線の2次宇宙線として地上に届く。中性子がある確率でLSIを構成する元素の原子核に衝突して核反応を起こす。核反応によって生じた荷電イオンが拡散層近傍を通過すると電子正孔対が生じる。この生じた電荷によってSRAMなどの記憶素子の保持値が書き換えられてしまう現象がソフトエラーである。微細化でメモセル面積が減少することで素子固有のソフトエラー耐性は低下してしまう。

1回のイベントで1bitが反転するソフトエラー、SEU(Single Event Upset)に対し、複数のbitが同時に反転するMCU(Multi-Cell upset)が問題とされてきている。現在一般的に行われているエラー対策としてパリティビットやECC(Error Correcting Code)があるが、同一ワードでの複数ビット同時反転にはパリティビットは有効ではない。ECCは複数ビットに対応したものが必要なため回路が複雑になる。本稿では基板バイポーラモデルに基づいてSEU, MCUの臨界電荷量を調べることでSEU, MCUの発生傾向及び発生機構を検討する。

以下、第2章ではSEUとMCUの発生機構について説明する。第3章ではSPICEシミュレーションに使用した電流源および基板バイポーラトランジスタについて述べる。第4章ではSRAM型ラッチとD-FFを用いたSEU, MCUの検証を行う。最後に第5章でまとめとする。

2. SEU, MCUの発生機構

SEUの発生機構について説明する。中性子起因で生じた電荷が拡散層に収集されることでMOSのドレイン電位が変化する。電荷が収集されたノードがSRAMのデータ保持ノードで且つその電位が元々“H”だった場合、電位が“L”になるのでSRAMの値が反転したことになる。保持データの反転に必要な最小電荷量を臨界電荷量 Q_{crit} と呼ぶ。

$$N_{SEU}(Q_{crit}) = F \times A \times K \times \exp\left(-\frac{Q_{crit}}{Q_s}\right) \quad (1)$$

式(1)は臨界電荷量からソフトエラーの発生確率を求める式である。[1] F は中性子量であり、ソフトエラーを引き起こす10MeV以上のエネルギーを持つ中性子は地上では $0.000565n/cm^2/s$ である。 A はソフトエラーを起こす可能性のあるノードに接続されたドレイン面積の総和である。 K は比例定数で 2.2×10^{-5} としている。 Q_s は電荷収集効率であり、プロセスの微細化とともに減少していくと予想されている。[2]

MCUの発生機構として中性子起因の電荷が複数のデータ保持ノードに分配されて発生するというモデルが考えられてきたが、電荷収集モデルだけでは説明がつかない事例が複数報告されている。[3], [4] 電荷収集モデルの他に、基板やウェルをベースとした寄生バイポーラトランジスタを原因とするモデルが提案されている(図1)。この基板バイポーラモデルは、中性子起因の電荷による電流と基板抵抗によって基板電位が局所的に高くなり、基板バイポーラトランジスタがオンになって複数ビットが反転するというものである。本稿では後者のモデルを元にMCUの発生機構を検討する。

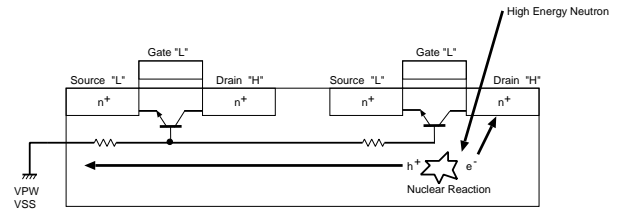


図1 Parasitic lateral npn-bipolar action model. [4]

3. ソフトエラー解析のための回路シミュレーションモデル

中性子がSi原子と衝突して生じた荷電粒子が拡散領域を通過することで電子正孔対が生じる。中性子起因の電荷により、拡散電流や空乏層における電界に引き寄せられるドリフト電流や、発生した電荷自体に起因する電界に引き寄せられるファネリングによる一時的な電流が流れる。中性子起因の電荷による電流のモデル式として式(2)を用いた。[2]

$$I(t) = Q \frac{2}{T\sqrt{\pi}} \sqrt{\frac{t}{T}} \exp\left(-\frac{t}{T}\right) \quad (2)$$

式(2)を $t=0$ から $t=\infty$ まで積分すると Q となる。 Q はドレインに収集される総電荷量を示し、これは荷電粒子により生成される電荷の量に等しい。時定数 T は文献[2]を参考に $T=30ps$ とした。

回路モデルを作成するため、NMOSの寄生バイポーラトランジスタと基板抵抗をモデル化した。基板が薄いほど基板を構成する原子核に中性子が衝突する確率は低くなる。ここではツインウェル構造を想定しており、Nウェルの厚さは基板に対して薄いため、Nウェルにおいて発生する中性子起因電荷の量はP基板において発生する電荷量に対して十分微量とし、PMOSは中性子起因電荷の影響を受けないものとした。よって本稿ではNMOSについてのみ基板バイポーラトランジスタを考慮する。基板バイポーラトランジスタのパラメータを実測とSPICEシミュレーションにより求めた。

65nm CMOSプロセスで試作したインバータTEG(図2)を用いて基板バイポーラトランジスタのパラメータと基板抵抗を測定した。基板タップから基板タップまでの距離が $30\mu m$ で、その間にインバータセルが並んでいる。通常のCMOSプロセスでは基板タップがインバータセルの並びに平行して配置されているが、図2のTEGは基板タップがインバータの並びの両端に配置されている。基板タップRTをベース、D, Sをコレクタ、エミッタとした基板バイポーラトランジスタの特性を測定し、バイポーラトランジスタのモデルパラメータをフィッティングした。基板バイポーラトランジスタモデルの I_c-V_{ce} 特性を図4に示す。LT, RT間の抵抗値を測定し、得られた値から計算した値をSPICEシミュレーションに用いた。

3.1 インバータ出力反転検証

MCUは基板バイポーラトランジスタがオンになってインバータの出力電位が下がることにより起きる。しかし基板バイポーラトランジスタの電流を流す能力がPMOSより低ければ、

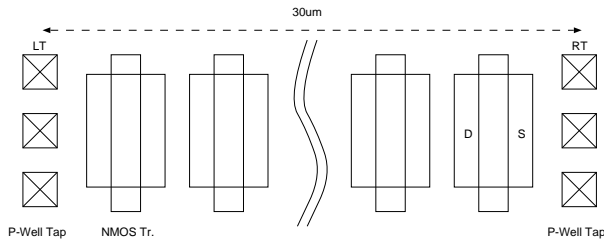


図2 抵抗と基板バイポーラトランジスタの測定用 TEG

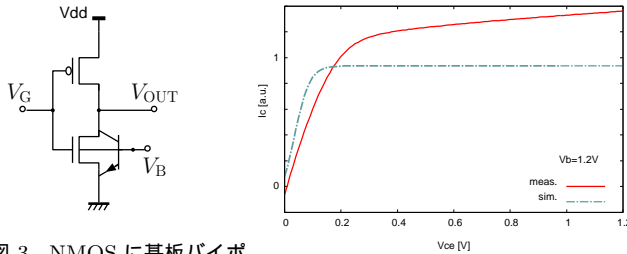


図3 NMOS に基板バイポ

ラトランジスタを 図4 基板バイポーラトランジスタ
付与したインバータ モデルの Ic-Vce 特性

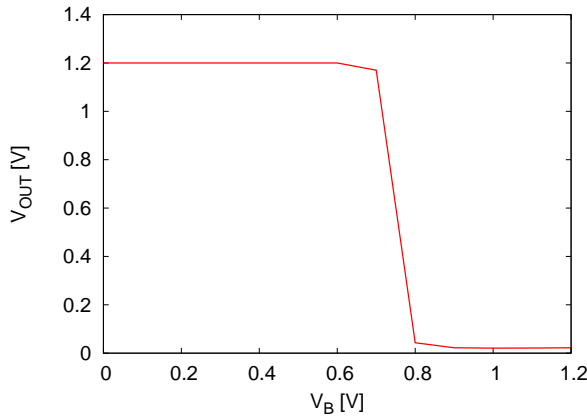


図5 基板電位を振ったときのインバータ出力の変化

出力電位が十分に低電位とならず SRAM の保持値反転は起こらない。そこで基板電位が変化したときのインバータ出力電位を確認し、保持値反転が起こるか確認した。インバータに基板バイポーラトランジスタを付加した回路を図3に示す。入力を0Vとし、基板電位を振ったときの出力電位を図5に示す基板電位が約0.8V以上のときインバータの出力が反転することがわかった。この結果は基板バイポーラトランジスタによってSRAMの保持値が反転し得ることを示している。

4. SRAM型ラッチとD-FFにおけるSEUとMCU

SRAM型ラッチとD-FFを用いてSEUとMCUの検証を行った。

4.1 SRAMにおけるSEU

D-FFにおけるSEU、MCUを検証する前に、D-FFより簡単な構造の記憶素子であるSRAMを用いて検証を行った。読み出しセルのない、インバータのクロスカプルによるSRAMを一行に17個並べ、その両端に基板タップを置いたレイアウトを想定した回路モデル図6を用意した。隣り合う基板ノード間には基板抵抗を想定した抵抗が挿入されている。両端の

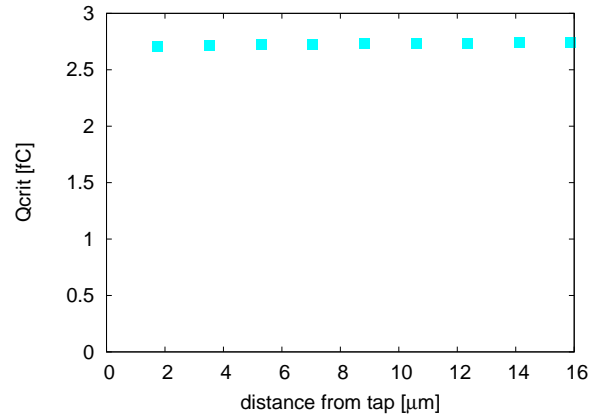


図7 SRAMにおけるタップからの距離とSEU臨界電荷量の関係

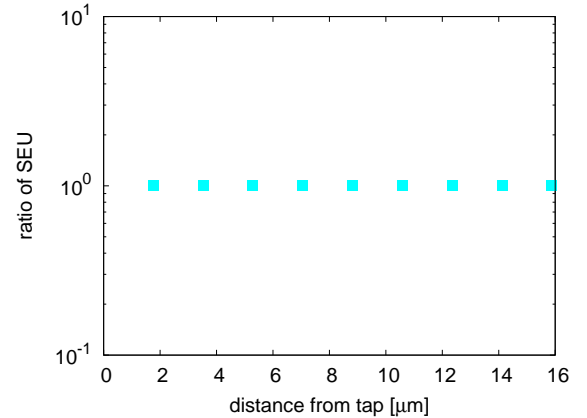


図8 SRAMにおけるタップから最も遠いSRAM9を基準としたSEU相対発生確率

SRAM(SRAM1,SRAM17)の基板ノードは基板タップによりグラウンド(=0V)に接続されている。

この回路モデルを用いて中性子が当たる位置ごとにSEUの臨界電荷量を調べた。初期値は図6に示す通り全てのSRAMで左側のインバータ出力を“L”，右側のインバータ出力を“H”とした。式(2)で表される電流源を中性子が当たったSRAMにつなぐ。NMOS起因のSEUは保持値が“H”となっている記憶ノードが反転することで起きるので、中性子起因電流源をつなぐノードは記憶ノードの初期値が“H”のノードである。調べた臨界電荷量を図7に示す。文献[2]より $Q_s = 10\text{fC}$ として、求めた臨界電荷量 Q_{crit} から式(1)を用いてSRAM9に対する相対的なSEU発生確率を計算した。結果を図8に示す。横軸は電流源をつないだ位置と基板タップの間の距離である。

基板タップから最も遠いSRAM9の臨界電荷量は、基板タップに近いSRAMに比べて1%程度高いだけであり、SEU発生確率に換算するとわずか0.3%しか差がない。基板電位はSEUにほとんど影響を与えないことがわかった。

4.2 SRAMにおけるMCU

基板に中性子が当たると中性子起因の電流により基板電位が上昇する。図5からわかるように、基板電位が基板バイポーラトランジスタを十分オンにするほど高いとき、SRAMの記憶ノードのうち“H”のノードの値が反転する。その後中性子が当たった位置に近いノードの保持値が“L”，遠いノードの保持

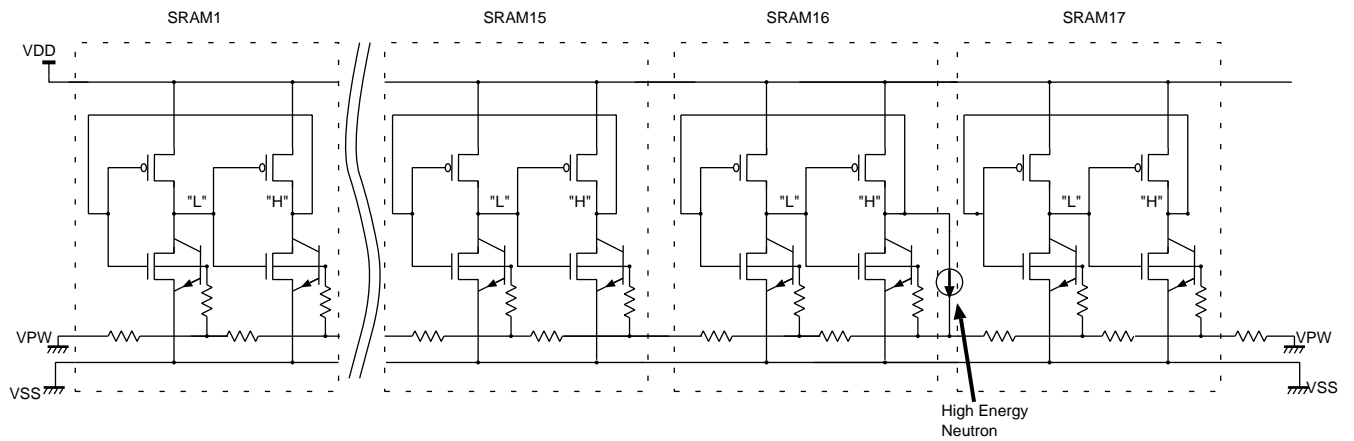


図 6 SRAM における SEU および MCU シミュレーション回路

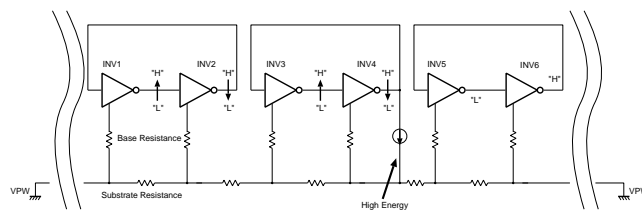


図 9 SRAM における MCU の発生機構

値が“H”になるという傾向が見られた。このことを図 9 を用いて説明する。図 9 のインバータの下に伸びる配線は NMOS のバックゲートを表しており、回路上では図 3 に示す基板バイポーラトランジスタのベースに接続されている。INV1 から INV6 まで順に、初期状態で出力が“L”、“H”... と交互になっている状態を考える。INV4 に電流源をつないだ場合、INV4 で SEU が起こる。電流によって INV4 を起点として基板電位が上昇し、INV1 から INV6 の基板バイポーラトランジスタがオンになったとき、出力が“H”の INV2 と INV6 の出力が反転し INV1 から INV6 まで全てのインバータの出力が一時的に“L”となる。その後、INV6 の出力は“H”に戻り、INV2 の出力は“L”のまま反転した状態となる。これは中性子が当たった位置に近い基板の電位が、遠い基板の電位よりも高くなるため、近くの基板バイポーラトランジスタの働きがより大きくなるのが原因だと考えられる。図 9 のように SRAM の初期値が全て“L”、“H”だった場合、中性子起因電流源をつないだ位置より左側にある SRAM は右側にある SRAM よりも反転しやすい。中性子起因の電流が流れると、2 つのデータ保持ノードのうち中性子起因電流源に近いノードと遠いノードの値がそれぞれ“L”、“H”となるため、電流源に近い方のノードの初期値が“H”であった場合、エラーが起きやすい。

この傾向を踏まえて、SEU の臨界電荷量を調べたときと同じくデータ保持ノードの初期値を全て“L”、“H”として、2bit 同時反転を起こす MCU の臨界電荷量をシミュレーションにより求めた。このとき反転しやすい 2bit は、図 6 のように SRAM16 に電流源をつないだ状態だと、SRAM16 とその左側にある SRAM15 である。結果を図 10 に示す。臨界電荷量から

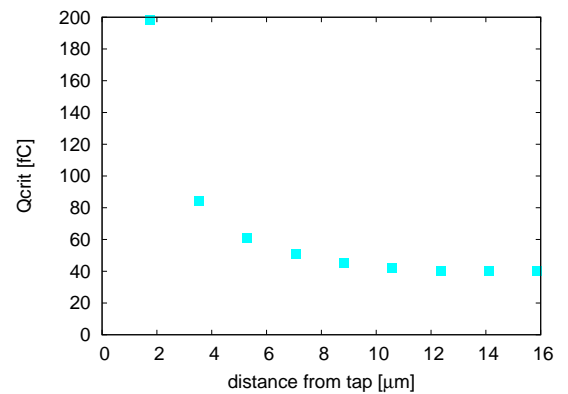


図 10 SRAM における 2bit MCU 臨界電荷量

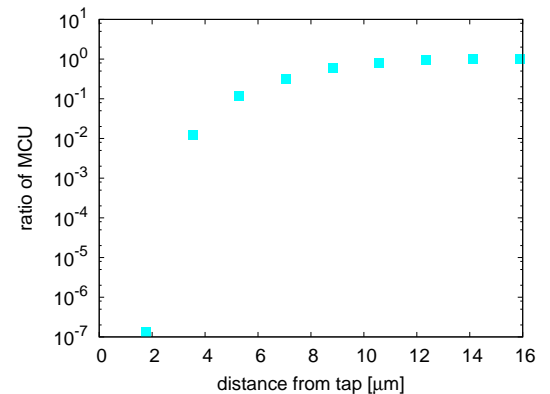


図 11 SRAM における SRAM9 を基準とした 2bit MCU 相対確率

式 (1) により MCU 発生確率を計算した結果を図 11 に示す。

MCU の SEU に対する相対的な発生確率を図 12 に示す。電流源をつなぐ SRAM を変えたときの MCU 発生確率を、基板タップから最も遠い SRAM9 に中性子起因電流源をつないだ時の MCU 発生確率で規格化したグラフを図 11 に示す。基板タップ傍の SRAM に電流源をつないだ時の MCU 発生確率は SRAM9 につないだ時の 1.3×10^{-7} 倍と非常に低い。MCU の SEU 発生確率に対しての割合は、基板タップから最も遠い位置で最大 0.026 程度であった。逆に基板タップの最近傍では 3.3×10^{-9} 程度しかなく、MCU が起こる確率が極めて少ない

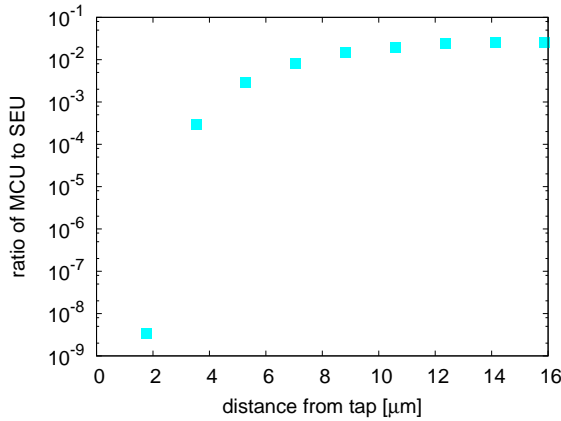


図 12 SRAM における SEU に対する MCU 発生の割合

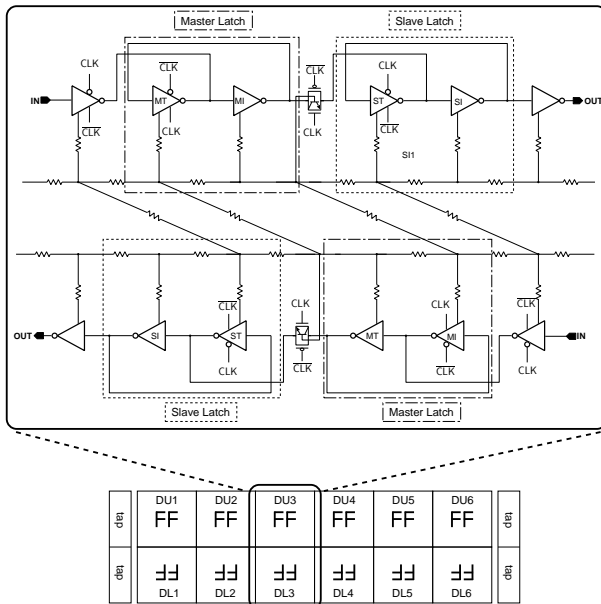


図 13 D-FF シミュレーション回路

ことが分かった。

4.3 D-FF における SEU

D-FF について SEU 臨界電荷量を調べた。図 13 にシミュレーションに用いた回路を示す。D-FF を向かい合わせたものを 6 個並べた構造となっている。D-FF の名称を左上から右上にかけて DU1-DU6, 左下から右下にかけて DL1-DL6 とする。回路の両端にグラウンド (=0V) に接続された基板タップが配置してある。クロック入力 CLK が “H” のとき Master Latch がラッチ状態, “L” のとき Slave Latch がラッチ状態になる。SEU を起こす可能性のあるノードに中性子起因電流源を接続しノード毎に SEU 臨界電荷量を調べた。中性子起因電流源をつなぐデータ保持ノードの初期値は “H” としている。回路の対称性のため, 上列の D-FF についてのみ検証を行った。結果を図 14 に示す。図 14 の MT, MI, ST, SI は 13 に示すようにそれぞれ Master Latch の 3 ステートインバータ, インバータ, Slave Latch の 3 ステートインバータ, インバータの出力ノードに電流源を接続したときの結果である。ラッチ内に注目すると, Master Latch も Slave Latch でもインバータの出力ノード

や SRAM に比べ 3 ステートインバータの出力ノードでは臨界電荷量が低く SEU が起こりやすい。式 (1) より DU3 における SEU 発生確率を求めると, インバータの出力ノードに比べ 3 ステートインバータの出力ノードでは Master Latch で約 2.1 倍, Slave Latch で約 2.4 倍であった。3 ステートインバータは電源と出力ノードの間に PMOS が 2 つ直列に繋がっており, 出力を “H” にする能力が通常のインバータよりも低いため保持値が反転しやすい。図 14 の結果から式 (1) より DU3 に対する相対的な SEU 発生確率を求めた。結果を図 15 に示す。SRAM と同様で基板タップからの距離による SEU 臨界電荷量の差はほとんど見られなかった。Slave と Master で SEU 臨界電荷量が異なる原因にはファンアウト容量の違いが考えられる。

4.4 D-FF における MCU

D-FF の Master Latch, Slave Latch について 2bit MCU 臨界電荷量を調べた。Master Latch は MI2 の出力ノード, Slave Latch 側は SI2 の出力ノードに中性子起因電流源を接続した。よってデータ保持ノードの初期値を “H”, “L” としている。2bit MCU 臨界電荷量を図 16 に示す。

SRAM と同様に基板タップから遠いほど基板電位が上がりやすいため MCU が起こりやすい。一部に逆転が見られるが, これは基板抵抗を簡単にモデル化したため, 基板タップからの距離と基板抵抗の関係が正確に一致していないことが原因と考えられる。Master Latch はどの D-FF においても中性子起因電流源を接続した D-FF に向かい合って隣接する D-FF が反転したが, Slave Latch では DU1, DU2 に電流源を接続したとき右下に位置する DL2, DL3 が反転した。図 16 と式 (1) から DU3 に対する相対的な MCU 発生確率を求めた結果を図 17 に示す。Master latch においては, 基板タップから遠い DU3 に対して基板タップに近い DU6 で MCU が起こる割合は 3.1×10^{-23} , Slave Latch においては 5.4×10^{-22} と極端に低い。SEU に対する MCU 発生の割合を図 18 に示す。割合が一番高い位置でも Master で 1.16×10^{-11} , Slave で 3.84×10^{-16} とどちらも非常に低い。SRAM よりラッチ同士の間隔が大きく, また SRAM と違い 2 次元方向に基板抵抗を配置したため抵抗が並列化され基板電位が上昇しにくいことが考えられる。このため D-FF では SRAM と比べて MCU が起こりにくい。基板タップからの距離が $12.3\mu\text{m}$ 辺りで同等といえる Master Latch の DU3 と SRAM7 における 2bit MCU 発生確率を式 1 から計算した結果, DU3 では SRAM7 の約 7.6×10^{-10} 倍と非常に低い。

5. まとめ

本稿では, SPICE シミュレーションにより SRAM 型ラッチと D-FF における SEU および MCU 発生機構の検証を行った。TEG の実測結果から基板抵抗と基板バイポーラトランジスタのパラメータを求めた。作成したバイポーラトランジスタを付加したインバータの出力が, 基板電位を 0.8V 以上高くしたとき反転することを確認した。セルに平行して基板タップが配置されている通常のレイアウトとは異なり基板タップがセルの並びの両端にある構造の SRAM, および D-FF について SEU お

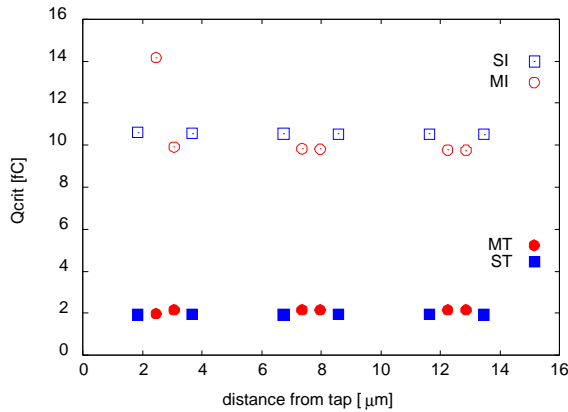


図 14 D-FF の Master および Slave Latch における SEU 臨界電荷量

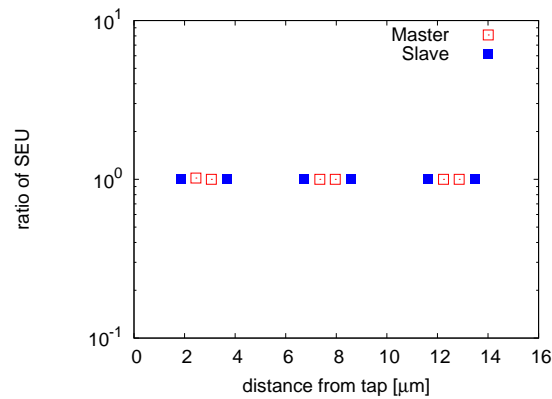


図 15 D-FF の Master および Slave Latch における DU3 を基準とした SEU 相対発生確率

および MCU の臨界電荷量を求めた。

SRAM 型ラッチにおいては基板タップに近い SRAM で MCU が起こる確率は遠い SRAM の 1.3×10^{-7} 倍と非常に低いことが分かった。また MCU が起こる確率は SEU と比べ、基板タップから最も遠い位置で最大 0.026 倍となった。SEU に関して、基板タップから遠い SRAM は近い SRAM に対して臨界電荷量が 1%程度だけ高い。これは SEU の発生確率に換算すると 0.3%の差にしかならず、基板タップからの距離の違いによる影響はほとんど見られなかった。

D-FF においては基板タップに近い D-FF で MCU が起こる確率は基板タップから遠い D-FF の 10^{-22} 倍と極めて低いことが分かった。SEU に関して、Master Latch, Slave Latch とともに、インバータの出力ノードに比べ 3 ステートインバータの出力ノードでは SEU 発生確率が 2 倍以上高いという結果になった。

謝辞 本チップ試作は東京大学大規模集積システム設計教育研究センターを通し株式会社半導体理工学研究センター、(株)イー・シャトルおよび富士通株式会社の協力で行われたものである。

文 献

[1] P. Hazucha, C. Svensson and S. Wender: "Cosmic-ray soft error rate characterization of a standard 0.6- μ m cmos process", Solid-State Circuits, IEEE Journal of, **35**, 10, pp. 1422-1429 (2000).

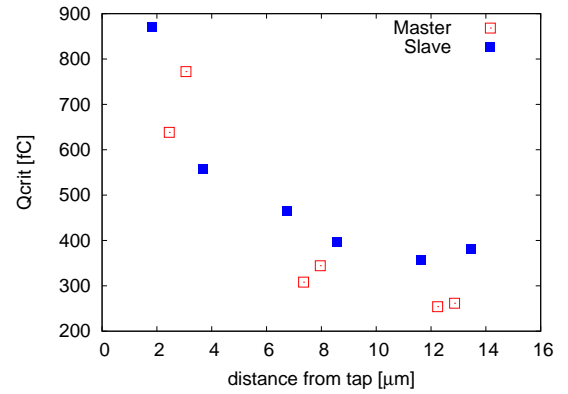


図 16 D-FF の Master および Slave Latch における 2bit MCU 臨界電荷量

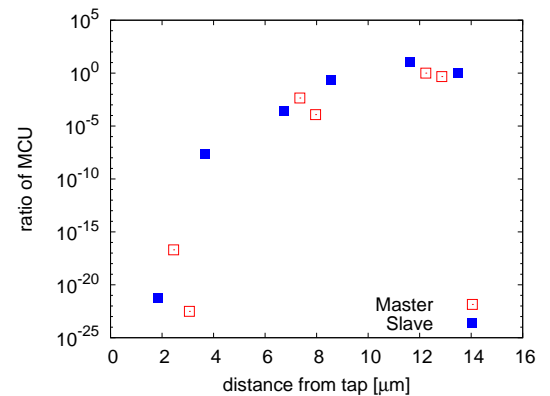


図 17 D-FF の Master および Slave Latch に DU3 を基準とした 2bit MCU 相対発生確率

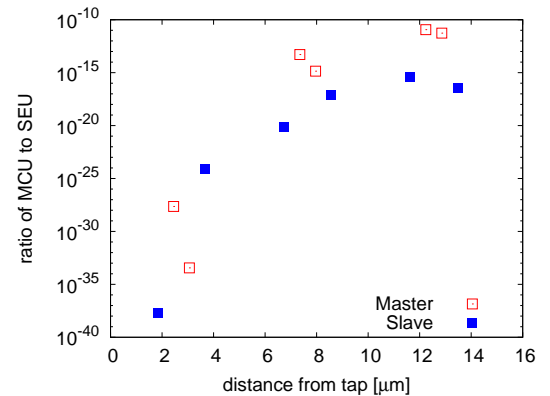


図 18 D-FF の Master および Slave Latch における SEU を基準とした MCU 発生の割合

[2] P. Hazucha and C. Svensson: "Impact of cmos technology scaling on the atmospheric neutron soft error rate", Nuclear Science, IEEE Transactions on, **47**, 6, pp. 2586-2594 (2000).

[3] X. Zhu, X. Deng, R. Baumann and S. Krishnan: "A quantitative assessment of charge collection efficiency of n+ and p+ diffusion areas in terrestrial neutron environment", Nuclear Science, IEEE Transactions on, **54**, 6, pp. 2156-2161 (2007).

[4] T. Nakauchi, N. Mikami, A. Oyama, H. Kobayashi, H. Usui and J. Kase: "A novel technique for mitigating neutron-induced multi-cell upset by means of back bias", Reliability Physics Symposium, 2008. IRPS 2008. IEEE International, pp. 187-191 (2008).