

# 低電力かつ高い放射線耐性を有する FDSOI 向けフリップフロップ

推薦者: 京都工芸繊維大学 工芸科学研究科 電子システム工学専攻 小林 和淑

Email: kazutoshi.kobayashi@kit.ac.jp, TEL:075-724-7452

学生氏名: 丸岡 晴喜

## 研究・開発の目的・狙い

微細化に伴い、放射線起因の一時故障(ソフトエラー)の影響が問題になっている。ソフトエラーとは  $\alpha$  線や中性子、重イオンなどの放射線がデバイス内に突入し、SRAM 回路やフリップフロップ (FF) の保持値を反転させる現象である。回路を多重化し、多数決をとることでソフトエラーを対策できる。しかし、多重化回路は従来回路 (TGFF) と比較し面積や消費電力のオーバーヘッドが問題となる。ここでは、低消費電力回路とソフトエラー対策技術を組み合わせた高信頼性かつ性能のオーバーヘッドの小さい FF を設計し、その耐性を明らかにした。

## 研究・開発の概要

利用分野	高信頼性フリップフロップ
特徴とアピール点	FDSOI に特化した高信頼性回路 部分的な対策で FF 全体の耐性が向上
性能	従来回路と比べ 10 倍以上の耐性 ADP 積のオーバーヘッドが 21%
回路規模	3 mm 角、提案回路を 41,760 ビット搭載
試作ラン	65 nm SOTB、2016 年 1 月 TO

## 訴求点および効果

ソフトエラー対策技術としてスタック構造が提案されている。スタック構造とはインバータの NMOS, PMOS を縦積みにした回路であり、FDSOI (Fully Depleted Silicon on Insulator) デバイスに適した対策である。

低消費電力回路である AC (Adaptive Coupling) FF とスタック構造を組み合わせた ACSS (AC Slave Stacked) FF を図 1 に示す。マスターラッチ (ML) の AC 素子は書き込みを容易にするために挿入されているが、エラーパルスが AC 素子を通ると図 2 のように減衰するため、ML は高いソフトエラー耐性を有する。ソフトエラー耐性が弱い ACFF のスレーブラッチ (SL) の構造を最適化した。ML と出力のインバータがスタック構造を介さずに接続されているため、遅延時間への影響が小さい。ACSSFF は ACFF と比べ面積が 12%、遅延時間が 3%、消費電力が 5% のオーバーヘッドで実現でき、ADP 積のオーバーヘッドは 21% である。今回試作したチップには提案回路が 41,760 段シフトレジスタとして搭載されている。

## 重イオン照射による耐性評価結果

実測は QST 高崎量子応用研究所にある TIARA の AVF サイクロトロン加速器と JAXA 保有のシングルイベントチャンバを用いて実施した。重イオンによる実測結果を図 3 に示す。横軸は照射した粒子のエネルギー (Linear Energy Transfer: LET) である。TGFF と ACFF は同等の耐性を示すが、一方 ACSSFF は ACFF と比べ 10 倍以上のソフトエラー耐性を示し、Ne 照射ではエラーが発生しなかった。この結果から、ACFF の SL にソフトエラー対策を施すことで、性能のオーバーヘッドを抑えながら高いソフトエラー耐性を実現できることが判明した。

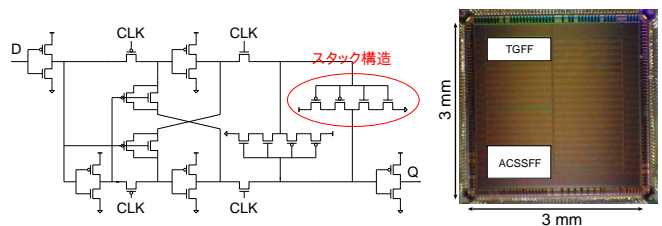


図 1: ACSSFF の回路図とチップ写真。

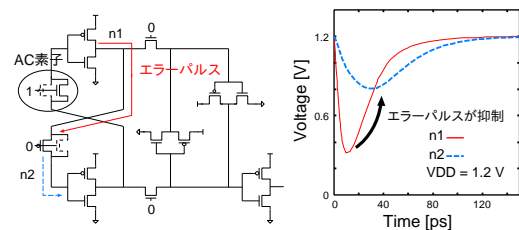


図 2: ML の耐性のシミュレーション結果。

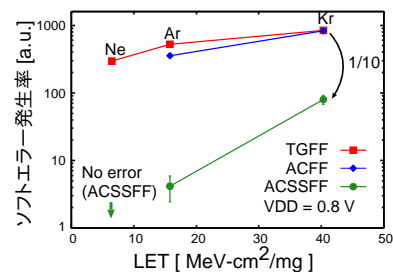


図 3: 重イオン照射測定の結果。

## 発表文献

- [1] H. Maruoka et al., RADECS2016, 2016/09
- [2] 丸岡 晴喜 他, QST シンポジウム 2017, 2017/01