

リングオシレータのランダムテレグラフノイズによる周波数変動自動測定回路

推薦者: 京都工芸繊維大学 工芸科学研究科 電子システム工学専攻 小林 和淑

Email: kazutoshi.kobayashi@kit.ac.jp, TEL:075-724-7452

学生氏名: 岸田 亮

研究・開発の目的・狙い

集積回路素子の微細化により、ランダムテレグラフノイズ (RTN) とよばれるしきい値電圧 (V_{th}) の時間変動が問題となっている。リングオシレータ (RO) の RTN はカウンタを搭載することで、比較的簡単に測定可能である。一般的な RO における RTN 測定は、1 つの RO で各時刻での周波数測定を何度も行い、最大と最小の周波数差がどれだけあるかで評価する。しかし、何度も測定を行うため、データ量が膨大になり測定に時間がかかるだけでなく、CMOS 構造であるため、NMOS と PMOS の影響を分離できない。ここで提案する回路はチップ内で最大と最小の周波数差を自動で計算して、測定効率を上げてかつ、NMOS または PMOS のみの RO にすることで、それぞれの影響のみを評価できる。

研究・開発の概要

利用分野	集積回路の信頼性向上
特徴	最大と最小の周波数差をチップ内で計算 N/PMOS のみで構成した RO 搭載
回路規模	3 mm 角, 約 420 万トランジスタ
アピール点	チップ内で RTN の影響を評価可能 N/PMOS のみの RTN を測定可能
試作ラン	65 nm SOTB, 2017 年 2 月テープアウト

訴求点および効果

RTN は時間経過によって V_{th} がランダムに変動する現象であり、RO では測定時間毎に発振周波数が異なるため、RTN の影響評価には何度も測定し、データ処理を行う必要がある。RTN の影響を表すパラメータは $\Delta F/F_{max}$ が用いられる。ここで、 F_{max} は最大の周波数、 ΔF は F_{max} と最小周波数 (F_{min}) の差である。1 つの RO で 1 つの $\Delta F/F_{max}$ が出てくるため、RO の RTN を統計解析するためには、その分の RO 数と測定が必要である。この測定を簡単にするために、図 1 のようにチップ内のカウンタ兼シフトレジスタの最後に F_{max} と F_{min} を記録する回路を搭載する。RO の F_{max} と F_{min} がわかれば、 $\Delta F/F_{max}$ が簡単にわかるため、 F_{max} と F_{min} を読み出すだけで、各時間毎の

周波数を読み出す必要がなくなり、RTN を評価できる。正しく動いているか確認するために、カウンタの値を読み出せるようにし、その値を整理して得られる結果と比較する。 F_{max} と F_{min} は最大または最小から 5 つ分記録する。

RO による RTN のもう 1 つの課題に、NMOS と PMOS の影響を分離できないことがある。これは RO を構成するインバータが CMOS 構造であり、観測される周波数に両方の RTN の影響が入っているためである。この解決方法として、NMOS の RTN を見るなら図 2 のように、抵抗を用いて NMOS のみの RO を設計する。抵抗と PMOS のみの RO にすれば、PMOS の RTN を評価できる。発振制御用の NMOS は測定対象となる NMOS に直列でつなげる。停止時のリーク電流を抑えるため、発振制御用 NMOS は全段につける。RTN はゲート幅 (W) が小さいほど影響が大きくなるため、被測定用 NMOS の W はできるだけ小さく、発振制御用では大きくする。抵抗素子はポリシリコンにより作成し、抵抗値は 150 k Ω となるように設計した。これは抵抗値が多少ばらついても発振する値であることをシミュレーションにより確認している。

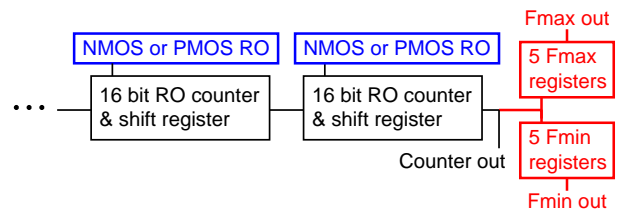


図 1: F_{max} と F_{min} の自動計算による RTN 測定回路。

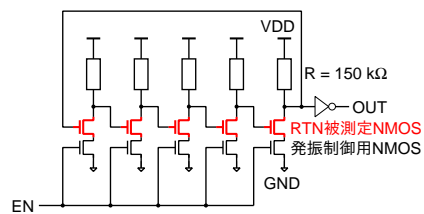


図 2: NMOS と抵抗による RTN 測定回路。

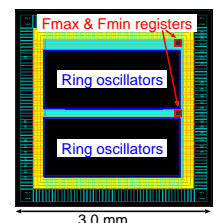


図 3: チップ全体レイアウト。