

FDSOIプロセスにおけるスタック構造を用いた フリップフロップのソフトエラー耐性の実測評価

杉谷 昇太郎¹ 中島 隆一¹ 古田 潤¹ 小林 和淑¹

概要: 集積回路の微細化に伴い、信頼性の低下が問題となっている。信頼性低下の一因として放射線起因の一時故障であるソフトエラーが挙げられる。ソフトエラーは、自動運転技術や医療機器といった人命に関わる機器においては致命的となるため、対策が必要である。FDSOI プロセスではスタック構造がソフトエラーに強靱であるとされている。先行研究では、一般的な D 型 FF に対してスタック構造を施した ALLSTACKEDFF は、重イオン照射時において特定の条件でエラーが発生していることが報告されている。本稿では ALLSTACKEDFF におけるエラー発生箇所を特定するために、構造を変えた FF に対して重イオン照射を行い、ソフトエラー耐性評価を行った。重イオン照射結果より、ALLSTACKEDFF においてソフトエラーは入力におけるトライステートインバータ部分で起こっていることを特定した。

1. 序論

集積回路はムーアの法則に従い、微細化することによって低消費電力化、動作周波数の向上が実現されている [1]。一方、微細化による集積回路の信頼性低下が問題になっている。信頼性低下の原因の一つに、放射線起因の一時故障であるソフトエラーが挙げられる。ソフトエラーとは、放射線がトランジスタに突入することによって発生する電子正孔対が拡散領域に収集されることで、記憶素子の保持値が反転する現象である [2]。ソフトエラーは永久故障であるハードエラーとは異なり、機器の再起動により修復可能であるが、自動車や医療機器などの高信頼性機器では一度のエラーが致命的となるため対策が必要である。

デバイスレベルのソフトエラー対策として、図 1 に示した FDSOI (Fully Depleted Silicon on Insulator) が有効である [3]。トランジスタの拡散領域下の酸化膜 (BOX : Buried Oxide) 層により、BOX 層の下で発生したキャリアが拡散領域に収集されない [4]。FDSOI におけるソフトエラーの主要因は寄生バイポーラ効果 (PBE : Parasitic Bipolar Effect) である [5]。NMOS においては、放射線の突入によって発生した正孔がボディの電位を上昇させ、バイポーラトランジスタが導通することでソフトエラーが発生する。

FDSOI プロセスでは図 2 に示したスタック構造が有効である [6]。縦積みにした OFF 状態の NMOS の一方で寄

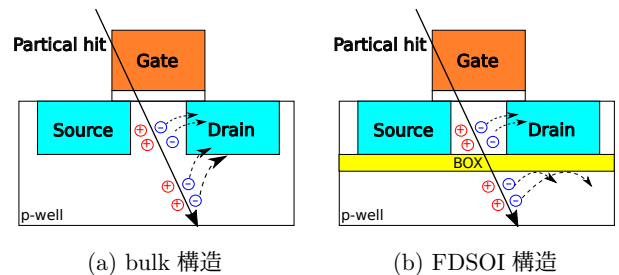


図 1: FDSOI 構造のソフトエラー対策

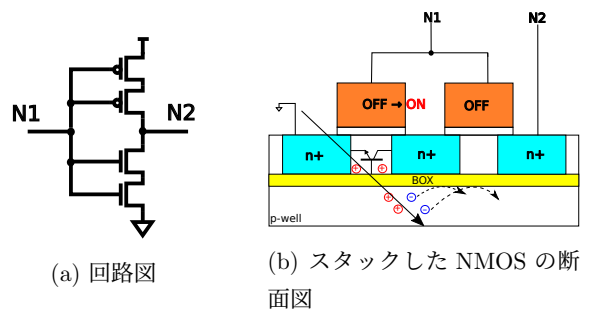


図 2: スタック構造に荷電粒子が突入したときの様子

生バイポーラが導通しても、もう一方のトランジスタが OFF 状態であれば出力が反転しない。FDSOI は BOX 層により隣り合う OFF 状態のトランジスタが同時に導通することを防ぐため、スタック構造は FDSOI に適したソフトエラー対策である。

一般的な D 型 FF である TGFF (Transmission Gate FF) のラッチ内のすべての論理ゲートにスタック構造を採用した FF を ALLSTACKEDFF と呼ぶ。図 3 に回路図を示す。

¹ 京都工芸繊維大学電子システム工学専攻
Department of Electronics, Kyoto Institute of Technology

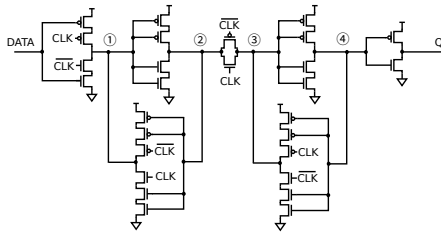


図 3: トランスミッションゲート型 ALLSTACKEDFF

表 1: 入力値と測定ノードの対応表

(Q, CLK)	ノード番号
(0, 1)	①
(1, 1)	②
(1, 0)	③
(0, 0)	④

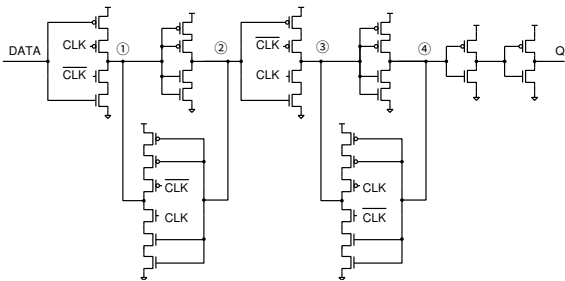


図 4: トライステートインバータ型 ALLSTACKEDFF

スタック構造によりラッチで発生するソフトエラーを抑制できるが、TGFF と比べてトランジスタを縦積みするため FF の遅延時間の増加が問題である。

先行研究 [7][8] では、ALLSTACKEDFF の重イオン照射結果より、(Q,CLK)=(0,1) においてエラーが多く発生していることが報告されている。図 3 における回路のノード番号と保持値の対応表を表 1 に示す。対応表より、ALLSTACKEDFF ではノード 1 においてエラーが多く発生している。本稿では、ALLSTACKEDFF におけるエラー発生箇所を特定するために構造を変えた FF に対して重イオン照射によるソフトエラー耐性評価を行った。

2. 重イオンによるソフトエラー耐性の評価

今回ソフトエラー耐性評価を行った FF を図 4 に示す。図 3 に示した ALLSTACKEDFF と異なり、PL と SL を繋ぐトランスミッションゲートをトライステートインバータに変更し、入力箇所のゲートと同一の構造にした。図 3 に示した ALLSTACKEDFF の結果と比較することで、トライステートインバータによってエラーが起りやすいのかを確認する。

2.1 重イオン照射測定

重イオン実験は東北大学サイクロン・ラジオアイソトープセンター (CYRIC) で行った。

2.2 衝突断面積 (CS : Cross Section)

CS は荷電粒子が通過することでソフトエラーを引き起こす面積である。CS の値が小さいほど高いソフトエラー耐性を持つ。CS は式 (1) を用いて計算する。 N_{SE} はソフトエラーが発生した FF 数、 ϕ_{ion} は 1 cm^2 あたりに照射されるイオンの総数、 N_{FF} は搭載されている FF 数である。

$$CS [\text{cm}^2/\text{bit}] = \frac{N_{SE}}{\phi_{ion} \times N_{FF}} \quad (1)$$

2.3 評価方法

ソフトエラー耐性評価をするために、シフトレジスタを使用した。測定は以下の手順で行う。

- (1) シフトレジスタ全段に同じ値 (0 または 1) を書き込んで初期化する。
- (2) クロック信号を 0 または 1 に固定する。
- (3) 照射時間終了後、シフトレジスタ全段の保持値を読み出す。
- (4) 読み出した値と期待値が異なる FF 数を記録する。

2.4 測定条件

実験で使用する重イオンは $LET=40.3 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ の Kr である。測定条件を以下に示す。

- 電源電圧 : 1.2V
- 重イオン照射時間 : 30 秒
- 測定回数 : 50 回

2.5 重イオン照射結果

各回路構造のノード 3 における CS を図 5 に示す。エラー率は信頼区間の 95% である。結果より、図 4 の回路構造におけるノード 3 での CS は ALLSTACKEDFF の場合よりも 1.6 倍増加しており、ソフトエラー耐性が低下している。それぞれの回路図を比較すると、変更点は PL と SL をつなぐゲートのみであり、エラー率の増加分はトライステートインバータで発生していると考えられる。以上のことから、先行研究で報告されている ALLSTACKEDFF におけるエラーは入力箇所のトライステートインバータで多く発生していると考えられる。

3. 結論

本稿では、FDSOI プロセスにおいて、スタック構造を施した ALLSTACKEDFF のエラー発生箇所を特定するために、ALLSTACKEDFF から構造を変えた FF に対して重イオン照射を行い、ソフトエラー耐性評価を行なった。重イオン照射結果より、PL と SL をつなぐゲートをトライステートインバータに変更した測定回路は ALLSTACKEDFF に比べて 1.6 倍エラー率が増加しており、以上のことからトライステートインバータでエラーが発生しやすく、ALLSTACKEDFF においても入力箇所のトライステートイン

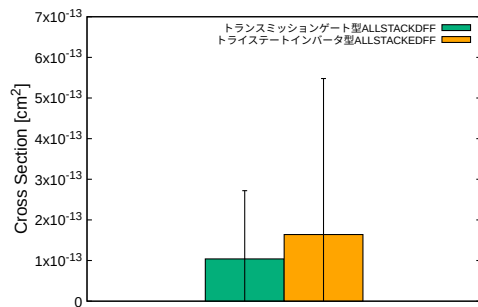


図 5: 各回路のノード 3 における CS

バータでエラーが多く発生していると考えられる。

参考文献

- [1] G.E. Moore, “Cramming more components onto integrated circuits,” IEICE Transactions on Electronics, vol.90, no.4, pp.699–707, 2007.
- [2] 戸坂義春, “知っておきたいソフト・エラーの実態,” 日経エレクトロニクス, vol.2005 年 7 月 24 日号, 2005.
- [3] P. Roche, J.L. Autran, G. Gasiot, and D. Munteanu, “Technology downscaling worsening radiation effects in bulk: Soi to the rescue,” 2013 IEEE International Electron Devices Meeting, pp.31.1.1–31.1.4, Dec 2013.
- [4] D. Kobayashi, K. Hirose, H. Ikeda, and H. Saito, “Radiation-induced pulse noise in soi cmos logic,” Int’l Symposium on Advanced Semiconductor-on-insulator Technology and Related Physics (in 219th ECS Meeting), May 2011.
- [5] M. Raine, M. Gaillardin, T. Lagutere, O. Duhamel, and P. Paillet, “Estimation of the single-event upset sensitivity of advanced SOI SRAMs,” IEEE Trans. Nucl. Sci., vol.65, no.1, pp.339–345, Jan. 2018.
- [6] A. Makihara, T. Yamaguchi, H. Asai, Y. Tsuchiya, Y. Amano, M. Midorikawa, H. Shindou, S. Onoda, T. Hirao, Y. Nakajima, T. Takahashi, K. Ohnishi, and S. Kuboyama, “Optimization for seu/set immunity on 0.15 μm fully depleted cmos/soi digital logic devices,” IEEE Transactions on Nuclear Science, vol.53, no.6, pp.3422–3427, 2006.
- [7] 記伊智也, 古田潤, and 小林和淑, “FDSOI プロセスにおける遅延を増加させたガードゲート型フリップフロップのソフトエラー耐性の実測評価,” DA シンポジウム, pp.155–159, Sept. 2021.
- [8] K. Yamada, M. Ebara, K. Kojima, Y. Tsukita, J. Furuta, and K. Kobayashi, “Radiation-hardened structure to reduce sensitive range of a stacked structure for fdsoi,” IEEE Trans. Nucl. Sci., vol.66, no.7, pp.1418–1426, Apr. 2019.