

65 nm FDSOI構造における同一の回路構造のROを用いた NBTIとPBTIの実測評価

菊田 大輔^{1,a)} 小林 和淑^{1,b)} 岸田 亮^{2,c)}

概要: 集積回路の微細化に伴い BTI (Bias Temperature Instability) などの経年劣化現象により、回路の信頼性が低下している。BTI による劣化を測定するために、リングオシレータ (RO) の発振回数を定期的に測定し、しきい値電圧の劣化率に変換した。65 nm FDSOI プロセスで試作した 11 段の BTI 制御スイッチ付インバータ型 RO を使用することで、同一の回路構造で NBTI と PBTI を分離して実測評価を行った。PBTI 型 RO が NBTI 型 RO よりも大きく劣化し、従来の RO と異なる結果が得られた。

1. はじめに

集積回路の微細化により回路の低消費電力化や動作速度の向上などといった恩恵を受けることができる [1]。しかし、微細化に伴い BTI (Bias Temperature Instability) などの経年劣化現象により、回路の信頼性が低下している。長期間使用が想定される集積回路においては BTI による劣化現象が顕著に現れるため、回路設計時に劣化の見積もりを行い、設計マージンをとる必要がある。

本研究では、BTI による劣化を加速試験で 10,000 秒間測定し、MOSFET の劣化特性の相違点を調べた。BTI による劣化を短時間で進めるために、高温状態でストレス電圧を与え続けた。

2. BTI とは

BTI とは MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) に温度や電圧などのストレスがかかることで MOSFET の特性が劣化する現象である [2]。温度やゲートソース間の電圧などのストレスによって、時間経過でしきい値電圧特性の劣化が生じる [3]。しきい値電圧の増加により、電流電圧特性の変動、遅延時間の増加、発振周波数の低下などの劣化現象が生じる。電圧などのストレスを取り除くと劣化した特性が回復するが、完全には回復しない。BTI には、PMOS で発生する Negative BTI

(NBTI) と NMOS で発生する Positive BTI (PBTI) の 2 種類がある。BTI はゲート酸化膜の欠陥がキャリアを捕獲することで生じると考えられている。PBTI は、絶縁膜に high-k 材料が用いられている 45 nm プロセス以降で顕在化している。今回提案した経年劣化測定回路ではゲート絶縁膜の一部に high-k 材料を用いているため、PBTI についても考慮する [4][5]。BTI の発生原理は R-D Theory と T-D Model の 2 つが有力視されていたが [6][7]、近年は Universal Model が有力視されている [8]。時間 t に対する劣化特性のモデル式は $t^{(1/6)}$ でしきい値電圧変動量の劣化が表現される。

3. 経年劣化測定回路

3.1 測定回路概要

測定には 65 nm FDSOI プロセスで試作した 11 段の BTI 制御スイッチ付インバータ型 RO (BTI-Control Switch RO : BSC RO) を用いた。RO 全体の回路構造を図 1 の図 a に示す。制御信号 (EN) を変えることで、同じ回路構造で発振、ストレス、ストレスなし状態にできる。RO ごとの BTI 劣化のばらつきを低減するために、測定回路には 11 段の BCS RO を 500 個搭載した。今回の測定では低しきい値電圧 (LVTH) の MOSFET を用いた。MOSFET には接合容量が小さく、基板バイアス効果が発生しない FDSOI 構造を用いた。RO 1 段あたりの回路構造を図 1 の図 b~図 e に示す。制御信号 EN を用いて、各 MOSFET のゲート端子の電圧 (VG1~VG8) を制御することで、発振状態と発振停止状態を切り替えることができる。発振停止状態は NBTI 発生型、PBTI 発生型、MOSFET にストレスを与えない NOSTR 型の 3 つに分けられる。これらの RO を

¹ 京都工芸繊維大学
Kyoto Institute of Technology

² 富山県立大学
Toyama Prefectural University

a) dkikuta@vlsi.es.kit.ac.jp

b) kazutoshi.kobayashi@kit.ac.jp

c) ryokishida@pu-toyama.ac.jp

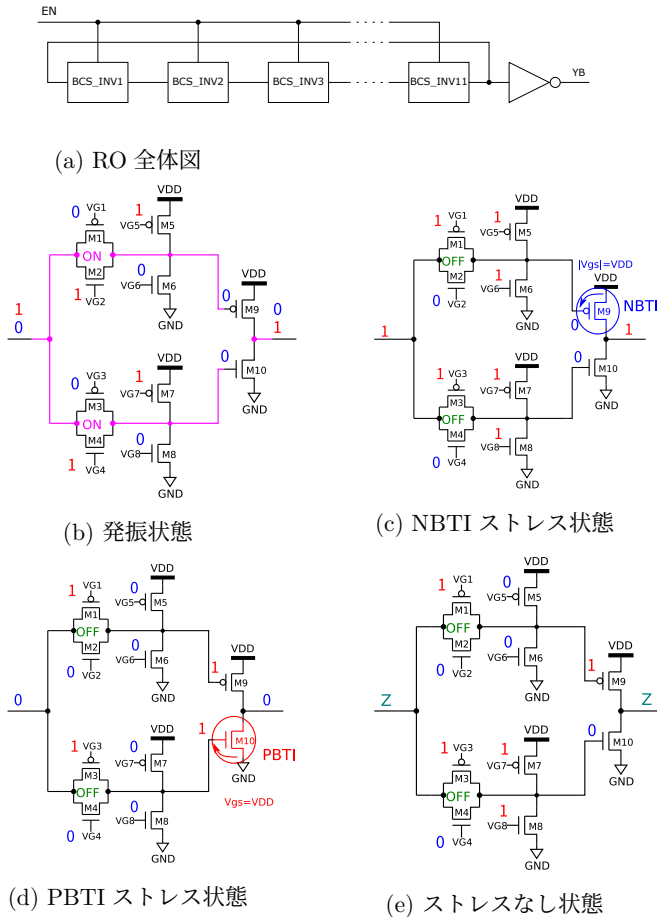


図 1: BCS RO の回路構造
Fig. 1 BCS RO Structure.

用いることで、NBTI 型と PBTI 型、NOSTR 型 RO の劣化率の比較が可能である。

3.2 測定条件

発振停止時に RO にストレス電圧と温度をかけ続けて劣化を加速させる。測定開始時に測定した初期発振周波数 $F(0)$ と t 秒後測定した発振周波数 $F(t)$ との変化率をしきい値電圧の変化率 ΔV_{th} に変換して評価した。ストレス電圧は 1.20 V から 1.50 V, 1.75 V の 3 つを比較した。発振電圧は 0.75 V, 温度は 120 °C, 発振時間は 60 μsec , ストレス時間は最大 10,000 秒とした。近似式は Universal Model[8] より, $\Delta V_{th} = at^{(1/6)} + b$ (a, b はフィッティング係数) とした。 a の値を加速係数とし, 劣化率の大きさを比較する基準とした。

4. 測定結果

BTI によるしきい値電圧の変化率を図 2 の図 a~図 c に示す。フィッティングで求めた加速係数 a の値を表 1 に示す。NBTI 型 RO と PBTI 型 RO はしきい値電圧が劣化したが, 表 1 より全ての条件で PBTI 型 RO の劣化率が NBTI 型 RO より大きくなった。PBTI が NBTI よりも大

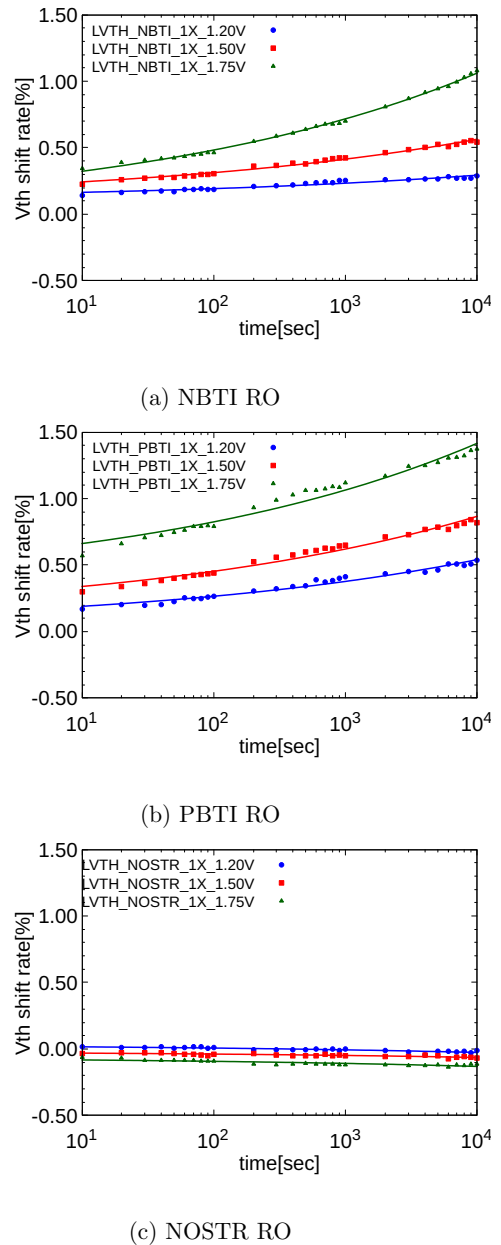


図 2: BCS RO の劣化率
Fig. 2 BCS RO degradation rate.

きく劣化するのとは異なる。NOSTR 型 RO は a が ± 0.01 %前後であり, 劣化しなかった。ストレス電圧が増加すると NBTI 型, PBTI 型 RO の加速係数 a が増加した。1.20 V から 1.75 V までで a の値は NBTI 型で約 5 倍, PBTI 型 RO で約 2 倍増加した。高温, 高電圧のストレスになるほど, NBTI 型 RO がより劣化しやすくなった。結果が異なる原因として, PBTI 型 RO が PBTI 型 RO 内の M10 以外の MOSFET が劣化してしまうことが挙げられるが, その原因は現在考察中である。

5. 結論

提案した BCS RO を用いて経年劣化の測定を行い, NBTI 型, PBTI 型 RO の劣化を確認した。PBTI 型 RO が NBTI

表 1: BCS RO 劣化率比較 (加速係数 a)Table 1 BCS RO rate comparison. (acceleration factor a)

ストレス電圧	1.20 V	1.50 V	1.75 V
NBTI	0.041	0.10	0.23
PBTI	0.11	0.17	0.24
NOSTR	-0.013	-0.010	-0.015

型 RO より大きく劣化した。従来構造の RO では、NBTI による劣化が PBTI より大きく、本結果と異なっている。PBTI 型 RO が NBTI 型 RO よりも大きく劣化する原因を解明し、新たに RO の回路構造を新たに提案する必要がある。

参考文献

- [1] Bohr, M.: The evolution of scaling from the homogeneous era to the heterogeneous era, *2011 International Electron Devices Meeting*, pp. 1.1.1–1.1.6 (online), DOI: 10.1109/IEDM.2011.6131469 (2011).
- [2] Huard, V., Parthasarathy, C., Guerin, C., Valentin, T., Pion, E., Mammasse, M., Planes, N. and Camus, L.: NBTI degradation: From transistor to SRAM arrays, *2008 IEEE International Reliability Physics Symposium*, pp. 289–300 (online), DOI: 10.1109/RELPHY.2008.4558900 (2008).
- [3] Park, G., Yu, H., Kim, M. and Kim, C. H.: An All BTI (N-PBTI, N-NBTI, P-PBTI, P-NBTI) Odometer based on a Dual Power Rail Ring Oscillator Array, *2021 IEEE International Reliability Physics Symposium (IRPS)*, pp. 1–5 (online), DOI: 10.1109/IRPS46558.2021.9405181 (2021).
- [4] Zafar, S., Kim, Y., Narayanan, V., Cabral, C., Paruchuri, V., Doris, B., Stathis, J., Callegari, A. and Chudzik, M.: A Comparative Study of NBTI and PBTI (Charge Trapping) in SiO₂/HfO₂ Stacks with FUSI, TiN, Re Gates, *2006 Symposium on VLSI Technology, 2006. Digest of Technical Papers.*, pp. 23–25 (online), DOI: 10.1109/VLSIT.2006.1705198 (2006).
- [5] Heh, D., Young, C. D. and Bersuker, G.: Experimental Evidence of the Fast and Slow Charge Trapping/De-trapping Processes in High-k Dielectrics Subjected to PBTI Stress, *IEEE Electron Device Letters*, Vol. 29, No. 2, pp. 180–182 (online), DOI: 10.1109/LED.2007.914088 (2008).
- [6] Ma, C., Miyake, M., Mattausch, H., Matsuzawa, K., Iizuka, T., Hoshida, T., Kinoshita, A., Arakawa, T., He, J. and Miura-Mattausch, M.: Compact reaction-diffusion model for accurate NBTI prediction, *2011 International Conference on Solid State Devices and Materials*, pp. 877–878 (2011).
- [7] Ma, C., Mattausch, H. J., Matsuzawa, K., Yamaguchi, S., Hoshida, T., Imade, M., Koh, R., Arakawa, T. and Miura-Mattausch, M.: Universal NBTI Compact Model for Circuit Aging Simulation under Any Stress Conditions, *IEEE Transactions on Device and Materials Reliability*, Vol. 14, No. 3, pp. 818–825 (online), DOI: 10.1109/TDMR.2014.2322673 (2014).
- [8] Mahapatra, S., Huard, V., Kerber, A., Reddy, V., Kalpat, S. and Haggag, A.: Universality of NBTI - From devices to circuits and products, *2014 IEEE International Reliability Physics Symposium*, pp. 3B.1.1–3B.1.8 (online), DOI: 10.1109/IRPS.2014.6860615 (2014).