

[招待講演] 行列指数法によるデバイス過渡シミュレーションの正確な 時間刻み指標

熊代 成孝[†] 亀井 達也 廣木 彰 小林 和淑

京都工芸繊維大学 〒606-8585 京都市左京区松ヶ崎

E-mail: [†] kumasiro@vlsi.es.kit.ac.jp

あらまし パワーデバイスの過渡シミュレーションの正確な時間刻み制御指標を提案する。本指標は行列指数法によって求められた、デバイス構造全体の主要応答時定数の指数項を含んでいる。本指標は、デバイスの主要応答部分に着目して局所打ち切り誤差をより正確に評価するため、局所打ち切り誤差を2次微係数で近似した従来の指標よりも、大きな時間刻み幅を許容することが出来る。本手法により、シリコンパワーDMOSFETの主要過渡応答部分の電流精度を保証しつつ、シミュレーション時間を従来手法の30%に低減することが出来る。

キーワード パワーデバイス, デバイス過渡解析, 時間刻み制御, 局所打ち切り誤差, 行列指数法, アーノルディ法

[Invited] An Accurate Metric to Control Time Step of Transient Device Simulation by Matrix Exponential Method

Shigetaka KUMASHIRO[†] Tatsuya KAMEI Akira HIROKI and Kazutoshi KOBAYASHI

Kyoto Institute of Technology Matsugasaki, Sakyo-ku, Kyoto, 606-8585 Japan

E-mail: [†] kumasiro@vlsi.es.kit.ac.jp

Abstract An accurate metric for the time step control in the power device transient simulation is proposed. This metric contains an exponential term of the dominant time constant of the whole device structure obtained by the matrix exponential method. The proposed metric allows larger time step widths than the conventional metric of the 2nd-order approximation of the local truncation error because it focuses on the dominant part of the transient response and its truncation error approximation is more accurate. Total CPU-time of the transient simulation of a silicon power DMOSFET by using the proposed method decreases down to 30% of that by the conventional metric with assuring the current accuracy of the dominant transient response.

Keywords Power device, Transient device simulation, Time step control, Local truncation error, Matrix exponential method, Arnoldi method

1. はじめに

今日、パワーMOSFETの設計において、デバイスシミュレーションが積極的に使われている。パワーMOSFETにおいては、不純物プロファイルやデバイス形状寸法、キャリア輸送物理等に関する不確実性が全て許容範囲内にある。その恩恵を受けて、複数の物理現象が複雑に絡み合っ生じる現象のメカニズムを、デバイスシミュレーションが明快に解き明かすことが出来る。

一方で、パワーMOSFETのデバイスシミュレーションの計算時間の長さは、特に過渡解析において問題となる。これは、大規模デバイス構造を表現するために多くのメッシュ数が必要なことと、比較的遅めの時間応答を追跡するために数多くの時間刻みが費やされることに起因している。必要なシミュレーション精度を

確保しつつ、時間刻みを最適に制御することが、計算時間短縮のためには重要である。

本論文では、デバイス構造全体の応答を支配する主要応答時定数を行列指数法[1]によって求め、その主要応答時定数を利用した正確な時間刻み制御手法を新たに提案する。

2. 指数関数型局所打ち切り誤差評価指標

従来のデバイスシミュレーションにおいては、図1に示す様に、キャリア濃度の時間に関する2次微係数と時間刻み幅の2乗の積が、局所打ち切り誤差の指標として時間刻み幅制御に使用されている[2]。しかし、この指標は、局所打ち切り誤差をTaylor展開して、その最低次項のみを主要成分とみなし、他の高次項の影響を無視しているため、精度的には疑わしい面がある。

微分方程式： $\frac{\partial x(t)}{\partial t} = f(x(t))$ (1)

↓

後退Euler (BE) 法による離散化：
 $\frac{x_{BE}(t_0 + \Delta t) - x_{BE}(t_0)}{\Delta t} = f(x_{BE}(t_0 + \Delta t))$ (2)

正確な解 $x(t)$ の $t = t_0 + \Delta t$ でのTaylor展開：
 $x(t_0) = x(t_0 + \Delta t) - \dot{x}(t_0 + \Delta t) \cdot \Delta t + \frac{1}{2!} \ddot{x}(t_0 + \Delta t) \cdot (\Delta t)^2 + O((\Delta t)^3)$ (3)

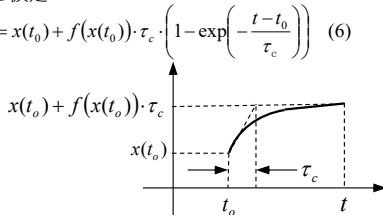
$t = t_0$ で $x_{BE}(t_0 + \Delta t) = x(t_0 + \Delta t)$ を仮定し、(2) - (3) から局所打ち切り誤差(LTE)を計算：
 $LTE = |x_{BE}(t_0) - x(t_0)| = \left| \frac{1}{2} \ddot{x}(t_0) \cdot (\Delta t)^2 + O((\Delta t)^3) \right|$ (4)

最も支配的と思われる2次微係数項のみを残す：
 2次微係数型局所打ち切り誤差指標 $\equiv \left| \frac{1}{2} \ddot{x}(t_0) \cdot (\Delta t)^2 \right|$ (5)

図 1. 従来の局所打ち切り誤差指標の導出.

$t = t_0$ で $x_{BE}(t_0 + \Delta t) = x(t_0 + \Delta t)$ を仮定して局所打ち切り誤差を計算：
 $LTE = |x_{BE}(t_0) - x(t_0)| = \left| -\frac{1}{2!} \ddot{x}(t_0 + \Delta t) \cdot (\Delta t)^2 + \frac{1}{3!} \dddot{x}(t_0 + \Delta t) \cdot (\Delta t)^3 - \dots \right|$ (4')

正確な解 $x(t)$ がデバイス構造全体の主要応答時定数 τ_c で近似出来ると仮定：
 $x(t) = x(t_0) + f(x(t_0)) \cdot \tau_c \cdot \left(1 - \exp\left(-\frac{t-t_0}{\tau_c}\right) \right)$ (6)



(6)を(4')に代入して、無限級数を指数関数に集約：
 指数関数型局所打ち切り誤差 $\equiv \left| \dot{x}(t_0) \cdot \tau_c \cdot \left[1 - \left(1 + \frac{\Delta t}{\tau_c} \right) \exp\left(-\frac{\Delta t}{\tau_c}\right) \right] \right|$ (7)

図 2. 提案する指数関数型局所打ち切り誤差指標.

デバイス構造全体の主応答を精度良く再現する主要応答時定数 (τ_c) の値が事前にわかっているならば、局所打ち切り誤差は、図 2 の(7)式に示す様に Taylor 展開項を 1 個の指数関数としてまとめた、指数関数型局所打ち切り誤差指標を用いて、評価可能になる。

この指数関数型局所打ち切り誤差指標の主要部 (キャリア濃度の時間に関する 1 次微係数と主要応答時定数の積の部分を除いたもの) の時間刻み幅 (Δt) に対する振る舞いを、 $\Delta t / |\tau_c|$ を横軸に取って示したのが図 3 である。

図 3 には 2 つの重要な特徴が示されている。最初の特徴は、指数関数型局所打ち切り誤差は時間刻み幅が主要応答時定数に比べて小さくなると指数関数的に減少する、ということである。この特徴により、主要応答時定数に比べてずっと短い時定数を持つ応答をフィルタリングして、大きな時間刻み幅を取ることが出来る。一方、従来の 2 次微係数型局所打ち切り誤差は局所的な

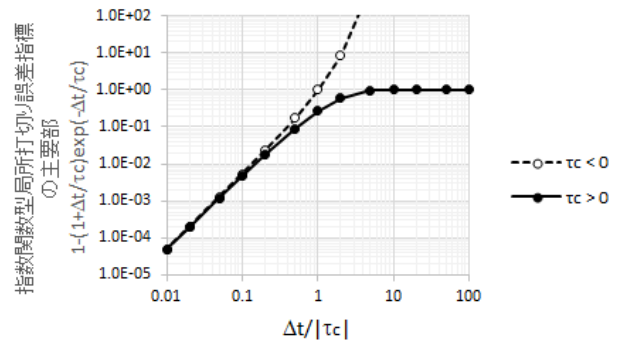


図 3. 指数関数型局所打ち切り誤差指標の主要部の主要応答時定数で規格化した時間刻み幅依存性.

キャリア濃度の変化のみに着目しているため、その変化が重要かどうかによらず、キャリア濃度の急激な変化は見逃さない。

次の特徴は、能動素子の主要応答時定数は正にも負にもなり得るが、主要応答時定数が正である限り、指数関数型局所打ち切り誤差の主要部分の値は 1 を超えることがない、ということである。この特徴により、キャリア濃度の時間に関する 1 次微係数の値が、あらかじめ指定された局所打ち切り誤差の許容値以下であれば、時間刻み幅を無限大に取ることが出来る。一方、図 1 の(5)式で示される従来の 2 次微係数型局所打ち切り誤差は、キャリア濃度の時間に関する 2 次微係数が 0 にならない限り、時間刻み幅は必ず有限な値に拘束される。

3. デバイスの主要応答時定数

メッシュで空間離散化したデバイス方程式 (Poisson 方程式と電子・正孔電流連続方程式) は、静電ポテンシャル (ϕ) とキャリア濃度 (n, p) を状態変数に取り、各メッシュ点が受け持つコントロールボリューム [3] の形状と物理定数を反映した非線形抵抗と線形容量を用いて、図 4(a) の様な等価回路網で表現出来る [4]。

熱平衡状態にある 1 次元 pn ダイオードを考え、キャリア濃度が低く導電率が低い箇所の抵抗を無視すると、等価回路網は図 4(b) の実線で示される形になる。この等価回路網の最も短い応答時定数は、一つのメッシュ点のコントロールボリューム内の抵抗と容量で形成される図 4(b) の太い矢印で示されるループの時定数である。これは誘電緩和時間 ($\epsilon_{Si} / (q(\mu_n n + \mu_p p))$) に等しい。誘電緩和時間は不純物濃度が高い領域では容易に psec オーダー以下になる。デバイス過渡シミュレーションで前進 Euler 法等の陽解法の適用が困難なのは、最大時間刻み幅がこの誘電緩和時間で制限されるためである。

一般に、誘電緩和時間より長い時間スケールでは、

半導体は容量成分を無視して単なる抵抗体として考えることが出来る。誘電緩和時間が psec オーダー以下のコントロールボリューム内の容量成分を除去したものが図 4(c)である。図 4(c)の矢印は、デバイス構造全体の応答を律速する最長時定数に対応した抵抗・容量直列鎖である。コンパクトトランジスタモデルでは、この様な等価回路を更に少数の素子で表現する。この最長応答時定数は、デバイスの実用上最も主要かつ重要な過渡応答を表現するものであり、ここではこれを主要応答時定数と呼ぶ。

4. 主要応答時定数の抽出

主要応答時定数を抽出するために、まず図 5 に示す様に静電ポテンシャルと電子濃度、正孔濃度を状態変数に取り、Poisson 方程式と電流連続方程式をこれらの状態変数について線形化して、デバイスの状態方程式を構成する[5]。行列指数 ($\exp(-C^{-1}G(x_0)t)$) を用いれば図 5 の様にこの状態方程式の形式解を求めることが出来る[1]。しかし、元の電流連続方程式は、静電ポテンシャルとキャリア濃度の積の項を含むため、状態変数に対して非線形であり、線形化された状態方程式に対する形式解は限られた時間範囲内ではしか有効ではない[5]。したがって、長い時間範囲に渡って精確な解を求めるためには、後退 Euler 法等の時間離散化手法を適用して過渡解析を行う必要がある。

Poisson方程式と電子・正孔電流連続方程式：

$$\frac{\partial}{\partial t} \begin{bmatrix} 0 \\ n(r,t) \\ p(r,t) \end{bmatrix} = - \begin{bmatrix} \nabla_r \cdot (e\nabla_r \psi(r,t)) + q(-n(r,t) + p(r,t)) \\ -\frac{1}{q} \nabla_r \cdot J_n(r,t) \\ \frac{1}{q} \nabla_r \cdot J_p(r,t) \end{bmatrix} + \begin{bmatrix} q(-N_D(r) + N_A(r)) \\ G_n(r,t) - R_n(r,t) \\ G_p(r,t) - R_p(r,t) \end{bmatrix}$$

空間離散化と境界条件の反映：

$$C \cdot \frac{\partial x}{\partial t} = -F(x) \cdot x + F_C(x) + B \cdot (u_0 + u_1 \cdot t)$$

線形化：

$$C \cdot \frac{\partial x}{\partial t} = -F(x_0) \cdot x_0 + F_C(x_0) + B \cdot (u_0 + u_1 \cdot t) + \left(-\frac{\partial F}{\partial x} \Big|_{x=x_0} + \frac{\partial F_C}{\partial x} \Big|_{x=x_0} \right) \cdot (x - x_0)$$

$$C \cdot \frac{\partial x}{\partial t} = -G(x_0) \cdot x + G(x_0) \cdot x_0 - F(x_0) \cdot x_0 + F_C(x_0) + B \cdot (u_0 + u_1 \cdot t)$$

形式解： 等価メッシュコンダクタンス G (=Jacobian) を介した伝搬 初期状態での電流連続性の不均衡

$$x(t) = x_0 + \left(I - \exp(-C^{-1}G(x_0) \cdot t) \right) \cdot G(x_0)^{-1} \cdot \left(-F(x_0) \cdot x_0 + F_C(x_0) + B \cdot u_0 - CG(x_0)^{-1} \cdot B \cdot u_1 \right) + G(x_0)^{-1} \cdot B \cdot u_1 \cdot t$$

初期値 過渡的減衰因子 + 過渡応答振幅 (= DC解への最初のNewton法修正ベクトル)

入力バイアス信号 ランプ入力による時間発展項

図 5. 線形化された Poisson 方程式と電流連続方程式の形式解の導出。

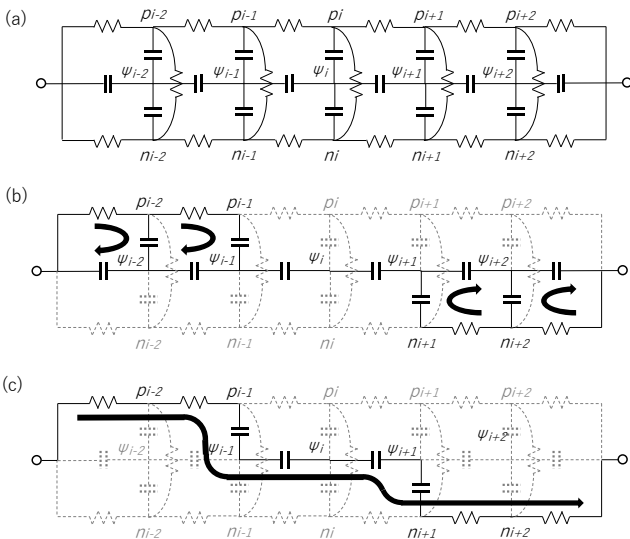


図 4. (a) 静電ポテンシャルとキャリア濃度を状態変数に取り、空間メッシュで離散化した非線形抵抗と線形容量を用いて表現したデバイスの等価回路モデル. (b) pn ダイオードでキャリア濃度が低く伝導率の低い抵抗を無視した場合の等価回路モデル. (c) (b)で誘電緩和時間が psec オーダー以下のコントロールボリューム内の容量を無視した場合の等価回路モデル.

Arnoldi法： $G^{-1}C$ の固有値を大きい方から Hessenberg 行列 H の固有値として格納

- $G = LU$: Jacobian G の LU 分解
- $v = U^{-1}(L^{-1}(F \cdot x_0 - F_C - B \cdot u_0 + CU^{-1}(L^{-1}(B \cdot u_1))))$
- $v_1 = \frac{v}{\|v\|}$
- For $j = 1$ To m
- $w = U^{-1}(L^{-1}(C \cdot v_j))$
- For $i = 1$ To j
- $h_{i,j} = w^T \cdot v_i$
- $w = w - h_{i,j} \cdot v_i$
- Next i
- $h_{j+1,j} = \|w\|$
- $v_{j+1} = \frac{w}{h_{j+1,j}}$
- Next j
- $H = \begin{pmatrix} h_{1,1} & h_{1,2} & \dots & h_{1,m} \\ h_{2,1} & h_{2,2} & \dots & h_{2,m} \\ \vdots & \vdots & \ddots & \vdots \\ 0 & & h_{m,m-1} & h_{m,m} \end{pmatrix}$

図 6. Arnoldi 法アルゴリズムのフローチャート。

行列指数は指数関数の Taylor 展開を行列に適用した行列積の無限級数であり、実際に計算するのは困難なため、近似的な取り扱い方法が提案されている [1][6][7][8]。ここでは、 $G^{-1}C$ の固有値を用いて行列指数をスカラー指数関数で近似する手法を採用する。 $G^{-1}C$ の最大固有値は図 5 の $C^{-1}G$ の最小固有値に相当し、ここで抽出すべきデバイス構造全体の主要応答時定数 (=最長時定数) は、この固有値の逆数に相当する。 $G^{-1}C$ の最大固有値を求めるために、ここでは図 6 に示す Arnoldi 法 [1] を採用した。Arnoldi 法は、 $G^{-1}C$ の固有値を大きい方から順に、Hessenberg 行列の固有値として埋め込む。Hessenberg 行列の最大固有値を QR 法等によって求め、その逆数を取れば、デバイス構造全体の主要応答時定数が求まる。デバイス方程式は複素共役な固有値ペアを持つ可能性もあるため、図 6 における Hessenberg 行列のサイズ m は最低でも 2 にしておく必要がある。

図 7(a) に示す 1 次元 N+P-ダイオード構造に対して主要応答時定数を算出した例を示す。図 7(b) は 1 次元ダイオードに順方向ステップバイアスを印加した後の主要応答時定数の変化を、過渡解析時刻に対してプロットしたものである。■ は中程度の順方向バイアス (0.8V) 印加時の主要応答時定数であり、● と ○ は強い順方向バイアス (1V) 印加時の主要応答時定数の変化を示している。

キャリアの注入が行われていない解析時刻 ($<1E-12\text{sec}$) では、初期空乏層容量と中性領域の抵抗で決まる短い主要応答時定数 ($\sim 1E-12\text{sec}$) が抽出され、これは順方向バイアスの大きさによらずほぼ一定である。一方、定常状態に達した解析時刻以降 ($>1E-9\text{sec}$) では、少数キャリアの蓄積による大きな拡散容量を反映して主要応答時定数が長くなり、順方向バイアスが大きいほど主要応答時定数も長い ($=1E-11\text{sec}@0.8\text{V}$, $3E-11\text{sec}@1.0\text{V}$)。

○ は負の主要応答時定数が抽出されたことを示しており、これはデバイスが正帰還状態にあることを示唆している。この正帰還状態は導電率変調によるものである。導電率変調の状態にあって電子濃度と正孔濃度が等しい場合には、静電ポテンシャルは全く影響を受けない。他にキャリア濃度の増加を抑制するメカニズムも存在しないため、系は正帰還状態に入る。正帰還状態は、解析時刻が $1E-10\text{sec}$ 付近に達した時点で、SRH (Shockley-Read-Hall) 再結合が支配的になって、キャリア濃度の増加に抑制がかかり始めると解除され、主要応答時定数も正に戻る。

一般的に、負の主要応答時定数が抽出される場面では、時間刻み幅は局所打ち切り誤差によってではなく、Newton 反復の収束性によって制限される。

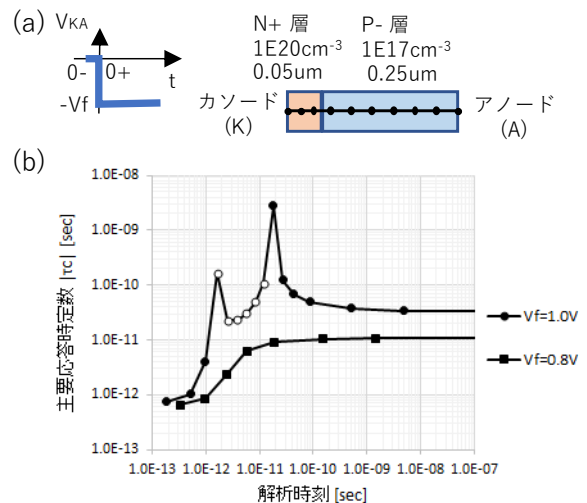


図 7. (a) 1 次元ダイオード構造への順方向ステップバイアス印加. (b) 主要時定数の時間変化.

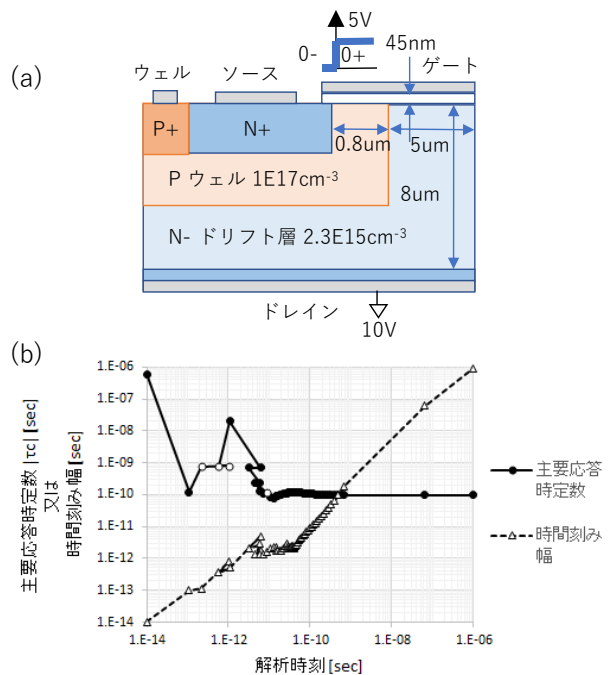


図 8. (a) 2 次元パワーDMOSFET 構造. (b) 主要時定数と時間刻み幅の時間変化.

5.2 次元パワーDMOSFET の過渡解析による性能検証

今回提案した指数関数型局所打ち切り誤差指標の性能を検証するため、図 8(a) の 2 次元パワーDMOSFET [9] にステップ V_g 電圧を印加した後の過渡解析を行った。図 8(b) に示す様に、チャンネルが形成された $1E-11\text{sec}$ より後では、主要応答時定数 (●) はほぼ $1E-10\text{sec}$ 付近に留まり、この時定数はソースから出発した電子がド

レインに到着するのにかかる時間にほぼ等しい。図 8(b)の○は負の主要応答時定数である。これはソース端からの電子拡散は始まったが、チャンネル内に電流を抑制する様なフィードバック機構がまだ形成されていない状況を反映したものである。図 8(b)の△は、指数関数型局所打ち切り誤差の許容量を対キャリア濃度比で 1%に設定した場合の時間刻み幅の分布を示している。同一時刻で複数の時間刻み幅が存在しているのは、局所打ち切り誤差が許容値を超えたために時間刻み幅の再設定が行われたことに対応している。チャンネル形成後から過渡応答成分が減衰するまでは、解析時間が密に刻まれている。

図 9 にキャリア濃度に対する局所打ち切り誤差の許容量を 1-50%と変化させた場合の、時間刻み数に対する解析時刻の進捗度の変化を示す。指数関数型局所打ち切り誤差指標（実線）は、2 次微係数型局所打ち切り誤差指標（破線）に比べ、解析時刻の進捗が速い。これは次の二つの理由によるものである。最初の理由は、2 次微係数型局所打ち切り誤差指標は高次の Taylor 展開項を無視しているため、Taylor 展開項同士の打ち消し合いの効果が考慮されておらず、局所打ち切り誤差を過大評価しているためである。二番目の理由は、指数関数型局所打ち切り誤差指標は、主要応答時定数で近似されるデバイスの主応答部分に注目しているため、より短い時定数を持つ応答は、時間刻み制御の対象とはならないためである。

図 10 は、指数関数型局所打ち切り誤差の許容量を対キャリア濃度比 1%に設定した場合のドレイン電流値（●）を、2 次微係数型局所打ち切り誤差の許容量を対キャリア濃度比 0.1%として求めた厳密解（実線）と比較したものである。ステップ V_g を印加すると、DMOSFET の各電極間で、図 4(a)中段の直列容量鎖を介した変位電流の結合が生じ、この結合によってフェムト秒オーダーでの電流応答が生じる。理想的なステップ V_g の印加は非現実的であり、フェムト秒という応答時間スケールでは結果の物理的な妥当性も疑わしい。この様な超高速電流応答による輸送・蓄積電荷量は、後の主たる応答による輸送・蓄積電荷量に比べて無視できる大きさである。電流の再現精度が悪くとも、全電荷量の保存という観点からは全く問題は無い。指数関数型局所打ち切り誤差指標は、この様な超高速応答を無視するものである。図 10 の△で示されるドレイン電流誤差が、この超高速応答領域で大きくなっているのは、このためである。その後、解析時刻が主要応答時定数の 1/5 程度に到達した後は、ドレイン電流誤差は数%以下になる。

指数関数型局所打ち切り誤差許容量と 2 次微係数型局所打ち切り誤差許容量を、それぞれ対キャリア濃度比の

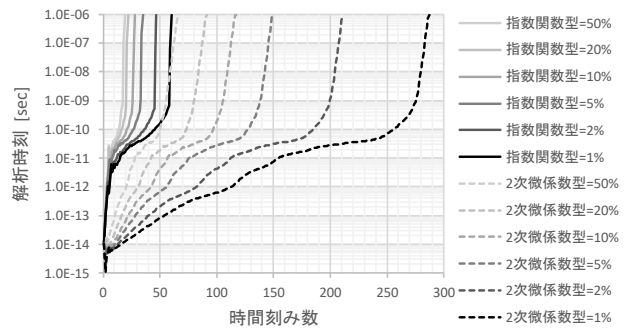


図 9. 時間刻み数に対する解析時刻の進捗.

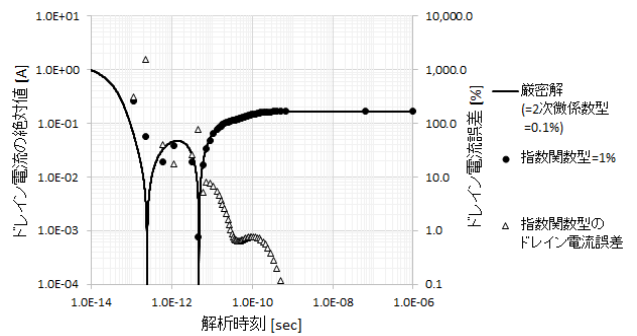


図 10. 指数関数型局所打ち切り誤差=1%と厳密解とのドレイン電流比較.

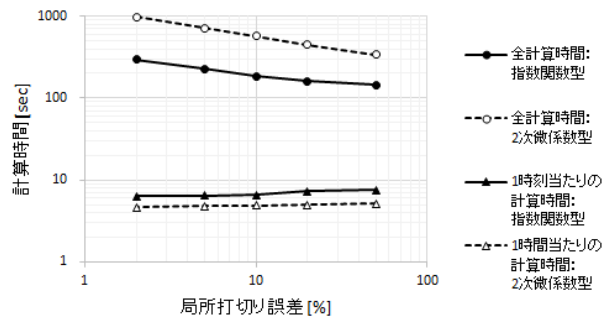


図 11. 局所打ち切り誤差許容量が 2-50%のときの、指数関数型局所打ち切り誤差と 2 次微係数型局所打ち切り誤差の計算時間比較.

2-50%に設定した場合の計算時間を比較した結果を図 11 に示す。指数関数型局所打ち切り誤差指標を用いた場合の一時刻当たりの計算時間（実線+▲）は、2 次微係数型局所打ち切り誤差指標を用いた場合（破線+△）に比べ約 40%増加する。しかし全計算時間は、指数関数型局所打ち切り誤差指標（実線+●）の方が、2 次微係数型局所打ち切り誤差指標（破線+○）の約 30%の計算時間で済む。

6. 結論

デバイス構造全体の主要応答時定数に関する情報を利用して、デバイス過渡シミュレーションの時間刻み制御のための高精度な指数関数型局所打切り誤差指標を導出した。主要応答時定数は、線形化されたデバイス状態方程式の形式解に含まれる行列指数項内の行列の最小固有値の逆数を計算することによって求められる。2次元パワーDMOSFETの過渡デバイスシミュレーションに、今回提案した指数関数型局所打切り誤差指標を適用し、主要応答部の電流精度を維持したまま、計算時間を従来の2次微係数型局所打切り誤差指標を用いた場合の30%にまで削減することが出来た。

謝 辞

本研究は文部科学省および科学技術振興機構によるスーパークラスタープログラムの支援、ならびに、日本学術振興会による科研費・基盤研究(C) (課題番号17K05142)の助成を受けた。

また、パワーDMOSFETのデバイス構造と動作に関して親切にご教示いただいた本学の上田大助特任教授に感謝する。

文 献

- [1] H. Zhuang, X. Wang, Q. Chen, P. Chen, and C. Cheng “From circuit theory, simulation to SPICE^{Diego}: A matrix exponential approach or time domain analysis of large-scale circuits,” IEEE Circuits and Systems Magazine, pp. 16-34, 2016.
- [2] 戸川隼人, “微分方程式の数値計算,” 4章及び11章, オーム社, 東京, 1981.
- [3] E. Buturla, P. Cottrell, B. Grossman, and K. Salsburg, “Finite-element analysis of semiconductor devices: The FIELDAY program,” IBM J. Res. Develop., vol. 25, no. 4, pp. 218-231, 1981.
- [4] T. Ohtsuki, and K. Kani, “A Unified Modeling Scheme for Semiconductor Devices With Applications of State-Variable Analysis,” IEEE Trans. Circuit Theory, vol. CT-17, no. 1, pp. 26-32, 1970.
- [5] H. Read, S. Kumashiro, and A. Strojwas, “Efficient transient device simulation with AWE macromodels and domain decomposition,” IEICE Trans. Electron., vol. E77-C, no. 2, pp. 236-247, 1994.
- [6] C. Moler, and C. Van Loan, “Nineteen dubious ways to compute the exponential of a matrix, twenty-five years later,” SIAM Review, vol. 45, no. 1, pp. 3-49, 2003.
- [7] L. Pillage, and R. Rohrer, “Asymptotic Waveform Evaluation for Timing Analysis,” IEEE Trans. Computer-Aided Design, vol. CAD-9, no. 4, pp. 352-366, 1990.
- [8] P. Feldmann, and R. Freund, “Efficient Linear Circuit Analysis by Pade Approximation via Lanczos Process,” IEEE Trans. Computer-Aided Design, vol. CAD-14, no. 5, pp.639-649, no. 5, 1995.
- [9] D. Fuoss, “Vertical DMOS power field-effect transistors optimized for high-speed operation,” IEDM Tech. Dig., pp. 250-253, 1982.