

シフトレジスタによるSRAM型とフラッシュメモリ型FPGAの ソフトエラー耐性の比較

河野 雄哉 附田 悠人 古田 潤 小林 和淑

京都工芸繊維大学 工学科学研究科

あらまし 本稿では、SRAM型FPGAとフラッシュメモリ型FPGAに50,000段のシフトレジスタを実装し、白色中性子ビームを照射して放射線耐性の実測を行い、その評価結果を述べる。結果、FPGA内に搭載されているフリップフロップのソフトエラー率はSRAM型、フラッシュメモリ型ともに約30 FIT/Mbit程度で大きな差はなかった。しかし、コンフィグレーションメモリ(CRAM)の耐性を表す平均故障時間はSRAM型では 3.8×10^7 hour/failure、フラッシュメモリ型は 5.5×10^9 hour/failureとなり、フラッシュメモリ型はSRAM型よりも約140倍ソフトエラー耐性が高いことが確認出来た。SRAM型にソフトエラー対策を施さない場合は、フラッシュメモリ型よりも平均故障時間が短い場合長時間連続で使用するには定期的に再起動やメモリスクラビングを行い、CRAM内で発生したエラーを取り除く必要がある。

キーワード ソフトエラー、SRAM型FPGA、フラッシュメモリ型FPGA、白色中性子

Measuring SER by Neutron Irradiation Between Volatile SRAM-based and Nonvolatile Flash-based FPGAs

Yuya KAWANO, Yuto TSUKITA, Jun FURUTA, and Kazutoshi KOBAYASHI

Graduate School of Science and Technology, Kyoto Institute of Technology

Abstract We implemented 50k-bit shift registers on SRAM-based and flash-based FPGAs to investigate their radiation hardness using neutron irradiation. As a result, soft error rates of flip flops on both FPGAs are around 40 FIT/Mbit. Mean time to failure (MTTF) in the SRAM-based one is 3.8×10^7 hour/failure, while MTTF in flash-based one is 5.5×10^9 hour/failure. The MTTF of the flash-based FPGA is at least 140x longer than that of the SRAM-based one. Those results clearly show that in the SRAM-based FPGA without Error Correct and Check code (ECC) must be rebooted or configuration memory must be refreshed much more frequently than the flash-based one.

Key words Soft error, SRAM-based FPGA, Flash-based FPGA, Spallation neutron

1. 序 論

FPGA (Field Programmable Gate Array) は自動車、家電、ネットワーク機器など様々な製品に用いられている。FPGAは従来の集積回路の1つであるASIC (Application Specific Integrated Circuit) に比べてデザインごとのマスクの作成が不要であることや、製造された後でも回路を自由に書き換えることが出来るなどのメリットを持つ[?]。FPGAやASICなどの集積回路の微細化や高集積化することにより電子機器を小型化、高性能化させることが可能となった。一方で、微細化に伴い、ソフトエラーなどの信頼性低下の問題が顕在化している。ある企業では、微細化に伴う宇宙線起因のソフトエラーが増加してきたことを背景にその対策費用として数十億円規模の減益に見

舞われた例もある[?]

ソフトエラーとは α 線や中性子線といった粒子線が原因となって発生する一過性のエラーであり、これらの粒子線がデバイス内を通過またはデバイス内で原子と衝突した際に生成される電子正孔対によりSRAM (Static Random Access Memory) やフリップフロップなどの保持値が反転する現象である。一過性のエラーは再起動を行うことで修復可能であるが、FPGAの場合はより重大な問題となる。FPGA内にあるSRAMやフリップフロップは通常ソフトエラー対策が施されていない。CRAM (Configuration RAM) 内でソフトエラーが発生すると、保存している回路が変更されてしまい正常に動作しないことがある[?]

CRAMを不揮発性メモリやアンチヒューズなどに置き換え

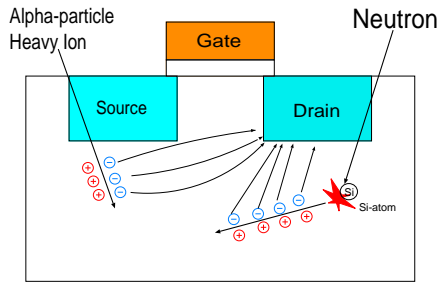


図1 ソフトエラーの発生原理

ることでソフトエラー耐性が向上するが、FPGA 内に搭載されているフリップフロップなどの記憶素子は、通常ソフトエラー耐性を持たない。FPGA は多様な用途があるため、フリップフロップなどの記憶素子においてもソフトエラー耐性を評価する必要がある。

ソフトエラーの耐性指標には FIT (Failure In Time) が用いられる。FIT は一定時間あたりの故障率を表す単位であり、1 FIT は 1 つのデバイスにおいて 10^9 時間に 1 回のエラーが発生することを表す。対象のデバイスが 100 万個になれば、1000 時間に 1 回のエラーになるため、LSI のように市場に大量に流通するものでは、頻繁にどこかでエラーが発生することになる。一般に 1000 FIT 以下であれば使用に問題はないとされるが、自動車や医療機器などの人命に関わる機器では 1 度のエラーが深刻な問題となるため、高信頼性が必須である [?] [?]

先行研究ではプロセスノードの違いや、コア電圧動作時の温度の違いからソフトエラーの信頼性を比較している。[?] では、プロセスノードの違いによって CRAM や BRAM (Block RAM) などの FPGA 内部に組み込まれているメモリのソフトエラー耐性を報告している。[?] では、FPGA の様々なメモリに供給する電圧や、温度を変化させることで、ソフトエラー耐性にどのように影響するか述べている。[?] では様々なエネルギーを持つ重イオンを照射し、CRAM やフリップフロップなどのソフトエラー耐性を評価している。

本稿では SRAM 型 FPGA とフラッシュメモリ型 FPGA を用いて、各 FPGA にシフトレジスタを実装し、フリップフロップと CRAM のソフトエラー耐性の比較を中性子線照射測定により行った。第 2 章では、ソフトエラーについて述べる。第 3 章では、使用した FPGA と照射した中性子線について述べ、第 4 章で測定方法について述べる。第 5 章で実測結果について述べ、第 6 章でまとめる。

2. ソフトエラー

ソフトエラーとは、ハードウェアで発生する永久故障とは異なり、SRAM やフリップフロップなどの記憶素子の保持値が一時的に反転する一過性のエラーのことである。地上ではチップのパッケージ材料に含まれる α 粒子や高エネルギー中性子が原因であり、宇宙空間では重イオンが主な原因となっている。本章では、中性子線により発生するソフトエラーや FPGA で発生するソフトエラーについて述べる。

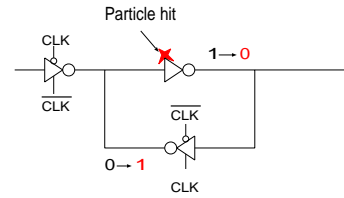


図2 Single Event Upset

2.1 中性子線起因のソフトエラー

図 1 にソフトエラー発生原理を示す。荷電粒子がトランジスタ内を通過、またはトランジスタ内部の Si 原子と衝突することで電子正孔対が生成され、発生した電子がドレインに収集されることによってソフトエラーが発生する [?]。宇宙線が大気中の原子核と衝突することで発生する高エネルギー中性子が基板内の Si 原子と衝突することで α 粒子や荷電粒子を生成する。さらに、パッケージやボンディングワイヤなどに含まれる放射性不純物も α 粒子を放出する。これらの粒子が拡散層近傍を通過することで電子正孔対を生じ、ソフトエラーを引き起こす。

2.2 SEU (Single Event Upset)

SEU とは SRAM やフリップフロップ等のデータを保持している部分に荷電粒子が突入することで電子正孔対を生成し、保持値を直接反転させることで発生するソフトエラーのことである。SEU によりソフトエラーが発生する様子を図 2 に示す。

インバータを形成する PMOS と NMOS のうち、ソフトエラーが起こりやすいのは NMOS である。これは電子の移動度が正孔の移動度よりも大きいため、粒子線の突入により発生した電子が NMOS では収集されやすいためである [?]。SEU は 1 つの粒子で反転するビット数に応じて SBU (Single Bit Upset) と MCU (Multiple Bit Upset) の 2 種類に分類される。SBU は 1 ビット反転のエラー、MCU は複数ビット反転のエラーを表す。

2.3 ファームエラー

粒子線が CRAM に突入した場合、LUT (Look-Up Table) に保存している出力値が変わることで、回路の機能が変更されたり、配線ブロックの保持値が変わることで配線方向が変更されてしまうことがある。ここではこれをファームエラーと呼ぶ。

ファームエラーは FPGA や PLD (Programmable Logic Device) などのデバイスで発生し、CRAM のように回路情報を保存するメモリを搭載している集積回路で発生するエラーである。ASIC のように製造時に回路が形成される集積回路では発生しない。ファームエラーは回路の機能を変更するため、大規模なシステムの一部で発生した場合には深刻な問題となる [?]。ファームエラーは CRAM に元のコンフィグレーションを上書きすることで修正可能であるが、再度書き込むことが困難な場合には対策が困難である。

2.4 FPGA のソフトエラー対策

CRAM に用いられている SRAM、LUT を構成する SRAM、順序回路を実現するフリップフロップには通常ソフトエラー対策が施されていない。SRAM 型 FPGA ではフラッシュメモリ型 FPGA、アンチヒューズ型 FPGA とは異なり、ファームエ

表 1 使用した FPGA の特徴

FPGA	SRAM 型 FPGA	フラッシュメモリ型 FPGA
プロセスノード	28 nm CMOS	28 nm SONOS
CRAM	SRAM	フラッシュメモリ
コア電圧	1.0 V	1.0 V
FF の数	65.2k	300k

ラーが発生するため ECC (Error Check and Correct code) を用いて発生したエラーを訂正することで抑制することが可能である。

ECC は本来の情報ビットに検査ビットを付与することで、ビット反転を検出、訂正する機能である。ECC の中でも SECDED (Single-bit Error Correction Double-bit Error Detection) は、1 ビットのエラーを修正、2 ビットのエラーを検出することが可能である [?]. その他にも定期的に CRAM を上書きするメモリスクラビングを行うことで、ソフトエラー耐性を向上させることが可能である [?].

3. 実験に用いる FPGA

SRAM 型 FPGA とフラッシュメモリ型 FPGA に白色中性子を照射して実測評価を行う。表 1 にそれぞれの FPGA の特徴を示す。SRAM 型 FPGA には 28 nm CMOS プロセスで製造されており、コア電圧が 1.0 V の Xilinx 社の Spartan-7 を用いた。CRAM は SRAM で構成されており、電源を OFF にすると保存していた回路が消去されるため、外付けフラッシュメモリなどにコンフィグレーションデータを保存しておき、起動時に読み込む。

フラッシュメモリ型 FPGA には Microsemi 社の PolarFire を用いた。この FPGA は 28 nm SONOS (Silicon-Oxide-Nitride-Oxide-Silicon) CMOS プロセスで製造される。SONOS 構造は ASIC のチップ上でフラッシュメモリを集積化の際に用いられる構造であり、不揮発性のため一度書き込むと電源を OFF しても回路は消去されない。フローティングゲート型のフラッシュメモリの書き込み電圧に比べ、低い電圧で書き込み動作を行うことが可能である。書き込まれた回路は電源を入れるとすぐ読み込まれるため、LAPU (Live At Power Up) が可能である。コア電圧は 1.0 V である。

4. 中性子線によるソフトエラー耐性の評価

中性子照射実験は大阪大学核物理研究センター (RCNP : Research Center for Nuclear Physics) で実施した。図 3 にニューヨークの海面レベルに降り注ぐ中性子線のスペクトルと RCNP で照射を行った白色中性子のスペクトルをまとめた図を示す。RCNP のビームのスペクトルは地上に降り注ぐ中性子線のスペクトルと似ており、線量を $10^8 \sim 10^9$ に加速するため短時間で地上における中性子線の影響を評価することが可能である。

4.1 測定方法

図 4 に実験時の測定系のブロック図を示す。初めに各 FPGA ボードに PC から構成情報の書き込みを行う。SRAM 型 FPGA

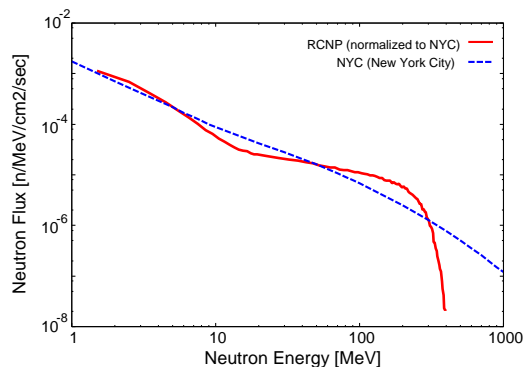


図 3 ニューヨークの海面レベルのスペクトルと正規化した RCNP のビームスペクトル

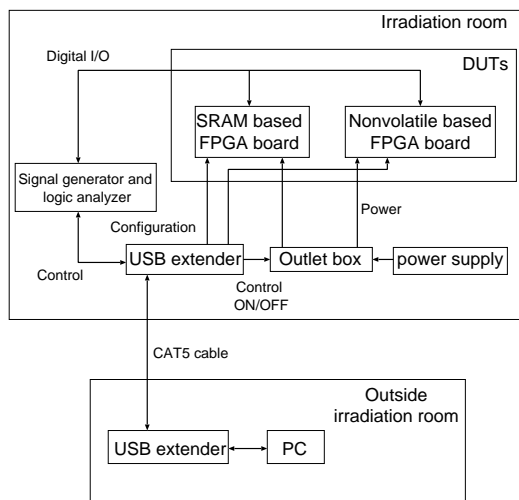


図 4 実験時の測定系

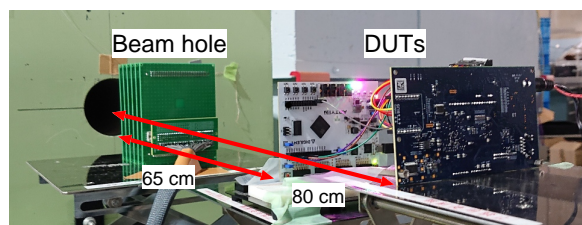


図 5 照射時の様子

は DUT (Device Under Test) ボード上に搭載されているフラッシュメモリにコンフィグレーションデータを保存する。後で述べる通り、フラッシュメモリ型 FPGA ではファームエラーが発生しないため、DUT ボード上の SPI フラッシュについてもソフトエラー耐性が高いと考えられる。SRAM 型 FPGA のコンフィグレーションデータは DUT ボード上の SPI フラッシュに保存した [?]. FPGA への入力信号はパルスジェネレータから発生させ、出力信号をロジックアナライザで保存する。PC も FPGA 同様ソフトエラーの影響を受けるため、照射室の外に設置し CAT5 ケーブルを用いて USB ケーブルを延長し、照射室と接続することで、照射室外から制御を行う。FPGA では 2.3 節で述べたファームエラーが発生する。今回の測定では ECC などのソフトエラー対策は施していないため、SRAM 型 FPGA においてはファームエラーが発生する可能性が高い。

表 2 各条件ごとの測定時間

照射時間 [分]	測定回数	測定時間 [分]
0.5	227	113.5
1	95	95
2	118	236
3	67	236
5	21	105
10	21	210
総測定時間 [分]		960.5

ファームエラーにより書き込んでいた回路が故障した場合、電源装置により FPGA を再起動を行うことで正常なコンフィグレーションデータを上書きし、測定を続ける。

図 5 に実験時の様子を示す。白色中性子ビームが測定対象である各 FPGA チップの中心を通過するように評価ボードを固定し、加速器によって発生した白色中性子を各 FPGA に照射する。ビーム照射口における加速係数は 4.17×10^8 であるが、各 FPGA はビーム照射口から 65 cm、80 cm 離れて設置しており、ビーム口から距離が離れるにつれてビームの flux が減少するため、5 章で述べる結果は距離による減衰を考慮して導出している。

実測の手順を以下に示す。

- (1) 初期値としてフリップフロップ (FF) で構成した 500 段ごとに 0, 1 が変化するチェッカーボードパターンを書き込む
- (2) クロック信号を停止し中性子ビームを照射する
- (3) クロックとシフトレジスタの入力信号を入力し、保持値の読み出しと書き込みを同時に行う
- (4) (1)~(3) を繰り返す

今回の測定では、フリップフロップのエラーは SBU のみを考慮する。FPGA 内の FF は隣り合わせて配置されておらず、MBU が発生する確率は SBU に比べて極めて低いと考えられるからである。30 秒から 10 分毎に保持値を読み出した。表 2 に各条件ごとの測定回数と総測定時間を示す。

5. 測定結果

図 6 に観測されたシフトレジスタの出力波形の代表例を示す。今回の測定では 4 種類のエラーパターンが観測された。図 6(a) はフリップフロップで SBU が発生した際に得られる波形である。図 6(b) は縮退故障 (Stack-at Fault) であり、出力の論理値が 0 または 1 に固定されてしまう。論理値が 0, 1 で固定される故障をそれぞれ Stack-at 0 故障、Stack-at 1 故障と呼ばれる。周期的なバーストエラーは 500 段ごとに 0, 1 の値を初期値として保持させていたにも関わらず、出力では 500 段ではない間隔になってしまうエラーのことである。出力の間隔の変化に規則性はなく、ランダムなものであった。図 6(c) は出力が複数ビットに渡り消滅しているエラーである。このエラーはデータの信号の入出力に用いているパターンジェネレータ、ロジックアナライザで生じたエラーであると考えられるため、測定結果からは除外する。

縮退故障、周期的なバーストエラーは共にシフトレジスタを

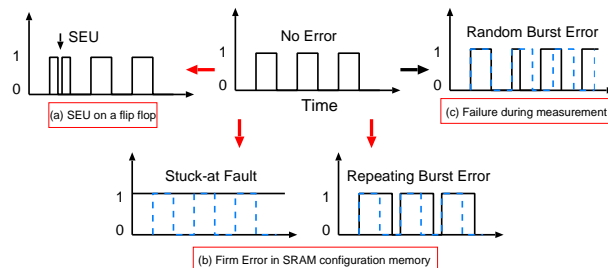


図 6 観測されたエラー

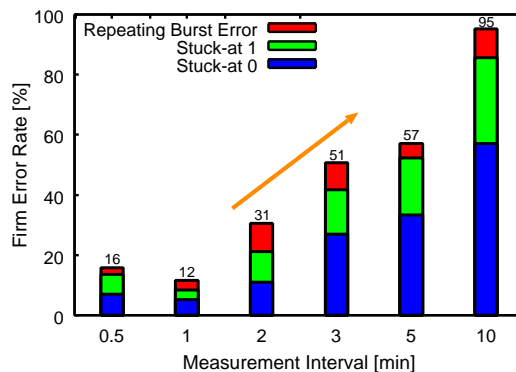


図 7 CRAM の各条件ごとのファームエラー発生率

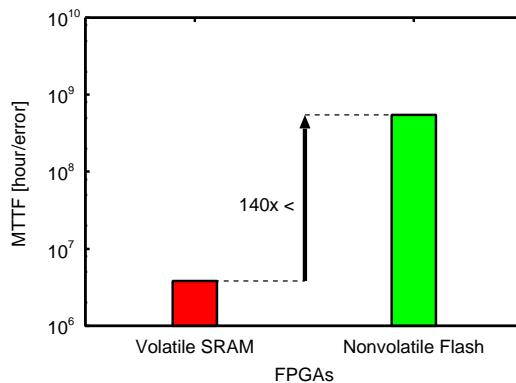


図 8 CRAM の MTTF

動作させるクロック信号を入力しても正常にシフト動作が確認できなかった。この故障が起こった場合には再起動を行い、コンフィグレーションデータを上書きすることで正常に動作したためこれらのエラーはファームエラーに分類する。縮退故障、周期的なバーストエラーはシフトレジスタ内の配線がエラーによって変更され、意図しない箇所まで短絡したことにより発生したと考えられる。

図 7 に SRAM 型 FPGA で発生した図 6(b) のエラー発生回数を各条件ごとにまとめたものを示す。今回の測定ではフラッシュメモリ型 FPGA ではファームエラーは 1 度も発生しなかった。一方で SRAM 型 FPGA では、全条件において Stack-at 0 の条件が最も高い割合を占めており、照射時間が増加するにつれてファームエラーの発生割合も増加することが確認出来た。照射時間を増加すると FPGA 内にエラーが蓄積し、シフトレジスタを動作させるさいに回路が故障する確率が増加するためであると考えられる。

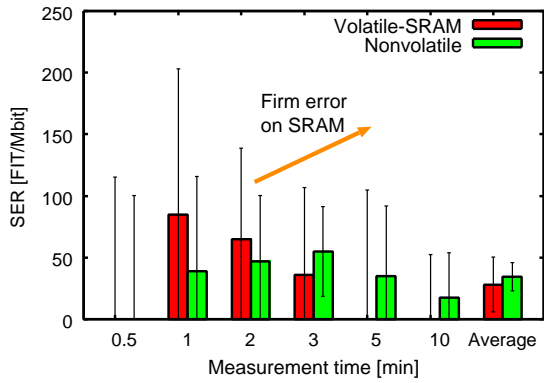


図9 各FPGAのフリップフロップのソフトエラー率

図8に各FPGAの平均故障時間(MTTF: Mean Time To Failure)を示す。ただし、フラッシュメモリ型FPGAではファームエラーが発生しなかったため、エラーが1回発生したものととしてグラフを記載している。MTTFは稼働を始めてから故障するまでの平均時間を示す。MTTFの値が大きいほどファームエラー耐性が高いことを表している。MTTFは式(1)で求められる。

$$MTTF [\text{Failure}/\text{hour}] = \frac{N_{\text{Error}} \times AF}{t_{\text{mt}}} \quad (1)$$

MTTFはファームエラー数 N_{Error} 、加速係数 AF 、総測定時間 t_{mt} を用いることで求める。フラッシュメモリ型FPGAのファームエラー耐性はSRAM型FPGAに比べ、少なくとも140倍の耐性を持つことが確認できた。メモリに用いられているSONOS構造はコア電圧である1.0Vよりも大きい電圧を印加しないと書き込みや消去を行うことが出来ない。一方でSRAMは粒子線により生成される電荷により簡単に反転してしまう。

図9に照射時間ごとのソフトエラー率(SER: Soft Error Rate)と全条件の平均ソフトエラー率を示す。エラーバーは信頼区間95%である。SERは1MbitあたりのFIT率を表しており、SERが低いほどソフトエラー耐性が高いことを表している。SERは式(2)で求められる。

$$SER [\text{FIT}/\text{Mbit}] = \frac{N_{\text{Error}} \times 10^9 \times 1024^2}{t/60 \times AF \times N_{\text{FF}}} \quad (2)$$

SERはフリップフロップで発生したソフトエラー数 N_{Error} 、照射時間 t [分]、シフトレジスタの段数 N_{FF} 、 AF を用いることで求められる。表3に今回得られた平均ソフトエラー率とベンダーのテストレポートの結果を示す。テストレポートでは4,000段のシフトレジスタに間隔の異なる2種類のチェッカーボードパターンを用いた動的試験を行っており、SERはそれぞれ460FIT/Mbitと230FIT/Mbitである[?]。一方で今回の測定で得られたSERはSRAM型、フラッシュメモリ型共に30FIT/Mbit程度であった。

この原因は測定方法の違いによるものと考えられる。今回用いた測定方法は静的試験であるのに対し、Microsemi社では動的試験で測定を行っている。動的試験の場合、静的試験に比べシフトレジスタのクロックが常に入力されており、SET

表3 フリップフロップのSERの比較

	CRAM	SER [FIT/Mbit]
測定結果 (静的試験)	SRAM	28.2
	フラッシュ	34.5
ベンダーテストレポート (動的試験)[?]	フラッシュ	460
ベンダーテストレポート (動的試験,slowed-down)[?]	フラッシュ	230

表4 CRAMのCSの比較

	CRAM	CS [/bit]
測定結果 (静的試験)	SRAM	6.68×10^{-15}
	フラッシュ	0
ベンダーテストレポート (動的試験)[?]	SRAM	$6.99 \times 10^{-15} \pm 18\%$

(Single Event Transient)パルスの影響を受けやすいため、SERに差が生じたと考えられる。この結果より、フリップフロップのソフトエラー耐性を向上させるには多重化回路を用いたり、ソフトエラーに強いフリップフロップを搭載する必要がある[?]

表4にCRAMのCS(Cross Section)と今回得られた結果をCSに変換したものを示す[?]。CSは式(3)で求められる。

$$CS [\text{/bit}] = \frac{N_{\text{Error}}}{N_{\text{bit}} \times AF \times t_{\text{mt}}} \quad (3)$$

CSはエッセンシャルビット数 N_{bit} 、 N_{Error} 、 AF 、 t_{mt} を用いて求めた。エッセンシャルビットとは、CRAMを構成するビットのうち搭載した回路に関係するビットを表しており、このビットが反転することで搭載した回路が変更されてしまう。ただし、エッセンシャルビットが反転することで必ず機能に影響を及ぼすとは限らない[?]。実験に用いたシフトレジスタのエッセンシャルビット数は3,326,260ビットである。結果を比較すると、CRAMのCSはベンダーのCSの誤差率の範囲内に収まっていることが確認出来た。CRAMのCSをより小さくするには、ECCや定期的にメモリスクラビングを行うことが必要である。

6. 結 論

本研究では、SRAM型とフラッシュメモリ型の2種類のFPGAに白色中性子を照射することでソフトエラー耐性を評価した。

初めにソフトエラーについて述べた。FPGAではASICと異なり、CRAM内でソフトエラーが発生することにより、保存している回路が変更されてしまうファームエラーが発生する。今回はCRAMで発生するファームエラーの耐性とFPGAに搭載されているフリップフロップで発生するソフトエラーの耐性を同時に評価した。

フリップフロップのソフトエラー率は2種類のFPGAに大きな差は見られなかったが、CRAMの平均故障時間においてはフラッシュメモリ型FPGAはSRAM型FPGAに比べ、少なくとも140倍長いことが確認出来た。これは、フラッシュメモリ型FPGAの持つSONOS構造がSRAMよりも放射線耐

性が高いためである。フラッシュメモリ型 FPGA は地上で長時間に渡り再書き込みを行わずに動作させることが可能であるが、SRAM 型 FPGA は再起動やメモリスクラビングを用いることで定期的に CRAM からエラーを取り除く必要がある。

謝辞

本研究は、JST-OPERA、JPMJOP1721 の支援を受けたものである。中性子照射測定は大阪大学核物理研究センターで行われたものであり、測定の際に有益な助言を頂いた福田光宏教授に深く感謝致します。