

[招待講演] 集積回路の信頼性—経年劣化とソフトエラーによる一時故障—

京都工芸繊維大学電子システム工学専攻 小林和淑

1 はじめに

電子回路は集積化により小型化，省電力化するとともにその信頼性を飛躍的に向上させた．数万本の真空管で構成された初期の電子計算機である ENIAC は真空管の耐久性の低さから 1 日に 1 個の真空管が壊れたと言われる．現在では微細化により集積度が上がり，高性能なシステムが 1 チップで実現されている．しかしシリコン集積回路は，一時故障や永久故障を全く起こさないわけではない．宇宙から降り注ぐ中性子線やパッケージ等の放射性不純物からの線により記憶素子の値が反転するソフトエラーによる一時故障や，BTI (Bias Temperature Instability) と呼ばれるトランジスタの経年劣化現象による永久故障は集積回路の信頼性を脅かす．本稿では BTI による経年劣化ソフトエラーによる一時故障について述べる．

2 BTI

BTI (Bias Temperature Instability) とは，MOS トランジスタをあるバイアス条件で放置しておくで発生する劣化現象のことである．図 1 に PMOS トランジスタ (PMOSFET) で発生する NBTI (Negative BTI) , PBTI (Positive BTI) 現象の概略図を表す．PMOSFET のゲート・ソース間電圧 (V_{gs}) が負 (ストレス状態) の時，PMOS のチャンネル中の正孔がゲート酸化膜中の欠陥にトラップされる．トラップされた電荷によりチャンネルを流れる電流量が減るため，トランジスタの特性が劣化する現象を BTI と呼ぶ．図 1 のバイアス条件では PMOS に NBTI が発生するが，NMOS は $V_{gs}=0$ のため PBTI は発生しない．この状態から入力を逆にすると，PMOS で NBTI の回復が起こり，NMOS では PBTI による劣化が起こる．ただし，PBTI は Hi-K 材料が酸化膜として使われる 40nm 以降のプロセスで NBTI と同様もしくはそれ以上の劣化を起こす．65nm までのプロセスではほぼ NBTI によるだけを考慮すれば良い．

BTI はストレス状態から外れると回復することも知られている．BTI は，24 時間 365 日電源を入れ続けなければならない電子機器では大きな問題を起こす．そのため，BTI 劣化をモデル化し，将来の劣化具合を予測する必要がある．劣化のモデル式として t^n と $\log t$ に比例する式 [1] が提案されているがどちらが正しいかの結論は出ていない．

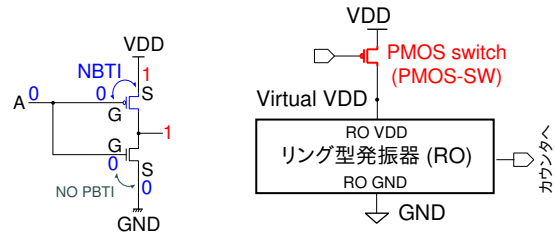


図 1: NBTI

図 2: 電流スターブ型リングオシレータ

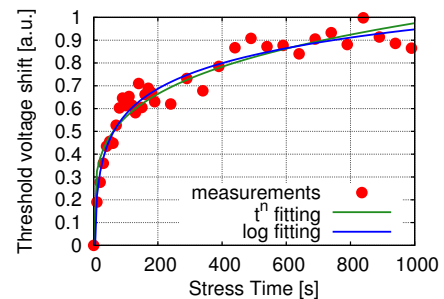


図 3: NBTI によるしきい値電圧変動量とそのフィッティング結果．

我々は回路レベルでの経年劣化を測定するために，図 2 に示す電流スターブ型リングオシレータを提案し経年劣化を実測した [2]．図 3 は測定結果を t^n と $\log t$ でフィッティングした結果である．どちらのフィッティングもほぼ同じ曲線に乗っていることがわかる．しかしこのフィッティングを元に長期の劣化を予測すると図 4 の通り大きな差異が生じる．10 年後の劣化予測値は t^n は $\log t$ の 6 倍以上も大きくなる．BTI による劣化は動作状態により大きく変動する．そのため，レプリカ回路を使って BTI による劣化をモニターし回路の動作を調整する機構も提案されている [3]．

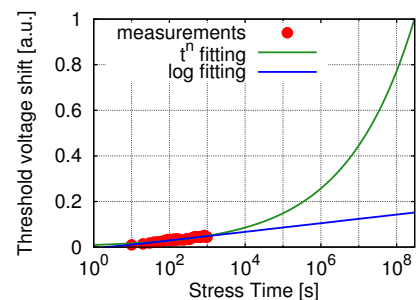


図 4: しきい値電圧変動量の 10 年後見積もり．

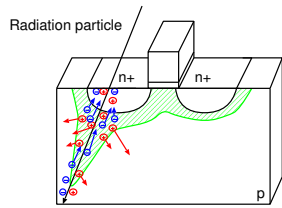


図 5: バルク基板でのソフトエラー

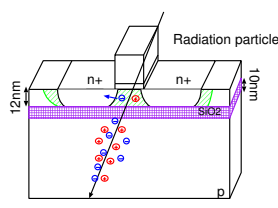


図 6: SOI 基板でのソフトエラー

3 ソフトエラー

半導体集積回路に中性子などの放射線が飛び込むことにより生じるシングルイベントにより、メモリの記憶値が反転するソフトエラーが発生する。その発生率は非常に小さいが、スーパーコンピュータなどの超大規模システム、自動車などの高い信頼性が求められるシステムでは、その対策は必須である [4]。ソフトエラー対策が必要な高信頼かつ高安全な半導体の市場は 2016 年度半導体市場全体の 1 割以上を占めており、今後その市場は膨らんでいくと予想されている。

10^9 時間当たりのエラー数を FIT (Failure in Time) という単位で表す。一般的な SRAM の中性子によるエラー率は数百から 1000FIT/Mbit であり、1Mbit あたり 100 年に一回エラーを起こす程度の頻度である。頻度が低いように感じられるが、例えば、1Mbit のメモリを使うシステムが 1 万台あるとすれば、ほぼ 3 日に 1 台の割合でエラーを起こすこととなる。また、微細化にともない、複数の記憶素子への同時反転も問題となっている。65nm プロセスで試作したフリップフロップではソフトエラーによるビット反転のうち、10%程度が複数ビットの同時反転 (Multiple Cell Upset, MCU) となっており、微細化にともない MCU 率は増加していくとされる [5]。

ソフトエラー率を低減するには様々な方法があるが、ここではプロセスレベルと回路レベルによる対策を挙げる。SOI 技術は従来のバルク技術に比べソフトエラー率を 1/10 から 1/100 に低減させるプロセス技術である。図 5, 6 にバルクと SOI のソフトエラー発生機構の違いを示す。バルクでは粒子線衝突で生じたバルク基板に生じた電荷がトランジスタに収集されるのに対し SOI では BOX (埋め込み酸化膜) 層に遮られ、収集されない。さらにトランジスタが BOX 層により分離されているため影響が複数のトランジスタに及ぼす確率が低くなり上述の MCU にも強靱となる。

回路レベルの対策としては冗長化が一般的に用いられる。図 7(左) は三重化 (TMR) FF と呼ばれる冗長化 FF である。3 つのラッチのうち一つがひっくり返っても多数決回路 (voter) により正しい出力を得ることができる。三重化は面積・遅延・電力が 3 倍以上となりオー

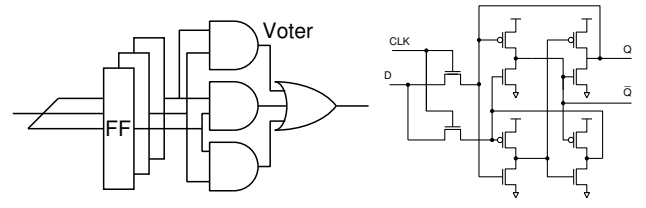


図 7: Triple Modular Redundancy (TMR) FF(左) と DICE 構造 (右)。

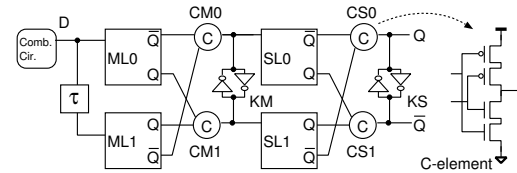


図 8: BCMDR FF.

バヘッドが大きすぎる。図 7(右) はスーパーコンピュータ用の CPU に用いられることの多い DICE 構造を示す。DICE は、2 重化したラッチの接続を組み替えることでひとつのノードが反転しても他のノードで元に戻すことができる。我々は Intel と Stanford 大によって提案された BISER を元に BCMDR FF (図 8) を提案した。この構造も三重化よりもオーバーヘッドが小さくソフトエラーに強い。

4 まとめ

本稿では、シリコン集積回路の信頼性を脅かす経年劣化と一時故障についてまとめた。集積回路は 10 年以上使われるものも多く経年劣化を予測し十分なマージンを見ておく必要がある。一方、一時故障の主要因は宇宙線により発生する中性子であり、いつ起こるかかわからないため、高信頼性を要求される回路では対策が必須である。

参考文献

- [1] T. Grasser et. al., "The Paradigm Shift in Understanding the Bias Temperature Instability: From Reaction-Diffusion to Switching Oxide Traps," IEEE Trans. on Elec. Dev., vol. 58, no. 11, 2011
- [2] 岸田亮, 古田潤, and 小林和淑, "電流スターブ型発振器を用いた周波数変動のしきい値電圧変換手法," in DA シンポジウム, 2017
- [3] Z. C. Lee, et. al., *ESSCIRC Conference 2016*, pp. 437-440.
- [4] K. Kobayashi, "Highly-reliable integrated circuits for ground and space applications," in *ASICON*, 2017(to be appeared).
- [5] N. Seifert, et. al., *IRPS*, 2008, pp. 181-186.