

[招待講演] 集積回路におけるソフトウェアの対策

古田 潤

京都工芸繊維大学

furuta@kit.ac.jp

1. 研究背景

集積回路の微細化に伴い、放射線による回路の一時的な誤動作であるソフトウェアが増加している。放射線が LSI を通過すると電子正孔対が生成され、生じた電荷がドリフトや拡散によって拡散領域に収集される(図 1)。結果としてトランジスタの出力が一時的に反転し、記憶素子の保持データが反転するのがソフトウェアである。一般的な製品では 100 年に 1 度程度の発生頻度であるが、車載向けなどの信頼性が必要な製品では 1000 倍程度耐性を向上させる必要がある。近年では複数のトランジスタが同時に反転する多ビットエラーの割合が増加しており、多重化回路などではソフトウェアを十分に抑制できなくなっている[1]。ソフトウェアのデバイスレベルの対策として、SOI(silicon on insulator)プロセスがある。SOI プロセスではバルクと基板が絶縁層で分離されているため、放射線による電荷の収集量を抑制できる(図 2)。バルクプロセスと比較してソフトウェアの耐性が高くなる。そのため、FDSOI プロセスでは多重化回路のような対策でなく、部分的に回路構造を変更し、データ反転に必要な電荷量を増加させることで大きくソフトウェア耐性を向上することができる。

本稿では FDSOI (Fully-depleted SOI)と回路技術を組み合わせたソフトウェア対策方法について報告する。そして中性子を利用した加速試験を用いたソフトウェアの評価結果を示す。

2. FDSOI プロセスのソフトウェア対策

FDSOI プロセスではトランジスタ直下に絶縁層があるため、放射線による電荷の収集量を抑制でき、バルクプロセスと比較してソフトウェアの耐性が高くなる。FD-SOI プロセスにおけるソフトウェア対策として提案されているスタック構造を図 3 に示す[2]。スタック構造ではトランジスタを直列に接続したインバータとする。この構造では遅延時間や消費電力が増加するが、放射線によってスタックした 2 つのトランジスタが寄生バイポーラによる導通を抑制し、ソフトウェア耐性が向上する。

3. 中性子加速試験によるソフトウェア評価

スタック構造をフリップフロップ(FF)に適用し、速度改善のために接続を変更した提案 FF(図 4)を 65nm FDSOI プロセスと 65nm バルクプロセスを用いて試作した[3]。試作したチップに中性子線を照射することで、バルクプロセス、FDSOI プロセスの FF と提案 FF のソフトウェア耐性の比較を行った。ソフトウェアの測定は大阪大学核物理センターの白色中性子線を利用して行った。測定時には測定結果を増やすために図 5 に示す複数の DUT ボードを用い、20 チップを同時に測定した。測定時には全 FF を 1 または 0 に初期化し、クロック信号を 1 に固定して 5 分間データを保持させた。値を読み出し、初期値と比較して反転している FF をソフトウェアとした。

FF と提案 FF のソフトウェア率(soft error rate: SER)の測定結果を図 6 に、バルクプロセスの FF の測定結果を図 7 に示す。FF では電圧の低下に伴い SER が増加している。一方で提案回路では電圧に対する SER の変化が小さく、0.4V では FF の 1/10 以下となった。1.2V の FF の SER は約 400FIT/Mbit であったため、バルクと比較して約 80 倍と高い耐性を実現できている。

4. まとめ

本稿では FD-SOI とスタック構造を利用した FF を設計し、ソフトウェア率を評価した結果を報告した。中性子線による加速試験により、提案する FF は FDSOI の FF と比較して 10 倍以上のソフトウェア耐性を持つことを確認した。

5. 参考文献

- [1] S. Jagannathan et. al, IEEE International Reliability Physics Symposium, pp. SE.5.1 - SE.5.5, 2011.
- [2] Makihara et. al, IEEE Transaction on Nuclear Science, vol. 52, no. 6, pp. 2524 - 2530, 2005.
- [3] J. Furuta et. al, IEEE Transaction on Nuclear Science, vol. 63, no. 4, pp. 2080 - 2086, 2016.

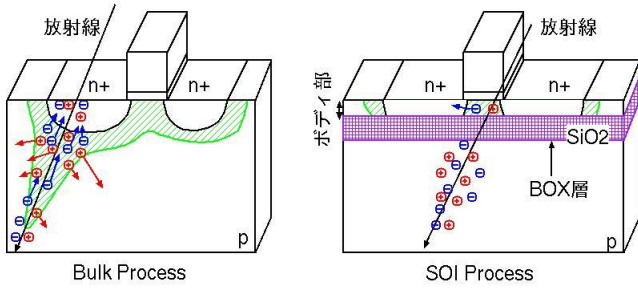


図1 ソフトエラーの発生原理。SOI プロセスではBOX層により電荷収集が抑制される。

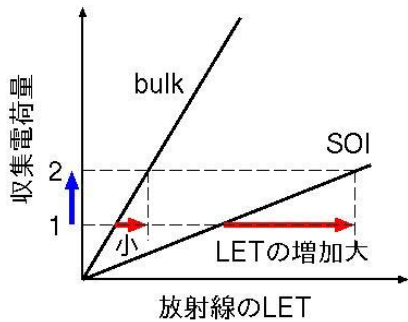


図2 SOI プロセスにおける放射線の線エネルギー付与と収集電荷量の関係概念図。

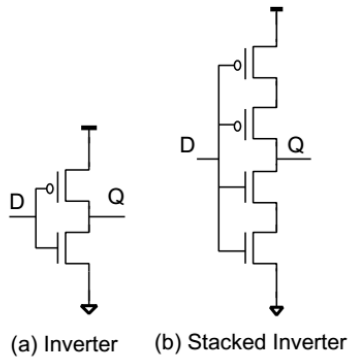


図3 インバータとスタック構造のインバータ。

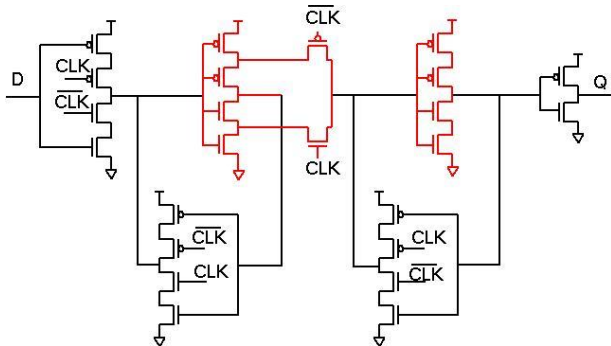


図4 提案する FF。インバータをスタック構造に変更し、トランSMISSIONゲートの接続を変更している。

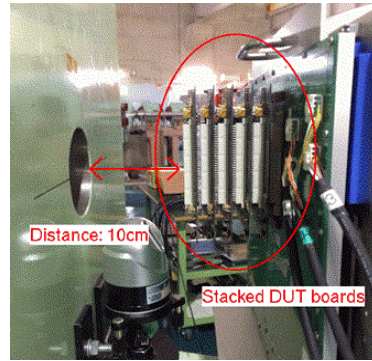
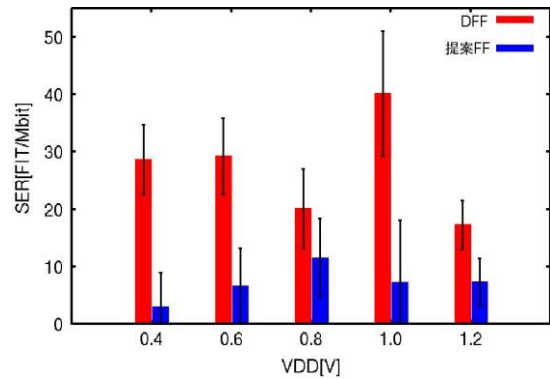
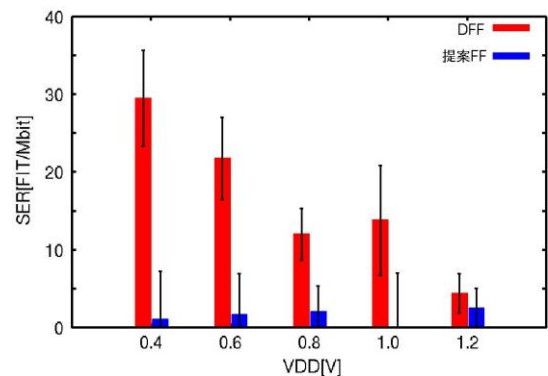


図5 白色中性子線による加速試験。



(a) DATA = 0 の場合のソフトエラー率



(b) DATA = 1 の場合のソフトエラー率

図6 中性子加速試験による評価結果 (FDSOI)

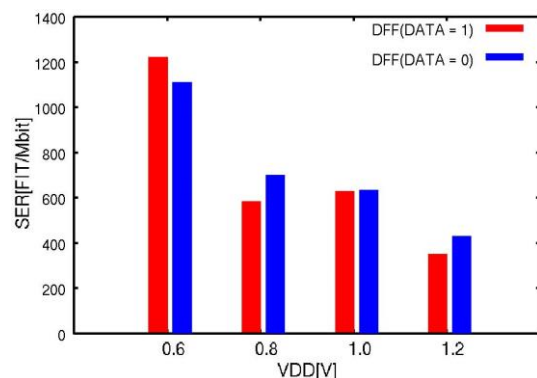


図7 FFのソフトエラー率評価結果 (バルク)