

Verilog-A を用いたランダムテレグラフノイズ発生用モジュールを適用したリングオシレータ回路における過渡解析

Transient Simulation of Random Telegraph Noise in Ring Oscillators by Using Verilog-AMS

駒脇 拓弥, 藪内 美智太郎, 岸田 亮, 古田 潤, 小林 和淑[†]

[†] 京都工芸繊維大学 電子システム工学専攻

Takuya Komawaki, Michitarou Yabuuchi, Ryo Kishida, Jun Furuta and Kazutoshi Kobayashi[†]

[†] Graduate School of Electronics, Kyoto Institute of Technology

1 はじめに

近年の急速な MOSFET の微細化にともない、様々な信頼性問題が顕在化してきている。トランジスタの特性ばらつきはとりわけ重大な問題であり、高信頼性が求められる集積回路において深刻な影響を及ぼす。特性ばらつきは、大きく静的な特性ばらつきと動的な特性変動に分けられる [1]。静的な特性ばらつきは、製品の製造時にトランジスタの特性が決まり、チャンネル部分に不純物をドーピングする際に不純物の数がばらつく RDF (Random Dopant Fluctuation) などがその要因として挙げられる。一方で、動的な特性変動の一つであるランダムテレグラフノイズ (Random Telegraph Noise: RTN) もスケールアップ問題として顕著になっている。

RTN は MOSFET のゲートに電圧が印加されたときに、ドレイン電流値が一時的に変動する現象である [2, 3, 4]。RTN の影響はこれまでに、CMOS イメージセンサ [5]、フラッシュメモリ [6]、SRAM [7] といった集積回路において深刻な影響を及ぼすことが報告されている。RTN の影響はゲート面積に反比例することが知られているため、ナノメートルプロセスでの設計では RTN の影響を正確に予測する手法が必要となる [8]。RTN はゲート酸化膜に生じた欠陥によるしきい値電圧変動としてモデル化されている [9]。RTN シミュレーションについてはすでに文献 [10], [11] などで行われているが、これらはいずれも単一の欠陥のみを取り扱っている。

本稿では、回路レベルにおける RTN シミュレーション手法を提案する。実際の MOSFET には複数の欠陥がゲート酸化膜に存在するため、複数の欠陥に

対応したモデルを構築した [12]。このモデルは、RTN によるキャリアの捕獲・放出による電流値変動がしきい値電圧の変動値によるものと扱っているため、電圧源として振る舞う。この電圧源を MOSFET のゲートに接続することで RTN を擬似的に引き起こすことができる。本稿ではリングオシレータを対象に、RTN による発振周波数の時間的な変動のシミュレーションを行った。本手法を用いることで、測定では観測できないような微小時間における RTN や、あるいは長時間にわたる RTN の影響を検証することが可能になる。

本稿の構成は以下の通りである。2 節で RTN の物理的モデルと回路シミュレーションに用いる RTN 発生用のモジュールの動作について説明する。3 節にてシミュレーション結果を示し、4 節で結論とする。

2 物理に基づく RTN モデルの回路シミュレーションへの適用

本節では、2.1 節で RTN の物理的なメカニズムと RTN のモデル化について述べ、2.2 節にて回路シミュレーションにおけるしきい値電圧の変動手法について説明する。本研究では可変電圧源を用いることで RTN の影響を再現しており、2.3 節で可変電圧源の詳細な動作について説明する。

2.1 RTN の物理的メカニズムとモデル化

RTN とは、図 1 に示すように、MOSFET のゲート酸化膜に生じた欠陥にチャンネルを流れるキャリアが捕獲、放出されることで生じる一時的な特性変動である。この特性変動はしきい値電圧の変動として表される [2]。図 2 はある 1 つの欠陥における、RTN に

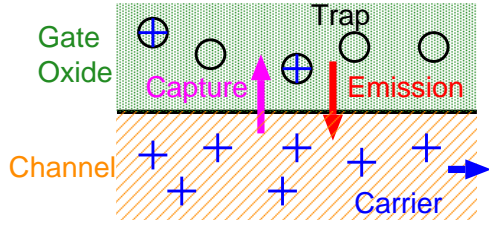


図 1: MOSFET における RTN のメカニズム.

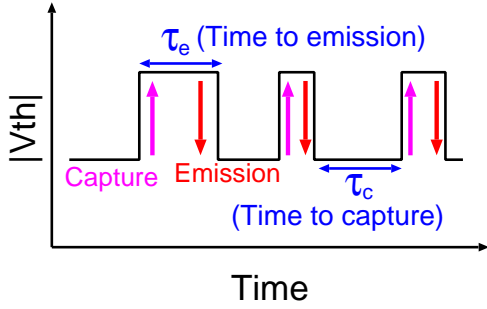


図 2: 単一の欠陥における RTN 起因のしきい値電圧変動.

起因するしきい値電圧の時間的変動の模式図である。欠陥の捕獲までの平均時間、放りまでの平均時間をそれぞれ τ_c および τ_e と呼ぶ。これらの時定数はゲート電圧 V_{GS} に依存し、 $|V_{GS}|$ が大きくなると τ_e は増加し、 τ_c は減少する [7]。1つの欠陥を対象とした場合、しきい値電圧は図2のように2状態をとり、しきい値電圧変動値は欠陥ごとに一定である [13]。キャリアを捕獲するとしきい値電圧は上昇し、捕獲されたキャリアが放出されるとしきい値電圧は元に戻る。複数の欠陥がゲート酸化膜中に存在する場合には、しきい値電圧は多段に変化する。ゲート酸化膜中の欠陥に基づくこの現象を CTM (Charge Trapping Model) と呼び、ここではこの CTM に基づいて RTN の回路シミュレーション手法を提案する。

CTM は欠陥数 n 、欠陥ごとのしきい値電圧変動値 ΔV_{th_trap} 、そして τ_c や τ_e といったパラメータを持つ。 n はトランジスタごとに異なり、ポアソン分布に従うことが知られている [14]。 n の期待値を N とすると、 n の分布の PDF (Probability Density Function, 確率密度関数) は式 (1) で表される。

$$P(n) = \frac{N^n e^{-N}}{n!} \quad (1)$$

ΔV_{th_trap} と τ はそれぞれ指数分布、対数一様分布に従う [9, 15]。 ΔV_{th_trap} の分布の PDF は式 (2) で表

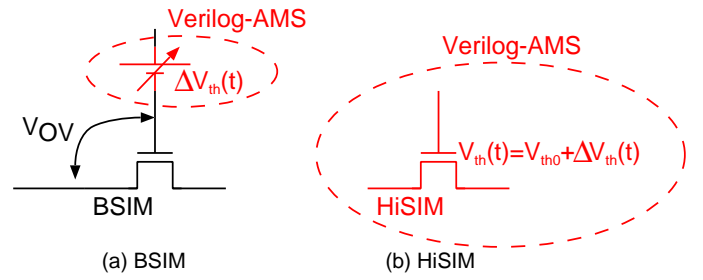


図 3: 回路シミュレーションにおけるしきい値電圧の変動手法。BSIM (a) では Verilog-A で記述された可変電圧源を接続し、 V_{OV} を動的に変動させる。HiSIM (b) ではしきい値電圧の変動を Verilog-A で記述し、動的にしきい値電圧を変化させる。

される。

$$P(\Delta V_{th_trap}, \eta) = \frac{1}{\eta} \exp\left(-\frac{\Delta V_{th_trap}}{\eta}\right) \quad (2)$$

ここで、 η は ΔV_{th_trap} の期待値である。これらのパラメータが各分布にしたがうものとして値を乱数により生成する。

2.2 回路シミュレーションにおける MOSFET への RTN の組み込み

上記のとおり、RTN は MOSFET のしきい値電圧が動的に変動する現象である。回路シミュレーションにおいてもしきい値電圧を動的に変動させなければならない。前もって変動する電圧波形を用意したうえでシミュレーションする方法も考えられるが、前述のように τ はゲート電圧に依存するため、この方法でシミュレーションを行うことは不可能である。ここでは、電圧波形に寄らないシミュレーション方法を提案する。

今回は MOSFET のモデルに BSIM (Berkeley Short-channel IGFET Model) と HiSIM (Hiroshima-University STARC IGFET Model) を用いる [16, 17]。BSIM ではデバイスパラメータを変化させることで、しきい値電圧を静的に変動させることができるが、このデバイスパラメータをシミュレーション中に変化させることはできない。そこで図3 (a) に示すように、Verilog-A で記述された可変電圧源を MOSFET のゲートに接続し、オーバードライブ電圧 ($V_{OV} \equiv V_{GS} - V_{th}$) を変化させることで RTN を擬似的に再現する。本稿では、この電圧源を“RTN モジュール”と呼ぶことにする。

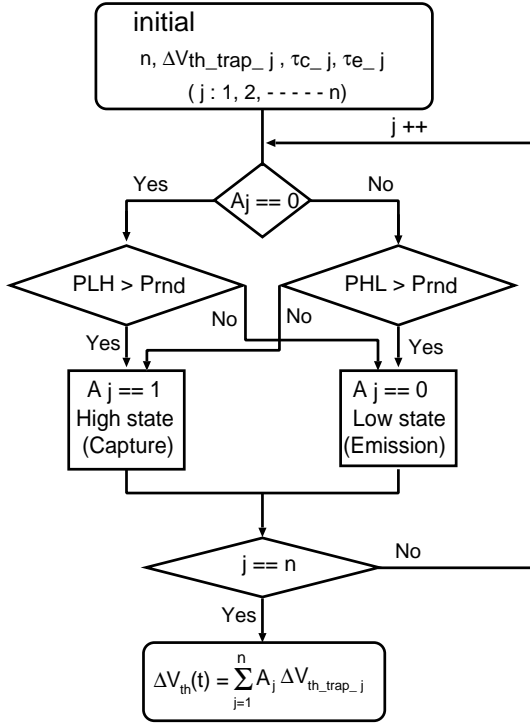


図 4: RTN モジュールのフローチャート. このフローチャートは欠陥ごとにループする.

一方, HiSIM は図 3 (b) のようにトランジスタのモデルが Verilog-A で記述されているためしきい値電圧を直接的かつ動的に変動させることができる. そのため, RTN モジュールと同じ動作をする記述を Verilog-A 内に書き加えることで, RTN によるしきい値電圧変動を再現する.

2.3 RTN モジュールの動作機構

本節では RTN モジュールの詳細について述べる. 図 4 は RTN 起因のしきい値電圧変動を計算するためのフローチャートである. RTN の計算に用いるパラメータは表 1 に示すとおりである. まず MOSFET の欠陥数 n , 欠陥のしきい値電圧変動値 V_{th_trap} , 欠陥の時定数 τ を初期化する. 次に, キャリアの捕獲・放出の判定を過去の状態に依存しないマルコフプロセスに基づいて行う. この工程を全ての欠陥に対して繰り返す. ある時刻における欠陥の状態が全て決まると, 捕獲されている欠陥の ΔV_{th_trap} に従って MOSFET 全体のしきい値電圧変動値 ΔV_{th} を計算する.

図 4 のフローについて詳細に述べる. 図 4 中において, A_j は j 番目の欠陥の捕獲状態を表す. “High state” は欠陥がキャリアを捕獲し, しきい値電圧が高い状態を指し, “Low state” は欠陥がキャリアを放出

表 1: RTN シミュレーションに用いるパラメータ.

パラメータ名	説明
L	ゲート長
W	ゲート幅
n	ゲート酸化膜中の欠陥数
N	n の期待値
D	単位面積あたりの欠陥数
ΔV_{th_trap}	欠陥ごとのしきい値電圧変動値
η	ΔV_{th_trap} の期待値
s	η の係数
τ_c	キャリアの平均放出時間
τ_e	キャリアの平均捕獲時間
T_{unit}	シミュレーションの計算ステップ
P_{LH}	キャリアの捕獲確率
P_{HL}	キャリアの放出確率

してしきい値電圧が低い状態を指す. 状態が “High” であれば $A_j = 1$ に, 反対に “Low” なら $A_j = 0$ となる. P_{LH} は状態が “Low” から “High” へと遷移する確率であり, P_{HL} はその逆である. P_{LH} と P_{HL} は式 (3), (4) により決定される.

$$P_{LH} = 1 - \exp\left(-\frac{T_{unit}}{\tau_c}\right) \quad (3)$$

$$P_{HL} = 1 - \exp\left(-\frac{T_{unit}}{\tau_e}\right) \quad (4)$$

T_{unit} はシミュレーションの単位時間である. 欠陥の状態はこの遷移確率 P_{LH} (または P_{HL}) と $0 \sim 1$ までの乱数 P_{rnd} を比較することで決まる. この流れを欠陥数 n だけくり返し, 全ての欠陥の状態を決定する. 全ての欠陥の状態が定まると式 (5) によって, ある時刻でのしきい値電圧変動値 ΔV_{th} が求まる.

$$\Delta V_{th}(t) = \sum_{j=1}^n A_j \Delta V_{th_trap-j} \quad (5)$$

3 リングオシレータにおける RTN 起因の発振周波数変動

本節では SPICE による過渡解析により, リングオシレータ (RO) の発振周波数の RTN による時間的な変化を観測する. MOSFET のモデルは 65 nm FDSOI (Fully-Depleted Silicon on Insulator) のものを用いる.

3.1 デバイスモデルに基づく RTN パラメータの設定

欠陥数 n の期待値 N は式 (6) で計算される.

$$N = D \times LW \quad (6)$$

D は単位面積あたりの欠陥数であり, 本稿では文献 [2, 14] を参考に $D = 4.0 \times 10^{-3} \text{ nm}^{-2}$ と仮定する. $\Delta V_{\text{th_trap}}$ の期待値 η は式 (7) より得られる.

$$\eta = \frac{s}{LW} \quad (7)$$

ここで, s は η の係数であり, 文献 [18] を参考に $s = 9 \text{ V} \cdot \text{nm}^2$ とした. τ は $10^{-9} \sim 10^9 \text{ s}$ にわたって対数等分布する [15]. $\Delta V_{\text{th_trap}}$ と τ の相関の有無は明らかにされていないため, 本稿では無相関であるとする.

3.2 発振周波数の時間的な変動

図 5 は BSIM を用いた場合の CMOS インバータによって構成された RO である. 各トランジスタのゲートには RTN モジュールを接続する. 今回は検証対象に 3 段の RO を用いる. これは, RO の段数が少ないほど RTN の影響が平均化されずより大きなばらつきを観測できるためである [13]. その他のシミュレーション条件は表 2 に示すとおりである. HiSIM の場合はモデル中に RTN を起こす Verilog-A の記述を付加し, RTN モジュールは取り外す.

図 6 (a) は BSIM における発振周波数変動の結果である. なお, 縦軸は発振周波数の最大値で正規化している. 発振周波数が時間的にランダムに変動し, 最大で 1.8 % ほど変動している. 図 6 (b) は HiSIM での結果であるが, こちらも BSIM と同様に周波数変動が見られる.

図 6 の RO におけるパワースペクトル密度 (Power Spectral Density: PSD) を図 7 に示す. パワースペクトル密度は波の周波数成分の強度を表したものであり, RTN によるノイズは $1/f^2$ に比例することが知られている [11]. BSIM, HiSIM のどちらも PSD の傾きが $1/f^2$ であるため, 周波数の変動が RTN に起因するものであることが確認できた.

4 結論

本稿では回路シミュレーションにおける RTN のシミュレーション手法の検討を行った. BSIM では, デバイスパラメータであるしきい値電圧をシミュレーション中に変化させることができないため, ゲートに RTN 発生用の外部電源を接続しゲートオーバードラ

表 2: RO のシミュレーション条件.

名前	パラメータ	値
ゲート長	L	60 nm
NMOS のゲート幅	W_n	260 nm
PMOS のゲート幅	W_p	450 nm
電源電圧	V_{DD}	0.5 V
シミュレーション時間		200 ns

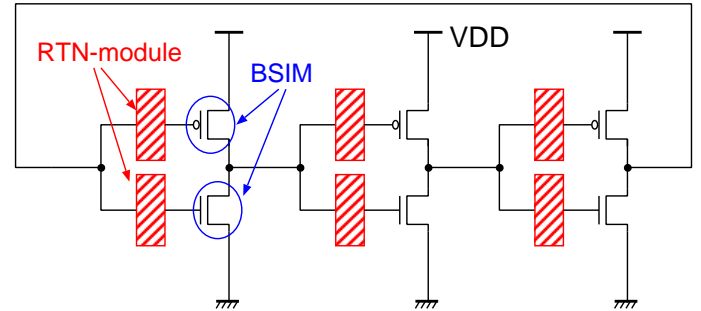


図 5: BSIM において, RTN モジュールを組み込んだ 3 段 RO. CMOS インバータにより構成.

イブ電圧を変化させる. HiSIM はトランジスタモデルのパラメータ自体が Verilog-A で記述されているため, RTN 発生用電圧源と同じ動作をする記述によりしきい値電圧を動的に変更できる.

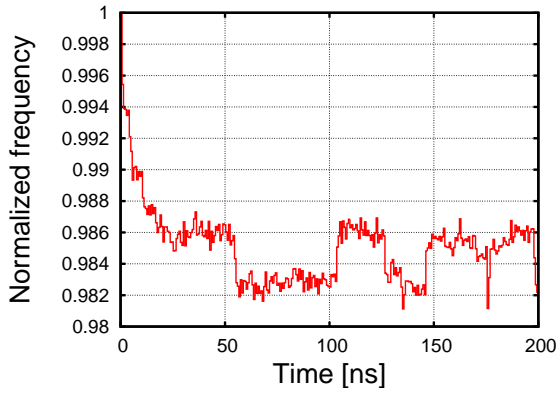
リングオシレータにおいて発振周波数の時間変化をシミュレーションしたところ, BSIM, HiSIM とともに付加した RTN を再現する Verilog-A モジュールの記述が起因により発振周波数が時間にランダムに変動することを確認した.

謝辞

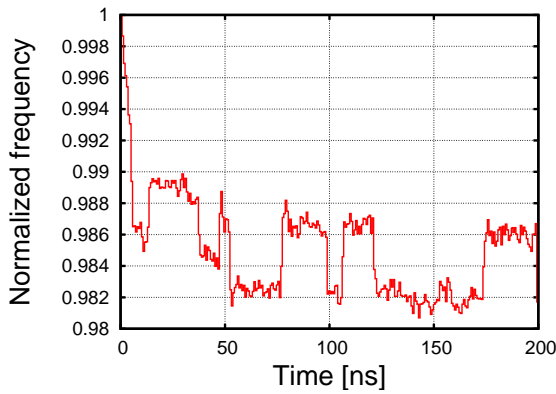
本研究で用いたトランジスタのモデルはルネサスエレクトロニクス社により提供されたものである. シミュレーションツールは東京大学大規模集積システム教育研究センターを通し, シノプシス株式会社の協力で行われたものである. 本研究はソニーセミコンダクタソリューションズ株式会社との共同研究と JSPS 科研費 15H02677 の助成を受けて実施したものである.

参考文献

- [1] N. Weste and D. Harris, “CMOS VLSI DESIGN. A circuits and systems perspective Forth Edition”, (2010).



(a) BSIM



(b) HiSIM

図 6: RO における発振周波数の時間変動. RTN の影響により, 発振周波数が時間的にランダムに変動している.

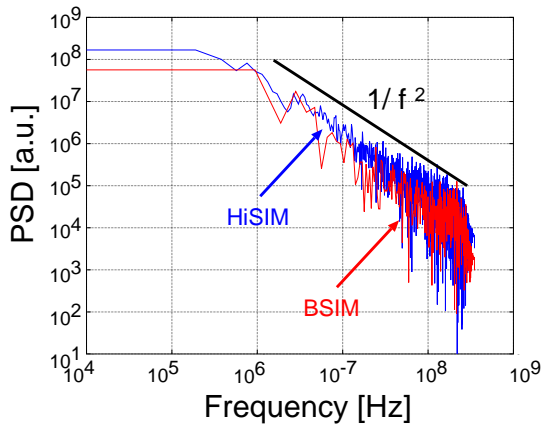


図 7: 図 6 の RO における周波数変動の PSD.

[2] T. Grasser, et al., “Recent advances in understanding the bias temperature instability”, *IEDM*, (2010), pp. 4.4.1–4.4.4.

[3] A. Oshima, et al., “Physical-based RTN mod-

eling of ring oscillators in 40-nm SiON and 28-nm HKMG by bimodal defect-centric behaviors”, *SISPAD*, (2016), pp. 327–330.

[4] 駒脇拓弥, 大島梓, 岸田亮, 小林和淑, “65nm FD-SOI プロセスにおけるランダムテレグラフノイズの測定と評価”, *回路とシステムワークショップ*, (2016), pp. 42–47.

[5] Jun-Myung Woo, et al., “Statistical analysis of random telegraph noise in CMOS image sensors”, *SISPAD*, (2008), pp. 77–80.

[6] H. Kurata, et al., “Random Telegraph Signal in Flash Memory: Its Impact on Scaling of Multilevel Flash Memory Beyond the 90-nm Node”, *IEEE Journal of Solid-State Circuits*, Vol. 42, No. 6, pp. 1362–1369, (2007).

[7] M. Tanizawa, et al., “Application of a statistical compact model for Random Telegraph Noise to scaled-SRAM Vmin analysis”, *VL-SIT*, (2010), pp. 95–96.

[8] J. Franco, et al., “Impact of single charged gate oxide defects on the performance and scaling of nanoscaled FETs”, *IRPS*, (2012), pp. 5A.4.1–5A.4.6.

[9] B. Kaczer, et al., “Origin of NBTI variability in deeply scaled pFETs”, *IRPS*, (2010), pp. 26–32.

[10] K. Ito, et al., “Modeling of Random Telegraph Noise under circuit operation Simulation and measurement of RTN-induced delay fluctuation”, *ISQED*, (2011), pp. 1–6.

[11] K. Ito, et al., “The impact of RTN on performance fluctuation in CMOS logic circuits”, *IRPS*, (2011), pp. CR.5.1–CR.5.4.

[12] 駒脇拓弥, 籾内美智太郎, 岸田亮, 小林和淑, “アナログ回路に応用可能な RTN シミュレーション手法の検討”, *DA シンポジウム*, (2016), pp. 181–186.

[13] T. Matsumoto, et al., “Impact of random telegraph noise on CMOS logic circuit reliability”, *CICC*, (2014), pp. 1–8.

- [14] M. Toledano-Luque, et al., “From mean values to distributions of BTI lifetime of deeply scaled FETs through atomistic understanding of the degradation”, *VLSIT*, (2011), pp. 152–153.
- [15] H. Reisinger, et al., “The statistical analysis of individual defects constituting NBTI and its implications for modeling DC- and AC-stress”, *IRPS*, (2010), pp. 7–15.
- [16] Y. Cheng and C. Hu, “*MOSFET Modeling & BSIM3 User’s Guide*”, Springer, (1999).
- [17] M. Miura-Mattausch, et al., “HiSIM: a MOS-FET model for circuit simulation connecting circuit performance with technology”, *Digest. International Electron Devices Meeting.*, (2002), pp. 109–112.
- [18] K. Takeuchi, et al., “Single-charge-based modeling of transistor characteristics fluctuations based on statistical measurement of RTN amplitude”, *VLSIT*, (2009), pp. 54–55.