65nm FDSOIプロセスにおける ランダムテレグラフノイズの測定と評価 Measurement and Evaluation of Impact of Random Telegraph Noise in a 65 nm FDSOI process

駒脇 拓弥, 大島 梓, 岸田 亮, 小林 和淑[†] †京都工芸繊維大学大学院 工芸科学研究科 電子システム工学専攻

Takuya Komawaki, Azusa Oshima, Ryo Kishida, Kazutoshi Kobayashi[†] †Kyoto Institute of Technology

1 はじめに

近年,集積回路素子の微細化により,コンピュー タの急速な発展が実現されている. 微細化によるメ リットには,低消費電力化,動作速度の向上などが主 に挙げられる. 一方で,ランダムテレグラフノイズ (Random Telegraph Noise: RTN)などにより信頼性 が低下する問題が浮上している.

RTN は MOSFET のチャネルを流れるキャリアが, ゲート酸化膜中の欠陥にランダムに捕獲, 放出される ことによってしきい値電圧が時間的に変動する現象 である.デジタル回路においては, イメージセンサ, フラッシュメモリ, SRAM のような微細な素子が高 密度に集積された回路に深刻な影響を及ぼすことが 報告されている [1]. これまで, RTN の影響は限定的 であり, 特に問題視されなかった.しかし, RTN によ るしきい値電圧の変動 $\Delta V_{\rm th}$ はゲートの面積に反比 例するため, 近年の微細化に伴って RTN の影響が拡 大している [2]. 今後は一般的なデジタル回路におい ても RTN の対策が必要になる.

本研究では65nm FDSOI プロセスにおいてリング オシレータの発振周波数を測定しデジタル回路にお けるRTN の電源電圧・基板バイアス・温度依存性の 評価および従来のバルク構造とFDSOI 構造におけ るRTN の影響の比較を行う. これらの測定環境やプ ロセスの変化がRTN に及ぼす影響を明らかにする ことが本研究の目的である.

本稿の構成は以下の通りである.2節で RTN の概 要を述べ、3節でリングオシレータにおける RTN に よる発振周波数変動の測定結果を示す.4節にて発振 周波数変動による RTN の測定環境の変化が RTN に



図 1: MOSFET における RTN のメカニズム



図 2:1 つの欠陥に対するしきい値電圧の変動.

及ぼす影響について評価し、5節で結論とする.

2 ランダムテレグラフノイズ (RTN)

RTN とは図1のように MOSFET のゲート酸化 膜中に生じた欠陥に、チャネルを流れるキャリアが捕 獲・放出されることで、しきい値電圧が増減する現象 である [3]. 欠陥がキャリアを捕獲するとしきい値電 圧は増加し、キャリアが放出されるとしきい値電圧 は増加前の状態に戻る.酸化膜中の欠陥がそれぞれ キャリアを捕獲・放出している状態の平均持続時間 をそれぞれ τ_c , τ_e と呼ぶ.10の欠陥におけるキャリ



図 3: NOR による 11 段リングオシレータ.



図 4: FDSOIの構造.

アの捕獲・放出により、しきい値電圧は図 2 のように 2 値をとり、しきい値電圧の変動 $\Delta V_{\rm th}$ も一定となる [4]. トラップが複数存在する場合は、しきい値電圧は 多段に変化する.

近年の微細化に伴って、デジタル回路において RTN の影響が見られ、しきい値電圧の増加による遅延時 間のゆらぎが確認されている [4][5].

3 リングオシレータ回路における RTN の測定

本節では 65nm FDSOI プロセスのリングオシレー タ回路において RTN による発振周波数変動を測定 し,評価を行う.

3.1 測定回路

測定回路は図3に示すようにNOR で構成された 11 段リングオシレータ (RO)を用いる.

3.2 FDSOI (Fully-Depleted SOI)

SOI (Silicon On Insulator) は MOSFET のソー スとドレインの直下に BOX (Buried Oxide) 層と呼 ばれる埋め込み酸化膜を持つ [6].

ここではバルク構造と FDSOI(Fully-Depleted SOI, 完全空乏型 SOI)-FET を用いる. 今回使用す るプロセスは SOI 層が 12nm と薄く, そのためチャ ネルに不純物をドーピングする必要がなくなり, 不 純物によるばらつきを抑えることができる.

文献 [7] によると、チャネルの不純物濃度を抑える ことで RTN の影響を抑制できるとされるが、従来の バルク構造では短チャネル効果のため、不純物濃度を 抑えることが難しい. しかし、この FDSOI 構造は前 述のように不純物濃度が非常に小さいため、バルク 構造よりも RTN を抑制できる. バルク、FDSOI プ



図 5: V_{DD}=0.65V における発振周波数変動の測定結 果.周波数が離散的に変化している.



図 6: 図 5 とは別の RO の発振周波数変動の測定結 果. 図 5 よりも変動率 $\Delta F/F_{\text{max}}$ が大きい.

ロセスにおける RTN の影響の違いを評価する.

3.3 測定方法

RO を 28µs 発振させ、1 つの RO に対しこの発振 を 15,000 回繰り返す.発振回数を記録するカウンタ が 16bit のため、15,000 回としている. 294 個の RO を対象に測定し RTN の影響を評価する.

3.4 測定結果

 $V_{\rm DD}$ =0.65V において測定した 294 個の RO のうち, 2 個の発振周波数変動の結果を図 5, 6 に示す. グラフの縦軸は、平均値で正規化している. 各 RO において、発振周波数が離散的に増減していることが確認できる.

図 5, 6 において発振周波数の最大値を F_{max} ,発振 周波数の最大変動量を ΔF とする. RTN の影響は発 振周波数の変動率 $\Delta F/F_{\text{max}}$ で表される. 図 5 の RO は $\Delta F/F_{\text{max}}=0.28\%$ であるのに対し,図 6 の RO で は倍以上の 0.66%も変動している. 同じ構造の RO であっても, RTN による発振周波数変動の影響は大



図 7: 図6 に示した発振周波数変動の PSD.



図 8: 図7にローパスフィルタをかけていない場合の PSD.

きく異なる.

図6のROにおけるパワースペクトル密度 (Power Spectral Density: PSD)を図7に示す.パワースペ クトル密度は波の周波数成分の強度を表したもので あり, RTNによるノイズは1/f²に比例することが知 られている[5]. PSDの傾きが1/f²であるため, RTN 起因の発振周波数変動であることが確認できる.図 7では信号にローパスフィルタをかけている.ローパ スフィルタとはある周波数以下の信号のみを通過さ せる回路である.ローパスフィルタがない場合では, 図8のように100Hz以上の周波数領域でノイズが大 きくのってしまう.図7では信号の利得が-3dBと なる周波数 (カットオフ周波数)を100Hzに設定して ローパスフィルタをかけている.

 $V_{\rm DD}$ =0.65V での 294 個の RO における $\Delta F/F_{\rm max}$ の分布を図 9 に示す. 2σ 点において, $\Delta F/F_{\rm max}$ = 0.58% となる. 2σ は約 96%の信頼区間であるため, 測定した 294 個の RO のうち約 4%の RO に 0.58%以



図 9: $V_{\text{DD}}=0.65$ V における $\Delta F/F_{\text{max}}$ の分布.

表 1: 各依存性の測定条件.

電源電圧	$V_{\rm DD} = 0.65, 0.75, 1.0 {\rm V}$
基板バイアス	FBB $(V_{\rm BN} = 0.2 \text{V}, V_{\rm BP} = -0.2 \text{V})$
	RBB $(V_{\rm BN} = -0.2V, V_{\rm BP} = 0.2V)$
温度	室温 (22°C), 80°C,150°C
プロセスの変化	バルク, FDSOI

上の発振周波数変動がある.

4 RTN の測定環境依存性の結果と評価

本節では、電圧・基板バイアス・温度の測定環境 やプロセスの変化が RTN に及ぼす影響を評価する. 測定条件は表1の通りである.

4.1 電源電圧依存性

図 6 と同じ RO において, V_{DD} =0.75, 1.0V として 測定した発振周波数変動の結果が図 10 である. 同じ RO であっても, V_{DD} を大きくすることで RTN によ る $\Delta F/F_{\text{max}}$ が減少する.

電源電圧を変えた場合の $\Delta F/F_{\text{max}}$ の分布を図 11 に示す. V_{DD} を大きくすることで、RTN の影響を抑 えることができる. 2σ 点において V_{DD} =0.65V では $\Delta F/F_{\text{max}}$ =0.58% であるが、 V_{DD} =1.0V では 0.35% と 6 割程度に減少する.

2 節にて述べたように、RTN によるしきい値電圧 の変動 ΔV_{th} は 1 つのトラップについて一定である. 電源電圧 V_{DD} に対する ΔV_{th} の比率 $\Delta V_{\text{th}}/V_{\text{DD}}$ を考 えると、 ΔV_{th} が一定であるため、分母の V_{DD} である 電源電圧を大きくすることで RTN の影響が抑制さ



図 10: 図 6 の RO において, V_{DD} を変えた場合の発振周波数変動の測定結果. V_{DD} を 0.75V から 1.0V に 大きくすることで, $\Delta F/F_{\text{max}}$ が 4 割程度減少する.

れる.

4.2 基板バイアス依存性

MOSFETの基板にバイアスを印加することで、し きい値電圧を制御することができる. 基板側にソー ス側に対して負電圧をかけて、しきい値電圧の実効 値を上げることをリバースバイアス (Reverse Boby Biasing: RBB) と呼び、反対に正電圧をかける手法を フォワードバイアス (Forward Boby Biasing: FBB) と呼ぶ.

基板バイアスを変化させた場合の発振周波数変動 の分布を図 12 に示す.フォワードバイアスとしては $V_{\rm BN} = 0.2$ V, $V_{\rm BP} = -0.2$ V を印加し, リバースバイ アスは反対に $V_{\rm BN} = -0.2$ V, $V_{\rm BP} = 0.2$ V を印加す る.フォワードバイアスを加えたときは $\Delta F/F_{\rm max}$ が 減少し, リバースバイアスをかけたときは $\Delta F/F_{\rm max}$ が増加する.

 2σ 点において、フォワードバイアス印加時には $\Delta F/F_{\text{max}}=0.43\%$ 、リバースバイアス印加時には



図 11: 電源電圧を変えた場合の $\Delta F/F_{
m max}$ の分布.



図 12: 基板バイアスを変えた場合の $\Delta F/F_{\text{max}}$ の 分布.

0.52%となる. 基板バイアスを印加していない場合は 0.48%である. フォワードバイアスをかけることで, 基板バイアスをかけてない場合より変動率が 10%ほ ど小さくなり RTN の影響を抑えることができる. 一 方, リバースバイアスをかけると基板バイアスをかけ てない場合から変動率が 10%ほど大きくなり, RTN の影響が拡大する.

前述のように、リバースバイアスを印加すること でしきい値電圧が増加し、動作時に流れるドレイン 電流量が減少する.電流量が減少すると、リングオ シレータ回路においては発振周波数が低下する.リ バースバイアスを印加すると $F_{\rm max}$ が低下するため、 $\Delta F/F_{\rm max}$ は増大し、RTN の影響が大きくなる.フォ



図 13: 温度を変えた場合の $\Delta F/F_{\text{max}}$ の分布.

ワードバイアスを印加した場合には、それとは反対 に F_{max} が増加するため、 $\Delta F/F_{\text{max}}$ は減少し、RTN の影響を抑えることができる [4]. フォワードバイア スにより ΔF が増大する可能性もあるが、 F_{max} の増 加に対してその寄与は小さいと考えられる.

4.3 温度依存性

温度を変えた場合の $\Delta F/F_{\text{max}}$ の分布を図 13 に 示す. 2 σ 点において、室温では $\Delta F/F_{\text{max}}$ =0.48%、 80°C と 150°C は $\Delta F/F_{\text{max}}$ =0.44%となった. 室温 と比較した場合、80°C と 150°C の両者ともに変動率 が 10%ほど小さくなる.

高温ではシリコン結晶中の格子振動によるキャリ アの散乱が活発になる [8]. 散乱により, キャリアの 移動度が低下し, 電流量が減少する. 4.2 節にて述べ たように, 電流量が減少しリングオシレータの最大 発振周波数 F_{max} も低下する. $\Delta F/F_{\text{max}}$ は増大する ため, 高温になるほど RTN の影響は大きくなる. 測 定結果はこの仮説と相反するものとなり, 温度を上 げることで RTN の影響が拡大されるわけではない.

4.4 バルク・FDSOI 構造の比較

MOSFET の構造を変えた場合の $\Delta F/F_{\text{max}}$ の分 布を図 14 に示す.構造をバルクから FDSOI にするこ とで、 $\Delta F/F_{\text{max}}$ が減少する. 2σ 点において、バルク では $\Delta F/F_{\text{max}}$ =0.50%であり、SOTB では 0.28%と なる. MOSFET の構造を FDSOI にし、チャネルの 不純物濃度を抑えることで RTN の影響を半分程度 に抑えられる.



図 14: MOSFET の構造を変えた場合の $\Delta F/F_{\text{max}}$ の分布.

5 結論

本稿では測定条件における RTN の影響について の測定と評価を行った.電源電圧を変えた場合, 0.65V のときは $\Delta F/F_{\text{max}}=0.62\%$ であるのに対し、1.0Vの ときには 0.35%と電源電圧を上げることで、変動率 を約60%に抑えられる.基板にフォワードバイアス を印加することで、周波数の変動を10%ほど低減で きるが、リバースバイアスを印加すると反対に周波 数の変動が10%増加する.温度依存性について見る と、室温では $\Delta F/F_{\text{max}}=0.48\%$ であったのが 150°C では0.44%となり、測定時の温度を上昇させることで RTN の影響が大きくなることはなく、温度依存性は 見られない. 150°C の高温でも RTN の影響が増大す るわけではないため、実用上は温度はRTN に深刻な 影響をもたらさないと考えて良い. MOSFETの構造 を従来のバルク構造から FDSOI 構造にすることで RTN の影響を 50% 近く抑えられる. 以上より. 測定 環境やプロセスを変えることで RTN の影響を抑え ることができる.

参考文献

- T. Matsumoto, K. Kobayashi, H. Onodera, "Impact of Random Telegraph Noise on CMOS Logic Delay Uncertainty" International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems, Mar., 2013
- [2] N. Tega, H. Miki, Zhibin R., C.P. D'Emic, Y. Zhu, D.J. Frank, M.A. Guillorn, Dae-

G. Park, W. Haensch, K. Torii, "Impact of HK / MG stacks and future device scaling on RTN" *Reliability Physics Symposium (IRPS)*, 2011 IEEE International, pp.6A.5.1-6A.5.6, Apr., 2011

- [3] T. Grasser, B. Kaczer, W. Goes, H. Reisinger, T. Aichinger, P. Hehenberger, P.-J. Wagner, F. Schanovsky, J. Franco, P. Roussel, M. Nelhiebel, "Recent advances in understanding the bias temperature instability" *Electron Devices Meeting (IEDM), 2010 IEEE International*, pp.4.4.1-4.4.4, Dec., 2010
- [4] T. Matsumoto, K. Kobayashi, H. Onodera, "Impact of Random Telegraph Noise on CMOS Logic Circuit Reliability" *Custom Integrated Circuit Conference*, 2014 IEEE International, pp.14-4, Sept., 2014
- [5] K. Ito, T. Matsumoto, S. Nishizawa, H. Sunagawa K. Kobayashi, H. Onodera, "The Impact of RTN on Performance Fluctuation in CMOS Logic Circuits" *Reliability Physics Symposium* (*IRPS*), 2011 *IEEE International*, pp.CR.5.1-CR.5.4, Apr., 2011
- [6] R. Tsuchiya, M. Horiuchi, S. Kimura, M. Yamaoka, T. Kawahara, S. Maegawa, T. Ipposhi, Y. Ohji, H. Matsuoka, "Silicon on thin BOX: a new paradigm of the CMOSFET for lowpower high-performance application featuring wide-range back-bias control" *Electron Devices Meeting (IEDM), 2004 IEEE International*, pp.631-634, Dec., 2004
- [7] K. Abe, A. Teramoto, S. Watabe, T. Fujisawa, S. Sugawa, Y. Kamata, K. Shibusawa, T. Ohmi, "Experimental Investigation of Effect of Channel Doping Concentration on Random Telegraph Signal Noise" *Japanese Journal of Applied Physics*, Vol. 49, No. 48, pp.04DC07, 2010
- [8] T. Ishihara, D. Matsushita, K. Tatsumura, Y. Nakabayashi, J. Koga, K. Kato, "Novel Carrier-Mobility Modeling with Interface States for MOSFETs with Highly Scaled Gate

Oxide Based on First-Principles Calculations" Electron Devices Meeting (IEDM), 2007 IEEE International, pp.101-104, Dec., 2007