

# 13.56MHz スwitching動作に向けた SiC MOSFET と JFET の動特性の評価

## Evaluation of Dynamic Characteristics of SiC MOSFET and JFET for Switching at 13.56MHz

稲森 奨

古田 潤

小林 和淑<sup>†</sup>

<sup>†</sup>京都工芸繊維大学 工芸科学研究科 電子システム工学専攻

Sho INAMORI

Jun FURUTA

Kazutoshi KOBAYASHI<sup>†</sup>

<sup>†</sup>Kyoto Institute of Technology

### 1 はじめに

近年 SiC, GaN などのワイドギャップ半導体によるパワーデバイスを用いた電力変換回路は、電力損失の大幅な削減が可能であることから幅広い利用が検討されている [1]。自動車のモータ駆動などの分野では、回路の小型軽量化が要求される。その方法としてスイッチング周波数の高周波化が挙げられる。

本稿では ISM バンドのひとつである 13.56MHz でのスイッチング動作を目指す。特に高速スイッチング動作が可能である SiC MOSFET と JFET に着目し動特性の測定、評価を行う。またスイッチング動作の高速化の手法としてゲートドライバの集積化を検討する。

### 2 動特性の測定と評価

ここでは、SiC MOSFET と JFET の動特性を測定し評価する。

#### 2.1 測定回路

SiC MOSFET と JFET の動特性をダブルパルス試験により測定する [2]。図 1 に測定回路と入力パルスの概形を示す。SiC MOSFET として、耐圧 1,200V のモデル (ROHM 社製, SCT2450KE) を使用した。ゲートドライバとして、RF 絶縁を利用したもの (Silicon Labs 社製, Si8234) を使用した。ゲートドライバの出力電圧は 0~15V である。ゲートドライバの GND は、MOSFET に対して測定を行う場合は短絡し、JFET に対して測定を行う場合は 12V の電源に接続することで  $V_{GS}$  を  $-12\sim 3V$  とする。測定時のドレイン電流は 1A とした。ゲート抵抗  $R_G$  を  $1\sim 100\Omega$  で変化させ測定を行った。

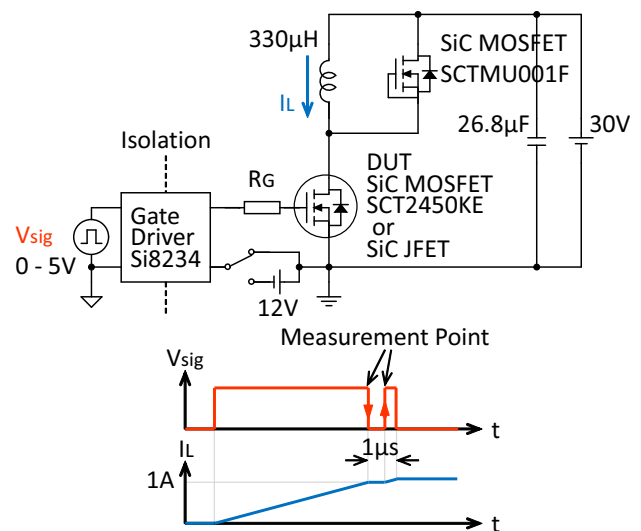


図 1: ダブルパルス試験による動特性測定回路

#### 2.2 測定結果と評価

MOSFET, JFET の  $V_{GS}$  の測定結果をそれぞれ図 2 と図 3 に示す。JFET は、すべてのゲート抵抗において MOSFET よりスイッチング速度が速く、ゲート抵抗が  $20\Omega$  のとき立ち下がり時間、立ち上がり時間はそれぞれ 14%, 6% である。遷移時間はゲート駆動部の出力抵抗とトランジスタの入力容量の積で表され、JFET の入力容量が MOSFET より小さく、 $V_{DS} = 10V$  において  $1/4$  だからである。

MOSFET, JFET の  $V_{DS}$  の測定結果をそれぞれ図 4 と図 5 に示す。JFET はゲート抵抗の増大により  $V_{GS}$  のスイッチング速度が低下しにくいため、 $V_{DS}$  のスイッチング速度も低下しにくく、ゲート抵抗  $100\Omega$  のとき立ち上がり時間、立ち下がり時間はそれぞれ MOSFET の 53%, 28% である。

MOSFET を 13.56MHz でスイッチング動作させた場合、ゲート抵抗  $1\Omega$  でも  $V_{GS}$  の立ち下がり時間、立ち上がり時間がそれぞれ半周期である  $37\text{ns}$  の 20%、25% を占めてしまう。13.56MHz におけるスイッチング動作を実現するためには、高速化が必要である。

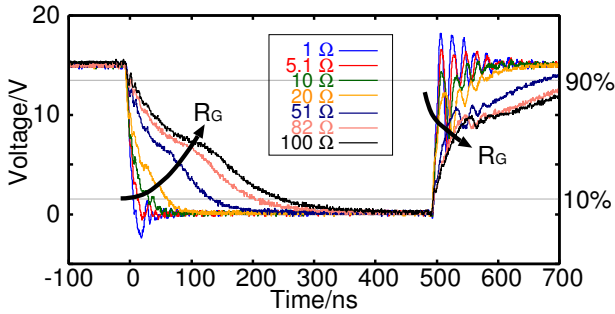


図 2: SiC MOSFET の  $V_{GS}$  の波形

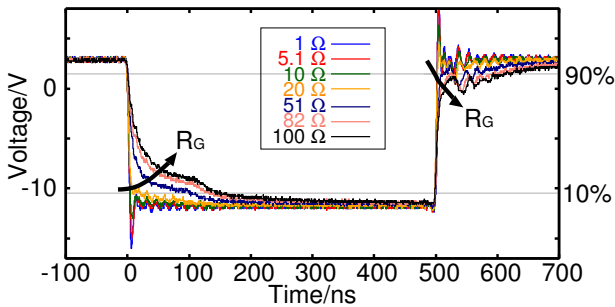


図 3: SiC JFET の  $V_{GS}$  の波形

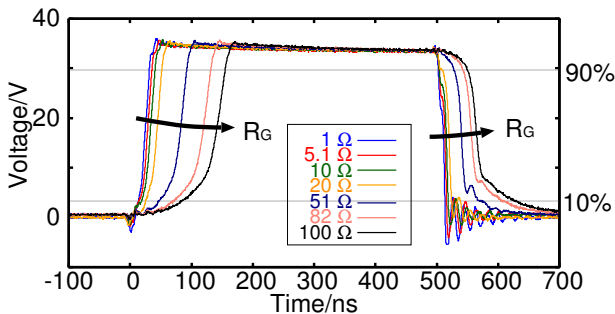


図 4: SiC MOSFET の  $V_{DS}$  の波形

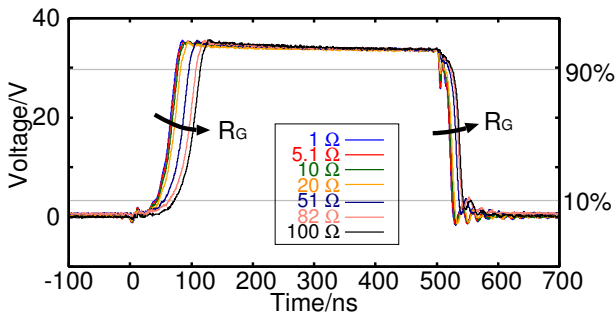


図 5: SiC JFET の  $V_{DS}$  の波形

### 3 高速スイッチング動作のための検討

SiC JFET は入力容量が小さく  $V_{DS} = 10\text{V}$  において MOSFET の  $1/4$  であるため、JFET により MOSFET を駆動することでスイッチング動作の高速化が可能である [3]。

#### 3.1 SiC JFET プリドライバを用いた回路

JFET によるプリドライバを用いた回路を図 6 に示す。この回路の動作を説明する。制御信号  $V_{sig}$  がアイソレータで絶縁されゲートドライバに入力される。ゲートドライバ内では nMOS インバータにより電圧レベルが変更され、CMOS インバータにより電流が増幅される。プリドライバのハイサイドには  $V_{sig}$  が、ローサイドには  $\overline{V_{sig}}$  が入力され、それぞれの JFET が高速にターンオン、ターンオフし MOSFET を駆動する。

JFET を駆動するゲートドライバを  $32\text{V}$  高耐圧  $0.18\mu\text{m}$  プロセスにより設計した。JFET はゲート抵抗の増大によるスイッチング速度への影響が小さいため出力バッファの並列数を少なく設計でき、消費電力を低減できる。MOSFET を駆動するゲートドライバの出力段には 2,040 並列のインバータを搭載した。JFET のゲートドライバの出力段には 480 ( $\approx 2,040/4$ ) 並列のインバータを搭載した。

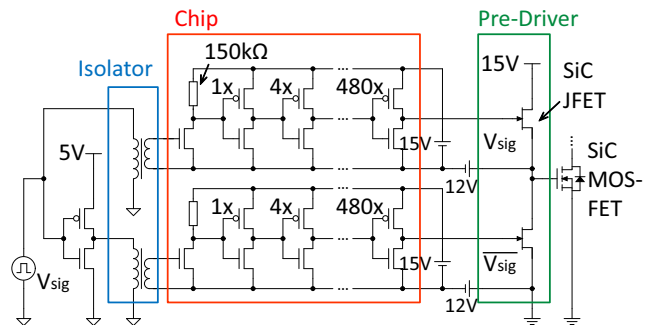


図 6: SiC JFET プリドライバを用いた回路

#### 3.2 SiC JFET プリドライバを用いた場合の動特性

JFET を駆動するゲートドライバは現在製造中である。設計したゲートドライバの代わりにディスクリート品のゲートドライバを用いて、JFET プリドライバを用いた場合の MOSFET の動特性をダブルパルス試験により測定する。JFET プリドライバを用いた動特性測定回路を図 7 に示す。主回路のインダクタやキャパシタの容量、MOSFET やゲートドライバのモデル、入力パルスの幅は 2 章と同様である。

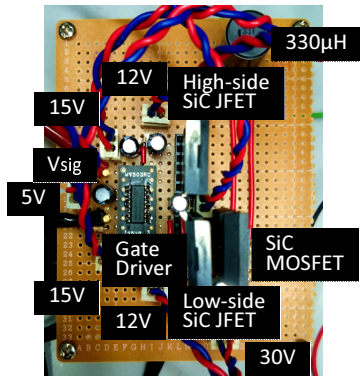
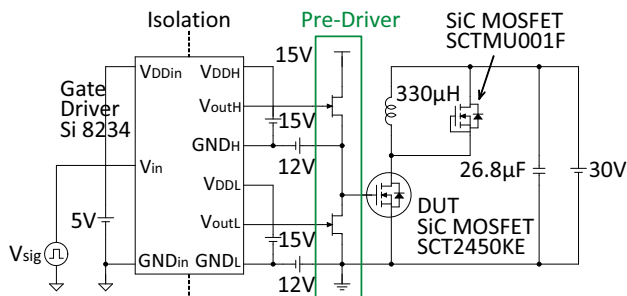


図 7: SiC JFET プリドライバを用いたダブルパルス試験による動特性測定回路

$V_{GS}$ ,  $V_{DS}$  の測定結果を図 8 と図 9 に示す。プリドライバの有無による波形の変化を比較するため、図 1 の回路でゲート抵抗  $1\Omega$  としたときの測定結果を示している。プリドライバを用いた場合、用いない場合と比較して  $V_{GS}$  の立ち下がり時間は 4.6 倍、 $V_{DS}$  の立ち上がり時間は 2.5 倍となり、ターンオフ遷移時間は遅い。オフ時の  $V_{GS}$  の波形が不安定である。プリドライバにおけるハイサイドの JFET はソースが接地されていないため、 $V_{GS}$  が変動しやすいからであると考えられる。 $V_{GS}$  の立ち上がり時間は 0.40 倍、立ち下がり時間は 0.85 倍となり、ターンオン遷移時間は速い。しかしターンオン時の  $V_{GS}$ ,  $V_{DS}$  のリングングの振幅はそれぞれ 5.2 倍、3.5 倍である。

#### 4 結論

SiC MOSFET と JFET の動特性の測定を行った。JFET はすべてのゲート抵抗において MOSFET よりスイッチング速度が速く、ゲート抵抗が  $20\Omega$  のとき  $V_{GS}$  の立ち上がり時間、立ち下がり時間はそれぞれ 6%、14% である。

スイッチング動作の高速化の手法としてゲートドライバの集積化を検討した。JFET を駆動するゲートドライバを 32V 高耐圧プロセスにより設計した。ディスクリート品のゲートドライバと JFET プリド

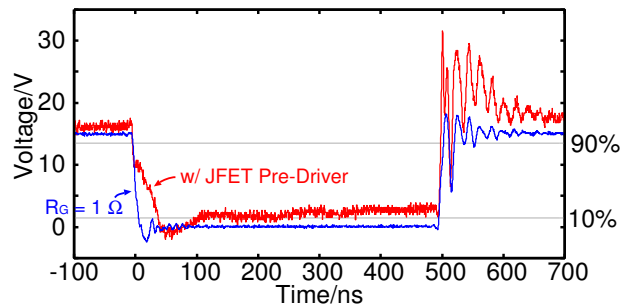


図 8: SiC JFET プリドライバを用いた場合の SiC MOSFET の  $V_{GS}$  の波形

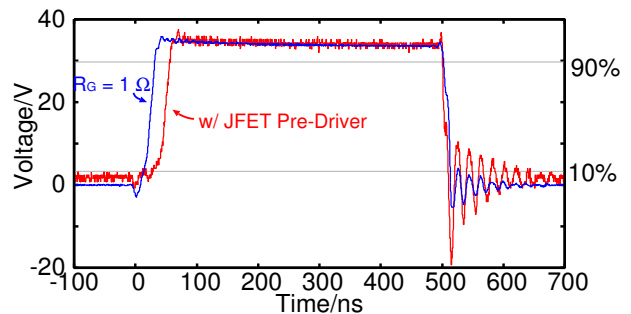


図 9: SiC JFET プリドライバを用いた場合の SiC MOSFET の  $V_{DS}$  の波形

ライバを用いた場合、ターンオフは 4.6 倍遅く、ターンオンは 2.5 倍速いがリングングが 2.5 倍大きくなる。

今後は JFET のゲートドライバが完成次第、JFET プリドライバを用いた回路を使用して MOSFET の動特性の測定と評価を行い、13.56MHz でのスイッチング動作を目指す。

#### 謝辞

本研究は、独立行政法人科学技術振興機構、京都地域スーパークラスタープログラムによる。

#### 参考文献

- [1] 日経エレクトロニクス. “次世代パワー半導体 II 飛躍する SiC と GaN”, pp.8-28, 2013.
- [2] D. Ninomiya and H. Fujita, et.al. “Development of A SiC-MOSFET Model for Designing Power Converters” *IEE Japan*, SPC-15-7, MD-15-7, Jan., 2015.
- [3] K. Nagaoka and T. Hikiyara, “A Study on High-speed Gate Driver for SiC MOSFET by GaN HEMT” *IEE Japan*, EDD-14-059, SPC-14-121, Oct., 2014.