

高いSEU/SET耐性を持つ省面積・低遅延二重化フリップフロップ

An Area/Delay Efficient Dual-modular Flip-Flop with Higher SEU/SET Immunity

古田 潤[†] 小林 和淑[‡] 小野寺 秀俊[†]
[†] 京都大学大学院情報学研究科 通信情報システム専攻
[‡] 芸繊維大学大学院工芸科学研究科 電子システム工学専攻

Jun FURUTA[†] Kazutoshi KOBAYASHI[‡] Hidetoshi ONODERA[†]
[†]Department of Communications and Computer Engineering, Kyoto University
[‡]Graduate School of Science and Technology, Kyoto Institute of Technology

1 はじめに

プロセスの微細化に伴い、ソフトエラーに代表される一過性のエラーが増加している。ソフトエラーは宇宙空間やSRAMの問題であったが近年では地上でもソフトエラーの対策が必要となってきた。地上でのソフトエラーの主要因は高エネルギー中性子である。高エネルギー中性子が基板のSi原子に衝突すると2次イオンが生じる。2次イオンが拡散層の近傍を通過すると拡散や空乏層の電界によるドリフトにより拡散層に電子または正孔が集まる。この電子または正孔によりドレインの電荷が変化して出力が反転する。

ソフトエラーは高エネルギー中性子が衝突する場所によって2つに分けられる。1つはFF、SRAMに衝突して直接保持データを反転させるSEU(Single Event Upset)であり、もう1つは組み合わせ回路部分に衝突してパルスが発生させるSET(Single Event Transient)に分類される。FFのSEUによるエラー率は $1e-3$ FIT付近まで増加している。FITとは $1e9$ 時間にエラーが発生する回数の期待値であり、100万個のFFが使用されるチップでは約100年間使用すると1度エラーが起こる計算となる。SETの場合ではパルスがラッチに取り込まれることでエラーとなるためSEUによるエラー率に比べて小さくなる。しかし高いソフトエラー耐性を持つ回路を実現する場合、SEUのみでなくSETによるエラーの対策も不可欠である。

SEU、SETによるエラーを軽減するためにFFを冗長化した複数モジュラーFFが使用される。複数モジ

ュラーFFを用いた回路構成として、組み合わせ回路も3重化するTMR(Triple Modular Redundancy)、組み合わせ回路を3重化せずSETパルスを遅延素子を挿入して除去する遅延挿入TMRがある[1, 2]。TMRは面積のオーバーヘッドが大きく、遅延挿入TMRは遅延素子による時間のオーバーヘッドが大きい。

本稿ではまず回路シミュレーションからSET、SEUの発生頻度を求め、複数モジュラーFFのソフトエラー率(SER)を見積もる。次にSERの見積もりにより判明した2重化FFのソフトエラーに弱い部分を修正した提案回路の D^3MR FFと ED^2MR FFを紹介し、遅延挿入TMRと提案回路の遅延時間、面積のオーバーヘッドの比較を行う。その結果、提案回路の ED^2MR FFが遅延時間、面積のオーバーヘッドを小さく抑えられることを確認した。

本稿の構成は以下の通りである。2節で複数モジュラーFFのSERについて述べる。3節で提案回路の構造について述べ、DTMRとの遅延時間と面積のオーバーヘッドの比較を行う。4節でまとめを述べる。

2 複数モジュラーFF

2.1 複数モジュラーFFの回路構造

図1は一般的なTMR回路である[1]。組み合わせ回路、Voterと呼ばれる多数決回路を含めた全てを3重化している。複数のラッチが同時に反転しない限りエラーとならないため、エラー耐性は非常に高い。しかし全ての部分を3重化しているため普通の非冗長

FF に比べ回路規模が 3 倍以上となる。

図 2 は遅延挿入 TMR である [2]。2 つの遅延素子によって組み合わせ回路に生じた SET パルス除去している。Voter で生じた SET パルスも次段の遅延素子によって除去されるため、スレイブラッチの後に 3 重化せずに接続される。TMR に比べ回路規模は小さいが 2 つの遅延素子によって遅延時間が増大する。

図 3 は C-element と Weak Keeper を使用した遅延挿入 DMR(DDMR、BISER) である [3]。C-element と Weak Keeper は入力異なる場合では直前の値を保持するため、ラッチ 1 つの保持データが反転してもエラーとならない。組み合わせ回路に生じた SET パルスも遅延素子によって除去される。回路規模は DTMR と比べても小さく、遅延素子も 1 つであるため遅延時間も DTMR ほど大きくならない。

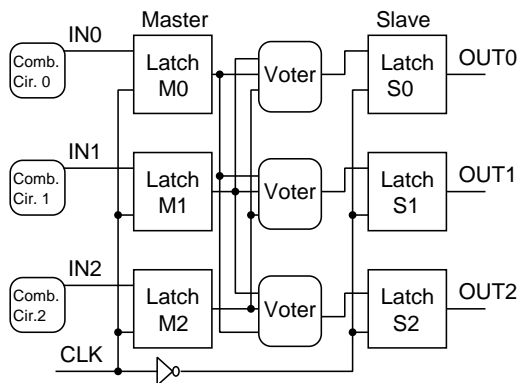


図 1: 一般的な TMR FF

2.2 複数モジュラー FF の SER の見積もり

90nm プロセスのトランジスタパラメータを用いて回路レベルでソフトエラーを見積もる。使用した数式、パラメータについて説明する。

地上におけるソフトエラーの主要因は高エネルギー中性子である。高エネルギー中性子が基板の Si 原子に衝突すると 2 次イオンが生じる。2 次イオンが拡散層の近傍を通過すると拡散や空乏層の電界によるドリフトにより拡散層に電子または正孔が集まる。この高エネルギー中性子による電流を Single Exponential Model(式 (1)[4]) を用いて表す。

$$I(t) = Q \frac{2}{T\sqrt{\pi}} \sqrt{\frac{t}{T}} \exp\left(\frac{-t}{T}\right) \quad (1)$$

T はプロセスによって決まる時定数であり、今後減少していくと予想されている。 $T = 20\text{ps}$ の場合、式

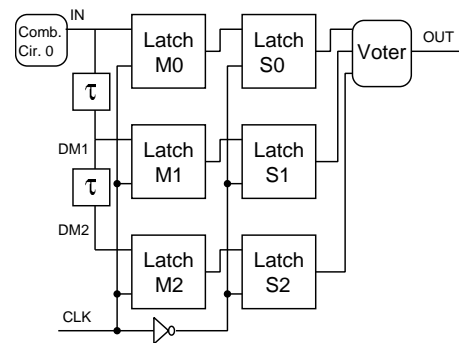


図 2: 遅延挿入 TMR FF(DTMR)

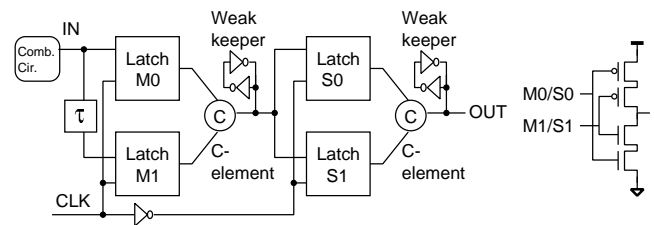


図 3: 遅延挿入 DMR(DDMR、BISER)[3].

(1) の電流源を FO4 のインバータの出力に接続すると図 4 となる。式 (1) を高エネルギー中性子が衝突したと仮定するノードに接続することで FF の保持データを反転させるのに必要な最低電荷量である臨界電荷量 Q_{crit} を回路レベルのシミュレーションによって見積もる。 Q_{crit} の値により SER は式 (2) で表される [5]。

$$N_{SER}(Q_{crit}) = F \times A \times K \times \exp\left(-\frac{Q_{crit}}{Q_s}\right) \quad (2)$$

F は中性子量 (Neutron Flux) であり、 K は比例定数である。 A はソフトエラーを起こす可能性のあるノードに接続された MOS トランジスタのドレイン面積の総和である。 Q_s は電荷収集効率 (charge collection efficiency) と呼ばれるドーピング濃度、電源電圧に依存した値であり、微細化により減少していくと予想されている [6]。表 2 は式 (2) より求めた SEU による SER である。SER の見積もりに使用したパラメータの値は [5] を参考に決定した。その値を表 1 に示す。

組み合わせ回路で生じた SET パルスによる SER を見積もるのに 11 段の FO4 インバータチェーンを用いる。通常の組み合わせ回路では SET パルスが論理演算によって除去される logical masking が存在するが、11 段の FO4 インバータチェーンでは logical masking が考慮されない。SET パルスによるエラー

率の見積もりは組み合わせ回路が最悪の構成である場合となる。組み合わせ回路で SET パルスが生じててもそのパルスがラッチに取り込まれない限りエラーとはならないため、高エネルギー中性子の衝突による電荷量と SET パルスのパルス幅が重要となる。あるパルス幅範囲の SET パルスが生じる確率 $\Delta N_I(t)$ は式 (1) の電流源を用いた回路シミュレーションと式 (2) から求められる。パルス幅 t とラッチのセットアップ時間とホールド時間の和である latching window 時間 w 、クロック周波数 $1/c$ よりラッチに SET パルスが取り込まれる確率が決まり、冗長 FF の FO4 のインバータ 11 段で生じた SET パルスによる SER は式 (3) となる [7]。

$$N_{I\text{ FF}} = \int_w^{c+w} \Delta N_I(t) \frac{t-w}{c} dt \quad (3)$$

遅延挿入 FF の場合では遅延素子の遅延値 τ により変化し、DTMR は式 (4)、DDMR は式 (5) となる。式 (5) の $\Delta N_C(t)$ はあるパルス幅範囲の SET パルスが C-element で生じる確率である。

$$N_{I\text{ DTMR}} = 2 \int_{\tau+w}^{2\tau+w} \Delta N_I(t) \frac{t-\tau-w}{c} dt + \int_{2\tau+w}^{c+w} \Delta N_I(t) \frac{t-w}{c} dt \quad (4)$$

$$N_{I\text{ DDMR}} = \int_{\tau+w}^{2\tau+w} \Delta N_I(t) \frac{t-\tau-w}{c} dt + \int_w^{c+w} \Delta N_C(t) \frac{t-w}{c} dt \quad (5)$$

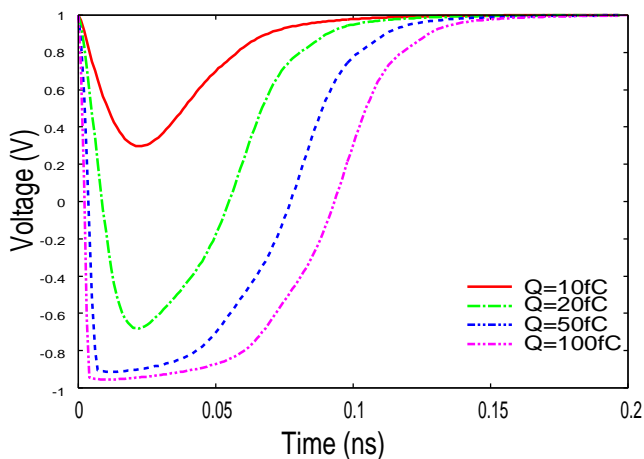


図 4: 式 (1) による電圧波形

表 1: SER 見積りに使用したパラメータの値

F	$0.00565\text{cm}^{-2}\text{s}^{-1}$
Q_s	13fF
K	$2.2\text{e-}5$
f	1GHz
T	10~30ps

表 2: ラッチ、Weak Keeper、C-element の SER(FIT/bit)

T	10ps	20ps	30ps
Latch (N_L)	$3.4\text{e-}4$	$3.3\text{e-}4$	$3.1\text{e-}4$
Weak Keeper (N_W)	$2.4\text{e-}4$	$3.8\text{e-}4$	$3.5\text{e-}4$

2.3 実験結果

式 (2)–(5) を用いて SET、SEU を含めた SER を求めた。図 5–7 は入力に FO 4 のインバータ 11 段を接続した既存の複数モジュラー FF の SER である。DTMR は τ を十分にとることで TMR のエラー耐性とほぼ同等となる。しかし DDMR は式 (5) の第 2 項である C-element で生じた SET パルスによる SER に収束するため、 τ を増加しても冗長化していない FF と比べて 20~30 倍にしかならない。DDMR で高いエラー耐性を実現するには組み合わせ回路で生じた SET パルスだけでなく、C-element で生じた SET パルスも除去する必要がある。

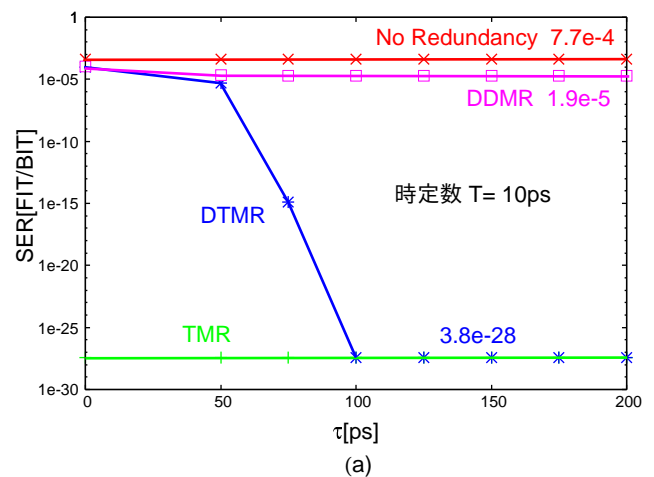


図 5: 複数モジュラー FF の SER($T = 10\text{ps}$)

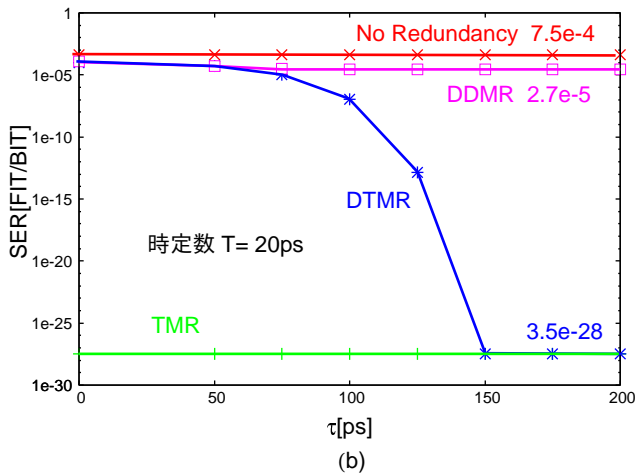


図 6: 複数モジュラー FF の SER($T = 20\text{ps}$)

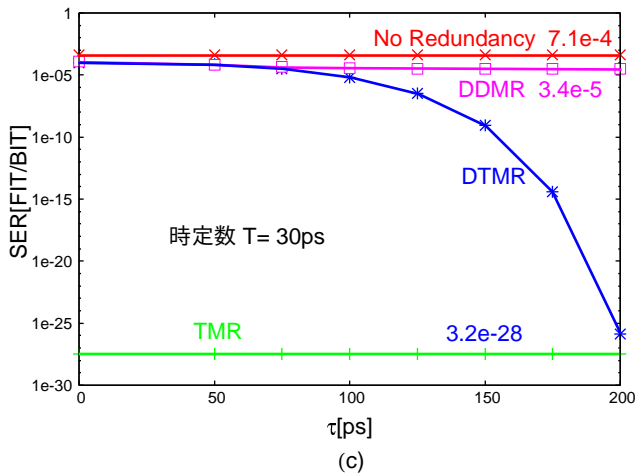


図 7: 複数モジュラー FF の SER($T = 30\text{ps}$)

3 提案回路の紹介と既存回路との比較

3.1 提案する複数モジュラー FF

前節で述べたように DDMR は C-element で SET パルスが生じた場合に非常に弱い。この C-element で生じた SET パルスを除去するように修正を加えた 2 つの提案回路を紹介する。

提案回路の 1 つは図 8 の Double Delayed DMR FF ($D^3\text{MR FF}$) である。スレイブラッチの前に遅延素子を新しく挿入することで C-element で生じた SET パルスを除去している。 $D^3\text{MR FF}$ の SET パルスによる SER は式 (6) となる。

$$N_{I D^3\text{MR}} = \int_{\tau+w}^{2\tau+w} \Delta N_I(t) \frac{t-\tau-w}{c} dt + \int_w^{c+w} \Delta N_C(t) \frac{t-\tau-w}{c} dt \quad (6)$$

$D^3\text{MR FF}$ では遅延素子を新しく挿入するため遅延時間のオーバーヘッドが増大してしまう。

もう 1 つの提案回路は図 9 の Enhanced Delayed DMR FF ($ED^2\text{MR FF}$) である。マスターラッチとスレイブラッチの間の C-element と Weak Keeper を 2 重にすることで C-element で生じた SET パルスによる 2 つのスレイブラッチの反転を防いでいる。 $ED^2\text{MR FF}$ の SET パルスによる SER は式 (7) となる。

$$N_{I ED^2\text{MR}} = \int_{\tau+w}^{2\tau+w} \Delta N_I(t) \frac{t-\tau-w}{c} dt \quad (7)$$

遅延素子を新しく挿入していないので遅延時間の増加なしに C-element で生じた SET パルスを防ぐことが出来るが、DDMR と比べると面積のオーバーヘッドは大きい。

提案回路の SER を図 10–(12) に示す。 $ED^2\text{MR}$ は DTMR と同等のエラー耐性であるが、 $D^3\text{MR FF}$ では遅延値 τ に対する SER の減少が小さい。これは C-element で SET パルスが生じると Weak Keeper が一時的に反転するため、Weak Keeper から誤った値の電荷が供給される。そのため幅の大きい SET パルスが生じやすいことが原因である。

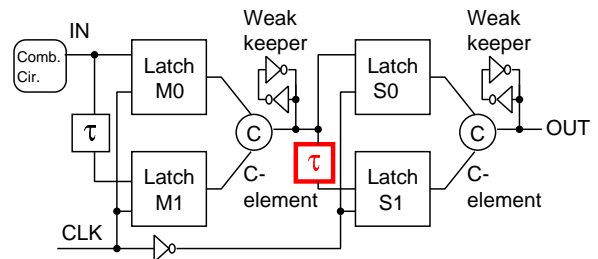


図 8: Double Delayed DMR FF ($D^3\text{MR FF}$)

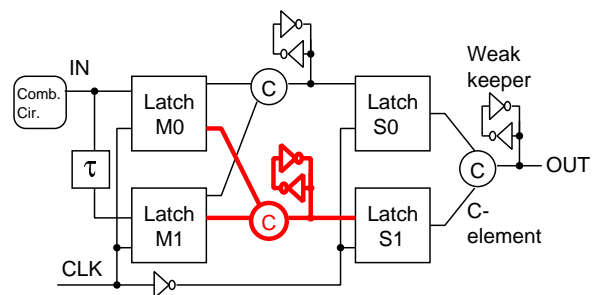


図 9: Enhanced Delayed DMR FF ($ED^2\text{MR FF}$)

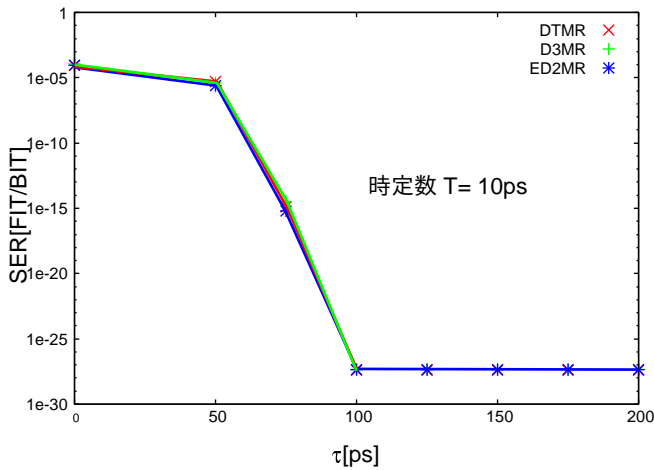


図 10: 提案回路の SER($T=10\text{ps}$)

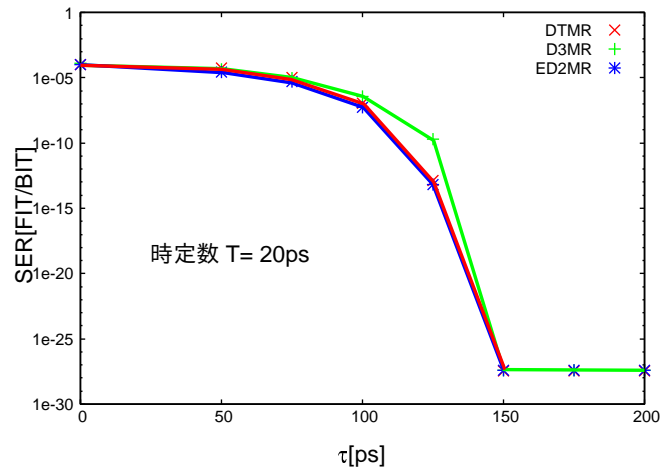


図 11: 提案回路の SER($T=20\text{ps}$)

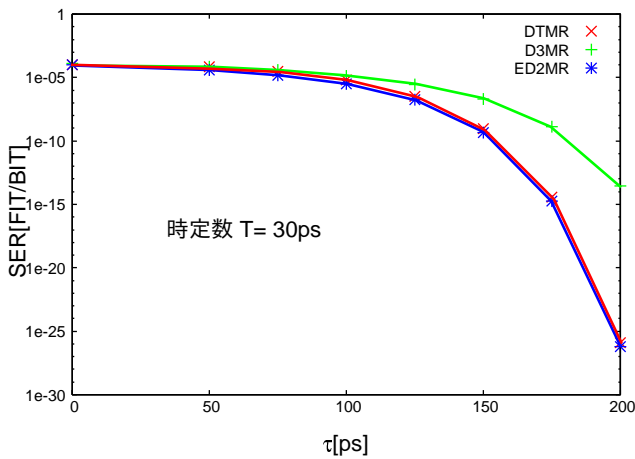


図 12: 提案回路の SER($T=30\text{ps}$)

3.2 面積、遅延時間の比較

ここで遅延素子の遅延値 τ を決定するために目標とするエラー耐性を設定する。90nm のプロセッサでは 300mm^2 のチップ面積で 24 万個のラッチを使用した汎用プロセッサも存在する [8]。このチップが日本の自動車 6 千万台に使用されていると仮定する。自動車を毎日 1 時間使用しても 1 年で故障するのが 1 未満となる SER は $4\text{e-}9\text{FIT}$ 以下である。 $4\text{e-}9\text{FIT}$ 以下となるように τ を決めた複数モジュラー FF の面積、遅延時間を比較する。

表 3 と図 13 に非冗長 FF の面積、遅延時間を 1 とした場合の提案回路と DTMR の面積、遅延時間を示す。面積はラッチ、遅延素子、多数決回路 Voter、C-element と Weak Keeper の面積を加算することで求めた。遅延素子はインバータによるチェーンであ

ると仮定した。遅延時間の定義として入力が増移してから出力が増移するまでの時間を用い、回路シミュレーションを使用して見積もった。

遅延時間では遅延素子が 1 つのみの ED^2MR が最も小さく、 D^3MR が最も大きい。 D^3MR の遅延時間が最も大きくなるのは前節で述べた SET パルスの幅が大きくなることによる τ の増加と、C-element と Weak Keeper が 2 段接続されていることによる遅延時間の増加が影響している。面積では ED^2MR が最も小さく、DTMR が最も大きい。C-element と Weak Keeper を 2 重化している ED^2MR が最も小さくなるのは、遅延素子による面積増加が大きく、遅延素子が 1 つのみの ED^2MR はこの面積増加が抑えられ、全体としては面積が小さくなっているためである。よって ED^2MR は遅延時間、面積ともに最も小さく、 $T = 30\text{ps}$ では面積遅延積 (Area-Delay Product) が DTMR の 53%、 D^3MR の 43% となる。

4 まとめ

本稿では回路シミュレーションにより複数モジュラー FF の SER を求めることで DDMR が C-element で生じた SET パルスに弱いことを示した。C-element で生じた SET パルスを除去する修正を加えた提案回路を紹介し、同程度のエラー耐性を実現した場合の複数モジュラー FF と提案回路の面積と遅延時間の比較を行った。その結果、 $4\text{e-}9\text{FIT/bit}$ 以下のエラー耐性を実現する場合、提案回路の ED^2MR が遅延時間、面積共に小さく、面積遅延積が TMR の 53%、 D^3MR の 43% となることを示した。DTMR と同程度のエラー耐性で DTMR よりも省面積かつ低遅延な複数モジュラー FF を DDMR のマスターラッチと

表 3: DTMR と提案回路の面積と遅延時間 (SER が $4e-9$ になるように 25ps きざみで τ を設定)

	$T=10ps$				$T=20ps$				$T=30ps$			
	τ	Area	Delay	ADP*	τ	Area	Delay	ADP	τ	Area	Delay	ADP
DTMR FF	75ps	5.1	2.7	13.8	125ps	6.3	3.7	23.3	150ps	6.9	4.2	29.0
D ³ MR FF	75ps	4.6	3.1	14.2	125ps	5.8	4.1	23.8	175ps	6.9	5.2	35.9
ED ² MR FF	75ps	4.3	2.3	9.9	125ps	4.8	2.8	13.4	150ps	5.1	3.0	15.3

ADP: Area-Delay Product (面積遅延値)

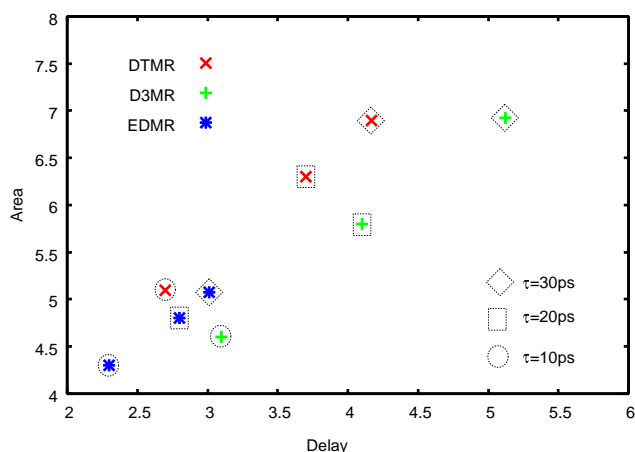


図 13: DTMR と提案回路の面積、遅延時間

スレイブラッチの間の C-element と Weak Keeper を 2 重化する方法で実現可能である。

参考文献

- [1] L. Anghel, D. Alexandrescu, and M. Nicolaidis. "Evaluation of a Soft Error Tolerance Technique Based on Time and/or Space Redundancy". In *SBCCI '00: Proceedings of the 13th symposium on Integrated circuits and systems design*, p. 237, Washington, DC, USA, 2000. IEEE Computer Society.
- [2] DG Mavis and PH Eaton. "Soft Error Rate Mitigation Techniques for Modern Microcircuits". *Reliability Physics Symposium Proceedings, 2002. 40th Annual*, pp. 216–225, 2002.
- [3] S. Mitra, M. Zhang, N. Seifert, B. Gill, S. Waqas, and KS Kim. "Combinational Logic Soft Error Correction". *International Test Conference*, 2006.
- [4] L. B. Freeman. "Critical Charge Calculations for a Bipolar SRAM Array". *IBM J. Res. Dev.*, Vol. 40, No. 1, pp. 119–129, 1996.
- [5] P. Hazucha, C. Svensson, and SA Wender. "Cosmic-Ray Soft Error Rate Characterization of a Standard 0.6-umCMOS Process". *IEEE Journal of Solid-State Circuits*, Vol. 35, No. 10, pp. 1422–1429, 2000.
- [6] P. Hazucha and C. Svensson. "Impact of CMOS Technology Scaling on the Atmospheric Neutron Soft Error Rate". *IEEE Transactions on Nuclear Science*, Vol. 47, No. 6, pp. 2586–2594, 2000.
- [7] P. Shivakumar, M. Kistler, SW Keckler, D. Burger, and L. Alvisi. "Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic". *International Conference on Dependable Systems and Networks*, pp. 389–398, 2002.
- [8] H. Ando, K. Seki, M. Aihara, R. Kan, K. Imada, M. Itoh, M. Nagai, Y. Tosaka, K. Takahisa, and K. Hatanaka. "Accelerated Testing of a 90nm SPARC64 V Microprocessor for Neutron SER". In *SELSE 3*, 2007.