

# 量子コンピュータ制御装置の ASIC 化に向けた 10 Gbps クラス Deserializer の開発

小山 雄輝<sup>1,a)</sup> 小林 和淑<sup>1,b)</sup> 今川 隆司<sup>2,c)</sup> 三好 健文<sup>3,d)</sup>

**概要：**量子コンピュータ制御装置の Application specific integrated circuit (ASIC) 化において、量子ビットを読み出した Analog-to-Digital Converter (ADC) 信号の受信が課題となっている。既存のシステムでは ADC 信号のデータレートは 13.3 Gbps であり、高データレートの伝送規格である JESD204C を利用することにより省配線での伝送を可能としている。しかし、ASIC 化の研究の過程で数 GHz クラスの信号を取り扱うことや、高性能なレシーバの実装は負担が大きい。そこで、配線数は増加するものの数百 MHz クラスの信号である Low voltage differential signaling (LVDS) 規格を用いることにより、高速な信号伝送を手軽に実装することを考える。LVDS の構成は、100 MHz の送信クロックによる 700 Mbps 信号線 19 レーンを想定する。この構成をもとに、ASIC 側の LVDS 受信回路のシフトレジスタと取り出し用のタイミング生成回路を VHDL 言語にて記述した。今後は、受信に伴うスキュー調整が必要なことから信号のタイミングを検出する回路の記述を行い、22 nm プロセスにて ASIC に実装する。

## 1. 序論

現在古典コンピュータの性能はムーアの法則が示すように向上してきたが、将来の計算量の需要に追いつけない見方が現れている。量子コンピュータは古典コンピュータに比べて速度の点で本質的に有利 [1] であり、量子コンピュータの開発が強く進められている。量子コンピュータを開発する上で量子コンピュータを制御する装置は必須である。量子コンピュータ制御装置の中には量子ビットの状態を復号するモジュール (DSP モジュール) が存在し、DSP モジュールを ASIC 化する研究開発を現在行っている。DSP モジュールを動作させるためには高速 ADC を通じて取得した量子ビットの情報を受信しなければならない。既存の ADC との高速通信には JESD204C が採用されているが、複雑な構成を持つ JESD204C に準拠したレシーバを ASIC に実装することは、本質的ではない部分に開発のリソースを大きく割くことになる。開発している ASIC を実環境で簡単に評価するために、ASIC のインターフェイスが占めるリソースを削減しつつ、複雑かつ高速な信号制御を高機能な FPGA に担当させることとした。FPGA-ASIC 間の

データ通信に LVDS を採用することにより手軽かつ高速なインターフェイスを実現できると着想し、ASIC 側のレシーバに必要な Deserializer を設計した。

本稿では、ASIC 化した DSP モジュールに実装される LVDS レシーバを構成する Deserializer の構造設計について述べる。

## 2. 用語説明

本章では、DSP モジュールへのデータ送信に採用する LVDS、および本稿に登場する用語について述べる。

### LVDS 規格

LVDS は、TIA/EIA-644 にて規格化された物理層の仕様である。0/1 信号を伝送する物理層としてのみ定義され上位層の仕様は含まれず、伝送媒体も規定されていない。このため、物理層より上の層については、ユーザによって決めることができる。特徴として、平衡伝送と DC 結合による信号接続を採用しているため長距離の信号伝送が可能である点、AC 結合と異なりデータ遷移の制限がない点が挙げられる [2]。

### Deserializer

Deserializer は、シリアル信号をパラレル信号に変換する機能を持つ回路である。LVDS は送出クロックを分割して 1 周期により多くの信号を送るため、シリアル信号となっている LVDS 信号をパラレル信号に復元する役割を持つ。

<sup>1</sup> 京都工芸繊維大学 Kyoto Institute of Technology

<sup>2</sup> 明治大学 Meiji University

<sup>3</sup> キュエル株式会社 QuEL, Inc.

a) ykoyama@vlsi.es.kit.ac.jp

b) kazutoshi.kobayashi@kit.ac.jp

c) imagawa@meiji.ac.jp

d) miyoshi@quel-inc.com

### Unit Interval

Unit Interval (UI) は、1 ビット分の信号が送出される時間である。

### Data Frame

Data Frame は LVDS が供給するクロックの 1 周期に送信されるビットの集まりである。1 つの Data Frame を送信するために必要な時間は 1 UI と分割数の積に等しい。LVDS は Data Frame のビットの先頭や並べ方を規格していないため、ユーザによる定義が可能である。

## 3. 基本アーキテクチャ

本章では、量子コンピュータ制御装置に搭載する Deserializer の構造を提案する。まず ASIC 評価用の LVDS 信号を送出するデバイスとして AMD 社の 7 シリーズ FPGA を想定し、LVDS 送信クロックを 100 MHz、分割数を 7、レーン数を 19 レーンに定めることで 13.3 Gbps を達成する。7 シリーズ FPGA が送出する 5 レーンの 35 ビットデータの信号波形例を図 1 に示す。2 章にて述べたように Data Frame はユーザが定義する。本設計では FPGA が送出する図 1 の Data Frame 形式を基準に、LVDS 送信クロックの立ち上がりから 2 UI 経過したあとに送出されるビットをそのレーンにおける Data Frame の先頭ビットとして、変換を行う。

次に単純化のため、データ信号 1 レーンの場合について説明する。1 レーンのための Deserializer のピン構成を表 1 に、接続構成図を図 2 に、動作時のタイミング図を図 3 示す。

### 3.1 タイミング生成回路

タイミング生成回路は ASIC の受信端より入力される

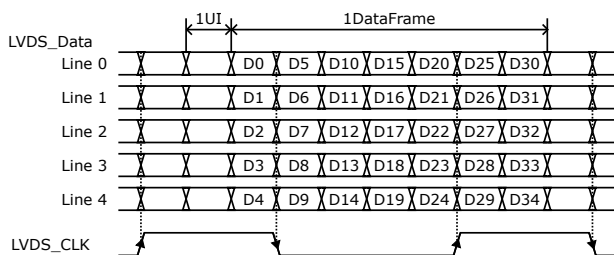


図 1: FPGA が送出する LVDS 信号の波形 ([3] より改変)

表 1: 1 レーン Deserializer のピン構成

名前	方向	役割
LVDS_CLK	入力	LVDS より伝送されるクロック
PLL_x7	入力	LVDS_CLK を 7 通倍したクロック
PLL_x7B	入力	PLL_x7 の逆相クロック
LVDS_DATA	入力	LVDS により伝送されるデータ
DES_OUT[6:0]	出力	パラレル化されたデータ

クロック信号 (LVDS\_CLK) により動作する 1 ビットカウンタと、PLL より供給される 7 通倍逆相クロック信号 (PLL\_x7B) により動作しカウンタ出力を伝搬させるシフトレジスタ、そして組み合わせ回路からタイミング生成回路を構成し、パラレル変換回路から取り出すタイミング信号を生成する。

具体的には図 3 のタイミング図が示すように、シフトレジスタの隣り合う出力の排他的論理和を取ることで周期的に 1 UI の時間だけアサートできる。本設計では、TIM\_S1 と TIM\_S2 を用いることで Data Frame 最後のビットである 7 ビット目の信号が現れたときに信号をアサートすることで、出力レジスタの取り込み信号 (TIM\_FL) を生成する。

### 3.2 パラレル変換回路

データビットの遷移から 0.5 UI 経過した時刻にサンプリングを行いシリアル形式で到着する信号を PLL\_x7B より動作するシフトレジスタにてパラレル形式に変換する。

### 3.3 出力回路

パラレル変換回路の出力をそのまま Deserializer の出力

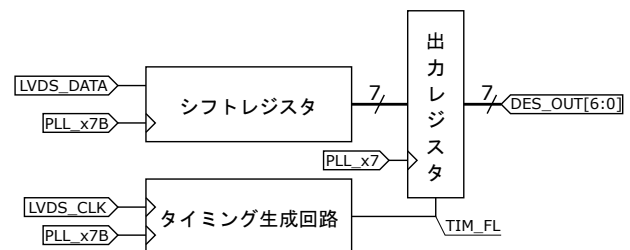


図 2: 1 レーン Deserializer の内部構成

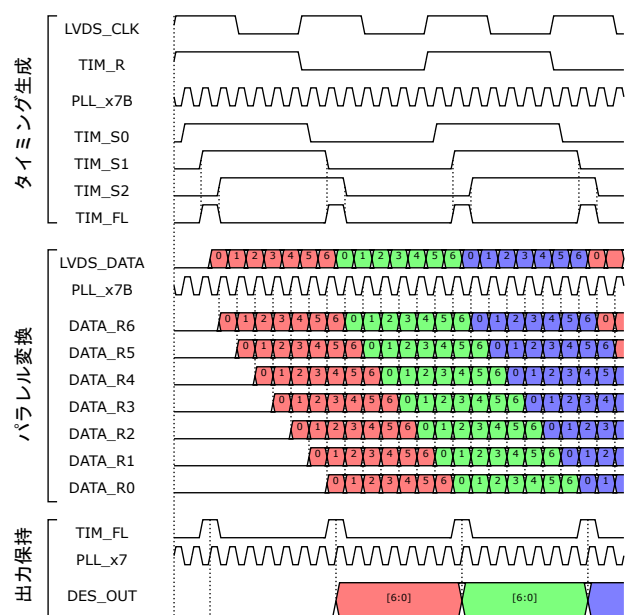


図 3: Deserializer の信号波形

とすると 1 UI の期間のみにしか有効なデータを取得できない。そのため変換が完了したデータを保持する出力レジスタを導入する。出力レジスタは PLL より供給される 7 通倍クロック信号 (PLL<sub>x7</sub>) により動作し、TIM\_FL がアサートされているときのみ出力レジスタを更新する。

#### 4. 全体構成

目的の 19 レーン Deserializer を 3.1 節、3.2 節、3.3 節の回路を図 4 に示す構成で設計した。1 レーン用のパラレル変換回路と出力レジスタを並列に 19 個並べて拡張し、TIM\_FL にて同時に出力レジスタを動作させることで 19 レーンの信号入力に対応する。

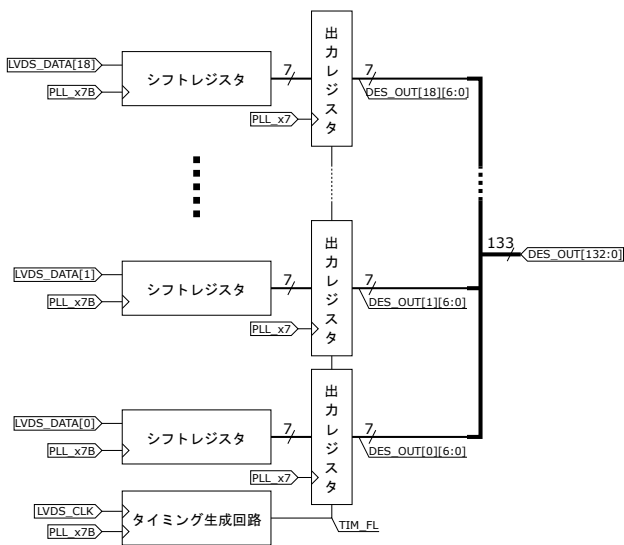


図 4: Deserializer の全体構成

#### 5. 今後の展望

本稿では DSP モジュールの ASIC に搭載する LVDS Deserializer についての提案を行った。現時点で Deserializer は受信回路として最低限の機能のみの記述が完了している。配線等の遅延に影響されない回路にするためには、スキューを検出できる回路の記述を行う必要がある。今後、スキュー検出回路の追加、AMD 社の提供する LVDS 送信 IP を用いた動作検証を行う予定である。

#### 謝辞

本研究は、JST ムーンショット型研究開発事業 Grant 番号 JPMJMS226A の支援を受けたものです。

#### 参考文献

- [1] Nielsen, M. A., Chuang, I. L., 木村達也: 量子力学とコンピュータ科学, 1, オーム社, 東京 (2004).
- [2] 河西基文: 高速伝送の代表的な物理層 LVDS・PECL・CML: 高速シリアル伝送技術講座 (3) (2/4 ページ) - EDN Japan (2017). [https://edn.itmedia.co.jp/edn/articles/1707/24/news022\\_2.html](https://edn.itmedia.co.jp/edn/articles/1707/24/news022_2.html) 2023/10/15 アクセス.
- [3] N. Sawyer: 通倍させたクロックを使用する LVDS ソース同期の 7:1 シリアライズおよびデシリアライズ (2012). AMD Application note.