

特性ばらつきを考慮したBTI劣化に対するマージン設計手法

Design Margin for BTI-Induced Degradation by Considering Process Variation

藪内美智太郎
Michitarou Yabuuchi

小林和淑
Kazutoshi Kobayashi

京都工芸繊維大学
Kyoto Institute of Technology

1 概要

本稿では特性ばらつき条件によって BTI (Bias Temperature Instability) の劣化量が異なることを利用した BTI 劣化に対する効率的なマージン設計手法を提案する。

2 設計手法

LSI の微細化に伴い MOSFET の経年劣化現象の一つである BTI による回路動作への影響は深刻化するとされており、回路設計者が高信頼性を実現するためには設計マージンを適切に設定することが求められる。BTI は MOSFET のゲートに電圧や温度などのストレスが印加されると時間の経過に伴ってしきい値電圧が増加する現象であるが、近年ではデバイス毎に劣化の様子が異なるという BTI ばらつきが指摘されている [1]。BTI の主原因はゲート酸化膜中の欠陥によるキャリアの捕獲、放出なので、BTI ばらつきは欠陥の特性によって決定されるといえる。BTI によってしきい値電圧が増加すると、ロジック回路においては遅延の増加、メモリ回路においてはビット不良などの故障が起きる。

特性ばらつきの主要因として RDF (Random Dopant Fluctuation) や LER (Line Edge Roughness) がよく知られているが、一方では酸化膜欠陥に起因する MOSFET の初期特性劣化も問題となっている。BTI と特性ばらつきはそれぞれ酸化膜欠陥が原因であるため、これらに相関があるかは現在議論中となっている [2,3]。本稿では FPGA を用いた測定結果から BTI と特性ばらつきを考慮した回路の特性劣化を予測する。

BTI と特性ばらつきの相関を調べるために 65nm プロセス FPGA 上に 800 個以上の発振器を構成し、その発振周波数の初期値及び時間変化を電源電圧 1.2V、温度 80°C の条件で測定した。発振回数はオンチップのカウンタで記録し、測定は LSI テスタによって制御している。発振周波数の初期値はガウス分布に従う結果となった。発振周波数が高かった 10 個の発振器を fast、平均値付近であった 10 個を typical、低かった 10 個を slow と定義して、これらの発振器について周波数の時間変化を測定する。

特性ばらつき条件 fast, typical, slow のそれぞれにおける測定結果を図 1-3 に示す。測定結果はそれぞれの特性ばらつき条件の 10 個の平均値としている。図中の直線はフィッティング関数であり、これらは式 (1) によって表される。

$$f(t) = -a \times \log(t) + c \quad (1)$$

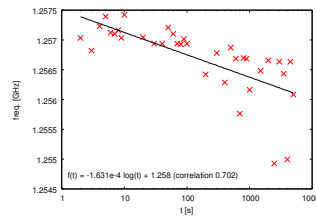


図 1 Fast 条件における周波数時間劣化。

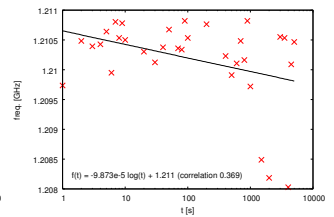


図 2 Typical 条件における周波数時間劣化。

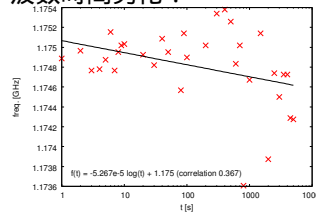


図 3 Slow 条件における周波数時間劣化。

表 1 各特性ばらつき条件の周波数劣化予測 [GHz].

	fast	typical	slow
提案	1.255	1.209	1.174
従来	1.256	1.209	1.173

ここで、 a が大きいほど時間の経過に伴う BTI 劣化が大きいといえ、各条件での a を比較すると fast > typical > slow の順となる。つまり BTI 劣化は fast 条件の場合に大きく、slow 条件の場合に小さいといえる。これらのフィッティング関数による 1×10^8 s 後の周波数劣化予測を表 1 に示す。提案手法では各特性ばらつき条件に応じたフィッティング関数を用いて計算しているが、従来手法では typical 条件での a を全ての特性ばらつき条件に対して適用する。回路設計においては slow 条件の場合がクリティカルパスになるので、従来手法では提案手法よりも大きくマージンを見積もってしまうことが分かる。提案手法では fast 条件における劣化が大きくなっているが、これはマージン設計には影響しない。

3 結論

特性ばらつきが slow の場合に BTI による劣化が小さくなることを利用し、クリティカルパスにおけるマージンを削減する設計手法を提案した。微細化に伴い特性ばらつき及び BTI 劣化は深刻化していくため、本手法の有用性は増していくと予想される。

謝辞 本研究はイー・シャトル、富士通セミコンダクターの協力で行われた。

参考文献

- [1] T. Grasser, et al., IRPS 2014, pp. 4A.5.1-4A.5.7
- [2] M. Yabuuchi, et al., IMFEDK 2014, pp. 128-129
- [3] D. Angot, et al., IEDM 2013, pp. 15.4.1-15.4.4