

# 28nm FDSOI プロセスにおける FF のソフトエラー耐性評価

Evaluation of Soft-error Tolerance of 28-nm Fully-Depleted Silicon-on-Insulators (FDSOI)

神田翔平  
Shohei Kanda

古田潤  
Jun Furuta

小林和淑  
Kazutoshi Kobayashi

京都工芸繊維大学  
Kyoto Institute of Technology

## 1 概要

近年、微細化により集積回路の信頼性が低下しており、様々なソフトエラー対策が施されている。ソフトエラー対策として SOI 構造が提案されている。本稿では、28nm FDSOI プロセスにおけるフリップフロップ (FF) の実測によるソフトエラー耐性を 65nm FDSOI プロセスにおける実測 [1] と比較することにより評価する。

## 2 ソフトエラー

ソフトエラーは粒子線がデバイスの基板に衝突して電子正孔対が生成されることにより発生する。本稿では、ラッチが保持している値が反転する SEU を考える。SEU の要因は電荷収集によるものと基板バイポーラ効果によるものがある。電荷収集による反転は、電子もしくは正孔がドレインに収集されて、出力電圧に影響が与えられ発生する。基板バイポーラ効果による反転は、生成された正孔がウェル内に留まりウェルの電位を引き上げ、バイポーラトランジスタが ON することにより発生する。ソフトエラーの対策として、冗長化による値の訂正などの回路構造による対策や、ソース、ドレインの直下に BOX 層を挿入する SOI 構造などによるデバイス構造による対策がある。FDSOI 構造では、ゲート直下に粒子線が衝突した場合のみ電荷がドレインに収集されるため、通常のパルク構造よりもソフトエラー耐性が高くなる。プロセスの微細化による粒子線衝突面積の減少により、FF 単体でのソフトエラー率は微細化に伴い低くなる [2]。

## 3 ソフトエラー耐性評価

本研究では、28nm FDSOI における FF のソフトエラー耐性を評価する。ソフトエラー耐性評価回路として、FF をシフトレジスタ構造に接続した回路を 28nm FDSOI プロセスで試作した。図 1 に評価回路と評価する FF の構造を示す。本評価回路には 1 チップあたり 58,800 個の FF が搭載されている。比較する 65nm FDSOI 評価回路は同構造で 40,320 個の FF が搭載されている [1]。試作したチップ上の FF のエラー耐性を 3MBq の  $^{241}\text{Am}$  の  $\alpha$  線を用いて測定した。各測定条件を表 1 に示す。

## 4 測定結果

3 節の条件で実測した結果を表 2 に示す。65nm FDSOI プロセスでは、CLK=1 でエラーが発生しているが、28nm FDSOI プロセスでは、全条件においてエラーが発生しない結果となった。

28nm において動作電圧を 0.9~0.6V の場合においても同様の実測を行ったが、エラーは発生しなかった。

## 5 結論

一般的にプロセスの微細化に伴い FF 単体でのエラーは減少するとされている。本研究において、同条件における 65nm FDSOI プロセスと 28nm FDSOI プロセスの  $\alpha$  線照射試験では、微細化に伴い FF 単体のエラー率は減少するという結果になった。

28nm FDSOI プロセスでは、全条件において  $\alpha$  線におけるソフトエラーが発生していなため、冗長化などの回路構造によるソフトエラー対策によらず  $\alpha$  線でのソフトエラーは考慮しなくても良い。

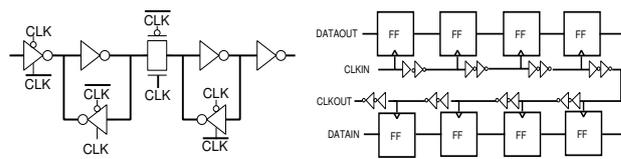


図 1 FF 回路図と評価回路の構造

表 1 各測定条件

プロセス	65nm[1]	28nm
動作電圧 [V]	1.2	1.0
$\alpha$ 線照射時間	1 分間	
FF 数	40320	58800

表 2 各プロセスにおけるソフトエラー数

CLK	65nm[1]	28nm
0	0	0
1	57	0

## 謝辞

本研究で使用したチップ試作は東京大学 VDEC, STARC, CMP, ST, Cadence, Synopsys, Menter Graphics の協力で行われた。

## 参考文献

- [1] K.Kobayashi et. al, IEEE TNS, Vol.61, No.4, 2014(to be published)
- [2] P. Roche et.al, IEDM, pp. 766-769, 2013