

FDSOIソフトエラー耐性の回路シミュレーションによる評価

Evaluation of Soft-error Tolerance of Fully-Depleted Silicon on Insulators(FDSOI) by Circuit Simulations

神田翔平¹
Shohei Kanda

小林和淑¹
Kazutoshi Kobayashi

京都工芸繊維大学¹
Kyoto Institute of Technology

1 概要

近年、微細化により集積回路の信頼性が低下しており、様々なソフトエラー対策が施されている。デバイスレベルの対策では、SOI構造が提案されている。本稿では、回路シミュレーションを用いてFDSOIのソフトエラー耐性について検討する。

2 ソフトエラーの発生原理

ソフトエラーは粒子線がデバイスの基板に衝突して電子正孔対が生成されることにより発生する。本稿では、ラッチが保持している値が反転するSEUを考える。SEUの要因は電荷収集によるものと基板バイポーラ効果によるものがある。電荷収集によるエラーは、電子もしくは正孔がドレインに収集されて、出力電圧に影響が与えられ発生する。基板バイポーラ効果によるエラーは、生成された正孔がウェル内に留まりウェルの電位を引き上げ、バイポーラトランジスタがONすることにより発生する。バルク構造の場合、ドレイン、ゲートに粒子線が衝突し電子正孔対が生成されることで電荷収集や基板バイポーラ効果が発生する。SOI構造の場合、トランジスタ層の下にBOX層を挿入することで電荷収集は粒子線がゲートに衝突するときのみ発生する。収集される電荷量は非常に少ないため、基板バイポーラ効果によるエラーが主要因であると考えられる。

3 回路シミュレーションによる評価

地上では、中性子によるソフトエラーが支配的であるため、中性子起因の誘起電荷による電流のモデル[1]を電流源として使用する。今回シミュレーションに使用した回路は28nmプロセスのD-LATCHを2個用いたDFPである。図1(a),1(b)にラッチ構造における電荷収集起因、基板バイポーラ起因のシミュレーション回路図をそれぞれ示す。

電荷収集起因の回路シミュレーション

ドレインによる電荷収集によってソフトエラーが起きる可能性のあるノードに電流源をつなぎ、値が反転する臨界電荷量 Q_{crit} を求める。

基板バイポーラ効果起因の回路シミュレーション

基板バイポーラ効果によって値が反転する可能性があるトランジスタのソース、ドレイン間にバイポーラトランジスタを接続し、ベースに電流を流し、値が反転する臨界電荷量 Q_{crit} を求める[3]。接続するバイポーラトランジスタのパラメータは、バルクの場合は65nmの実測値より抽出した $\beta = 55$ 、FDSOIの場合は文献[4]より $\beta = 12$ を使用する。

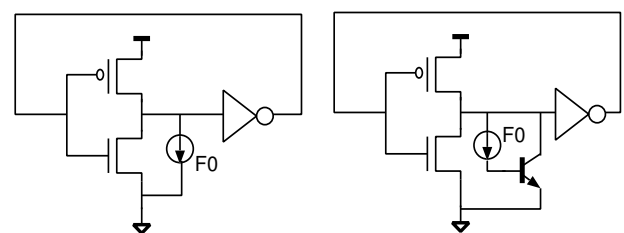
4 解析結果

3節で述べたシミュレーションより、式(1)を用いてエラーが起こりうる全てのノードについてソフトエラー率(SER)を計算する[2]。 F は中性子量であり、 $0.00565/\text{cm}^2\text{s}$ 、 K は比例定数で値は 2.2×10^{-15} である。 A は粒子が衝突するノードの面積で、バルクの場合はドレイン、ゲート面積、SOIの場合はゲート面積を使用する。 Q_s は電荷収集効率で、プロセスによって決まる。文献[2]と65nmプロセスの実測値から求めた値よりスケールを行い、28nmプロセスでは5.15fCとした。バルク構造、SOI構造のそれぞれの要因に対するSERを表1に示す。電荷収集起因のSERを SER_Q 、基板バイポーラ起因のSERを SER_B とする。バルク構造では電荷収集より基板バイポーラ効果が支配的になるため、基板バイポーラ効果が発生するトランジスタでは基板バイポーラ効果によりソフトエラーが発生すると考えて、 SER_Q と SER_B の評価を行った。

$$N_{SER} = F \times K \times A \times \exp\left(-\frac{Q_{crit}}{Q_s}\right) \quad (1)$$

5 結論

一般的にFDSOIのソフトエラー率はバルク構造の1/10程度とされているが、本稿では回路シミュレーションによりFDSOIのソフトエラー率はバルク構造の約1/5となった。回路シミュレーションではトランジスタ外部に粒子線が衝突する場合を考慮していないため、実際にはもう少しバルクに対するFDSOIのエラー耐性は上がると考えられる。



(a) 電荷収集起因

(b) 基板バイポーラ起因

図1 SEUを引き起こす二つの要因の回路レベルモデル
表1 各構造のソフトエラー率(単位は[FIT/Mbit])

	SER_Q	SER_B	SER(合計)
バルク	92.81	322.17	415.06
FDSOI	NA	85.84	85.84

参考文献 [1] DSN, 2002, pp. 389-398 [2] TNS, Vol.46, No.6, 2000, pp. 2586-2594 [3] EDL, Vol.11, No.2, 1990, pp. 98-99 [4] TNS, Vol.49, No.6, 2002, pp. 2948-2956 [5] SOI(IEEE), 2012, pp. 1-40