

BOX層の厚さによるSOIのソフトエラー耐性

Soft-error Tolerance of SOI Transistors according to the Thickness of the BOX Layer

張魁元¹

Kuiyuan Zhang

小林和淑^{1,2}

Kazutoshi Kobayashi

京都工芸繊維大学¹

Kyoto Institute of Technology

JST, CREST²

JST, CREST

1 概要

近年、微細化により集積回路の信頼性が低下しており、ソフトエラー耐性を向上することも重要な課題となっている。ソフトエラー耐性を向上すると共に、消費電力も抑えなければならない。本稿ではデバイスシミュレーションを用いてBOX層 (Buried OXide, 埋め込み酸化膜) の厚さによるSOIトランジスタのソフトエラー耐性について検討する。

2 SOIのBOX層とソフトエラー耐性の関係

ソフトエラーのメカニズムは粒子線がデバイスの基板に衝突して正孔電子対が生成される。電子もしくは正孔がドレインに収集されて、出力電圧に影響が与えられ、エラーが発生する。ドレインと基板の間にBOX層を導入することにより、電荷収集を抑えることができる。SOI構造とすることで、ソフトエラー耐性の向上が見込める。

2.1 デバイスシミュレーション

粒子線衝突による基板電位の上昇のBOX層の厚さによる依存性を検討するため、図1に示すような三次元デバイスモデルを構築した。モデルは通常の65nmプロセスNMOSの表面から深さが12nmの位置に絶縁BOX層を入れた。ただし、BOX層が厚さが0nm (BOX層なし)、1.2nm (ゲート酸化膜と同じ厚さ)、10nm (SOTB[1])、300nm (非常に厚いBOX層) の四つのデバイスレベルのモデルをシミュレーションに使う。シミュレーションでは、三次元のデバイスモデルとSPICEモデルを回路レベルで繋げて、インバータとしてシミュレーションを実行する。重イオンの粒子線をデバイスモデル (NMOS) のBOX層下方50nmの位置に水平方向 (赤線) とゲートから垂直方向 (青線) に基板に衝突させる (図1参照)。ただし、インバータの出力の初期状態は”1”である。

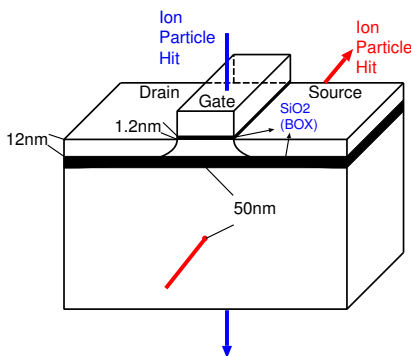


図1 SOIの三次元モデル略図。

2.2 解析結果

重イオン粒子線のLETを2, 10 MeVcm²/mgとして、水平衝突の場合のBOX層の厚さによるインバータの出力電圧を図2(a)と2(b)に示す。垂直衝突の場合の出力電圧を図3(a)と3(b)に示す。結果から見ると、BOX層を入れることによって、インバータの出力に現れるエラーパルスの幅と高さが縮む。さらに、BOX層が厚くなるにつれて、エラーパルスの幅と高さが徐々に小さくなる。一方、表1にBOX層の厚さによる誘起電荷量である。ゲート酸化膜と同程度のBOX層を挿入するだけで、水平衝突の場合のエラーパルスの最大電圧は、約1/10と大きく下がる。

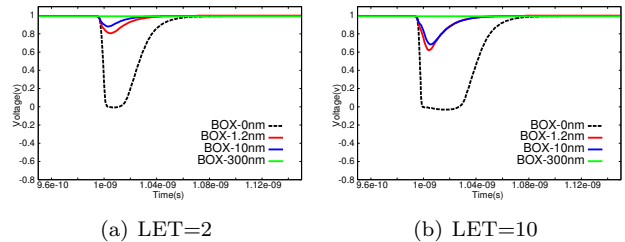


図2 水平衝突場合の出力電圧。

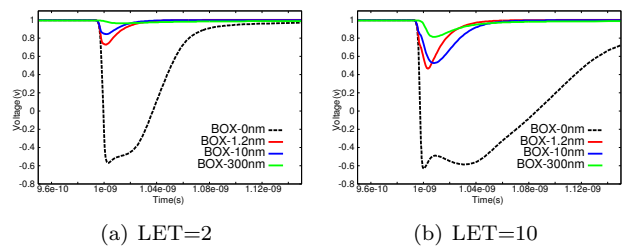


図3 垂直衝突場合の出力電圧。

表1 誘起電荷量とBOX層の厚さの関係 (水平衝突)

BOX層の厚さ	LET=2	LET=10
0nm	2.03fC	2.82fC
1.2nm	0.521fC	0.847fC
10nm	0.293fC	0.805fC
300nm	0.047fC	0.047fC

3 結論

BOX層を入れることによって、ドレインの電荷収集を抑えることができる。通常のパルクMOSFETデバイスよりソフトエラー耐性が強いことが判明した。BOX層を厚くすると、誘起電荷が少なくなる。

参考文献 [1] R. Tsuchiya, et. al., IEDM, 2004, pp. 631-634