

# プロセススケーリングによる耐ソフトエラーフリップフロップの性能比較

杉谷昇太郎  
Shotaro Sugitani

中島隆一  
Ryuichi Nakajima

古田潤  
Jun Furuta

小林和淑  
Kazutoshi Kobayashi

京都工芸繊維大学  
Kyoto Institute of Technology

## 1 はじめに

ソフトエラーとは、放射線が集積回路内のトランジスタに突入することによって、ラッチ回路やフリップフロップの保持値が反転するエラーのことである。ソフトエラーは一時的な故障であるため、再起動により修復可能であるが、医療機器や自動運転技術などの高い信頼性を要する分野では対策が必要となる。

本稿では、先行研究で提案された、面積、遅延時間、消費電力のオーバーヘッドを抑えた耐ソフトエラーフリップフロップについて、130 nm と 65 nm プロセスでソフトエラー耐性と性能比較を行った。

## 2 耐ソフトエラーフリップフロップの性能評価

一般的な D 型 FF である TGFF を図 1(a) に示す。TGFF はソフトエラー対策が施されていない。

改善回路を図 1(b) に示す [1]。この回路構造は、NMOS トランジスタの臨界電荷量  $Q_{crit}$  を増加させた  $\alpha$  線起因のソフトエラーに対して耐性を持つフリップフロップである。臨界電荷量とは保持値の反転に必要な最小電荷量である [2]。NMOS トランジスタでは電子起因、PMOS トランジスタでは正孔起因でエラーが発生するが、電子の移動度が正孔よりも大きく、NMOS トランジスタでエラーが発生しやすいため、改善回路では NMOS トランジスタの  $Q_{crit}$  を増加させる対策が施されている。青色で示す PMOS トランジスタのゲート幅を拡大し、赤色の配線と PMOS トランジスタを追加することにより、ゲートに出力される電流量が増加し、 $Q_{crit}$  は増加する。本研究では、ゲート幅を 2 倍に変更した。NMOS トランジスタを追加することで、脆弱なゲート構造を実測結果より判明した耐性が高い構造と同等にした。

回路シミュレーションにより求めた各ノードの  $Q_{crit}$  を表 1 に示す。結果を比較すると、プロセスの微細化により電源電圧やゲート容量が小さくなるため  $Q_{crit}$  の値も全体的に小さくなり、回路構造の変更による  $Q_{crit}$  の改善効果も小さくなる。ノードごとに比較すると、どちらのプロセスもノード①と③における  $Q_{crit}$  が低く、脆弱である。回路構造の変更による  $Q_{crit}$  の増加量は、ノードによって異なるが、どちらのプロセスもノード②と④において大きい。

各回路の性能を表 2 に示す。各プロセスの TGFF と比べると、回路構造の変更による各性能のオーバーヘッドは 65 nm のほうが大きく、特に遅延時間への影響が大きい。面積、遅延時間、消費電力の積で表される ADP 積は 65 nm のほうが 8%大きくなり、フリップフロップの

性能はプロセスの微細化に伴って回路構造の変更による影響を受けやすくなると考えられる。

## 3 まとめ

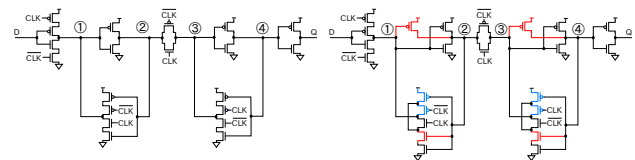
本研究では、先行研究で提案された改善回路の臨界電荷量  $Q_{crit}$  と ADP 積を回路シミュレーションによって求め、プロセスによる違いを確認した。

プロセスにかかわらず、改善回路に変更することで各ノードの  $Q_{crit}$  は増加し、耐性の向上が期待できるが、プロセスの微細化に伴いその効果は小さくなる。性能面では 65 nm のほうが回路構造の変更によるオーバーヘッドが 8%大きい。したがって、プロセスの微細化に伴い、回路構造の変更による効果は減少すると考えられる。

今後、それぞれのプロセスで設計した回路に対して  $\alpha$  線照射を行い、ソフトエラー耐性の改善の違いを確認する予定である。

## 参考文献

- [1] 中島隆一 他, DA シンポジウム, pp. 148-153, 2021
- [2] P. Hazucha, et al, IEEE TNS, Vol. 47, No. 6, pp. 2586-2594, 2000



(a) TGFF (b) 改善回路

図 1: シミュレーション回路

表 1: 臨界電荷量  $Q_{crit}$

プロセス	回路構造	$Q_{crit}$ [fC]			
		①	②	③	④
65 nm	TGFF	3.7	11	3.0	8.5
	改善回路	5.1	13	4.3	11
130 nm	TGFF	11	28	11	19
	改善回路	18	37	16	26

表 2: 性能評価 (TGFF の値で規格化)

プロセス	消費電力	遅延時間	面積	ADP 積
65 nm	1.13	1.11	1.16	1.45
130 nm	1.12	1.07	1.14	1.37